

平成19年度シーズ発掘試験研究報告書

報告日：平成20年4月30日

技術分野	12
------	----

課題名：GSM携帯電話用磁性薄膜／誘電体薄膜ハイブリッド高次スプリアスフィルタの開発

研究期間：契約締結日 ～ 平成20年3月31日

1. 担当コーディネータ

氏名（役職）	藤井 國久		印
所属機関名	国立大学法人信州大学 地域共同研究センター		
連絡先	所在地	〒380-8533 長野市若里4-17-1	
	TEL/FAX	026-269-5627 / 026-269-5630	
	E-mail	fujii@crc.shinshu-u.ac.jp	

2. 代表研究者（代表研究者のみ記入してください。）

氏名（役職）	佐藤 敏郎 （教授）		印
所属機関名	国立大学法人信州大学工学部		
連絡先	所在地	〒380-8533 長野市若里4-17-1	
	TEL/FAX	026-269-5184 / 026-269-5215	
	E-mail	labyam1@gipwc.shinshu-u.ac.jp	

3. 共同研究者（委託研究契約を締結した共同研究機関の場合のみ記入してください。）

氏名（役職）			印
所属機関名			
連絡先	所在地		
	TEL/FAX		
	E-mail		

4. 試験研究の結果報告

(1) 試験内容

① 試験目的

カメラやGPS、地上デジタルワンセグ受信機能など、携帯電話の多機能化が著しく進展している。加えて、GSM方式やCDMA方式などの複数のサービスを利用する無線部のマルチバンド化が本格的に検討されており、多機能化の進展と併せて、無線部の小型化に対する要求が増している。

図1はGSM方式携帯電話高周波フロント・エンド部を示すもので、非線形パワーアンプ用高次スプリアスフィルタには、5次のLGフィルタ構造を有するLTCCチップ部品が用いられている。本試験では、現状のLTCCフィルタに替わる集積化磁性薄膜／誘電体薄膜ハイブリッド高次スプリアスフィルタを開発し、無線部の高周波ICの小型化を可能とする受動デバイスの集積化の基礎技術を確立する。

② 実施内容

GSM方式携帯電話の非線形パワーアンプモジュールへの集積化を目標として、高次スプリアスを抑制する集積化磁性薄膜／ポリイミド薄膜ハイブリッドフィルタを開発する。試験の実施内容は以下のとおりである。

目標仕様

周波数帯=0.9GHz帯（GSM方式携帯電話）、基本波挿入損失=0.6dB以下、2次スプリアス減衰量=30dB以上、3次スプリアス減衰量=20dB以上

実施内容

- ・フィルタ構造の検討とデバイス設計；CoPdSiO磁性薄膜誘導素子とポリイミド容量素子からなる共振器を2つ具備した2次、3次スプリアスフィルタの基本デバイス構造と信号伝送特性の関係を3次元高周波電磁界解析によって明らかにし、これをもとにデバイス設計を行った。
- ・デバイス試作；従来のウェット加工法に替わる磁性薄膜／配線用微細加工装置を導入し、スパッタやフォトリソグラフィを用いてデバイスを試作し、特性評価を行った。
- ・実動作試験；試作デバイスをパワーアンプに接続した実動作試験を行い、本デバイスの有効性を実証する予定であったが、パワーアンプテストボードの準備が間に合わず、未達であった。

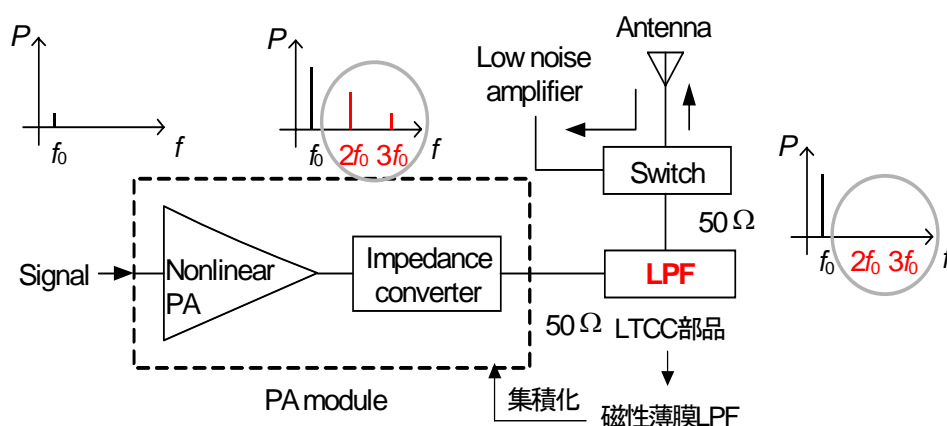


図1 GSM携帯電話の高周波フロント・エンド部

(2) 得られた成果

① 高次スプリアスフィルタ構造の検討とデバイス設計

CoPdSiO系グラニューラ磁性薄膜を採用し、これを用いた誘導素子とポリイミド誘電体薄膜容量

素子からなる 2 段共振器フィルタを採用した。2 段共振器構造を採用した高次スプリアス薄膜フィルタはこれまでに例がない。

・ CoPdSiO 磁性薄膜とポリイミド誘電体薄膜

図 2 は、薄膜誘導素子に採用した $2\mu\text{m}$ 厚 CoPdSiO 磁性薄膜の複素透磁率の周波数特性を示すものである。CoPdSiO は微細な CoPd 結晶粒を SiO_x マトリクスが取り囲むグラニューラ構造を有し、 $15000\mu\Omega\text{cm}$ の高い電気抵抗率と半値幅の狭い強磁性共鳴吸収を有する。図 2 から明らかなように、CoPdSiO 膜の強磁性共鳴周波数は約 4GHz、透磁率の実数部は約 35 であった。

図 3 は薄膜容量素子採用した $1\mu\text{m}$ 厚ポリイミド誘電体膜の複素誘電率の周波数特性を示すものである。誘電率 (ϵ_r') の値は約 3.5 で GHz 帯での誘電率の低下もほとんどなく、誘電体損 (ϵ_r'') も十分に小さい。

・ 薄膜高次スプリアスフィルタの構造

図 4 は、本試験で検討した 2 段共振器構造を有する薄膜高次スプリアスフィルタの構造と等価回路を示すものである。非線形パワーアンプの 2 次高調波と 3 次高調波に対応する二つの共振器からなり、薄膜誘導素子はマイクロストリップ線路型構造を、薄膜容量素子 MIM (Metal/Insulator/Metal) 構造を採用した。

マイクロストリップ型 CoPdSiO 薄膜誘導素子とポリイミド MIM 薄膜容量素子の設計には、三次元高周波電磁界解析ツール (MAGNA/EMI : 伊藤忠ソリューションズ) を用い、共振器の Q 値を高くするためのデバイス構造の検討を行った。

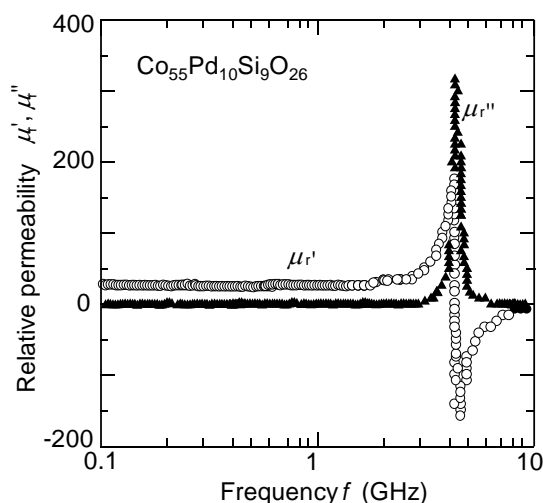


図 2 CoPdSiO 磁性薄膜の複素透磁率

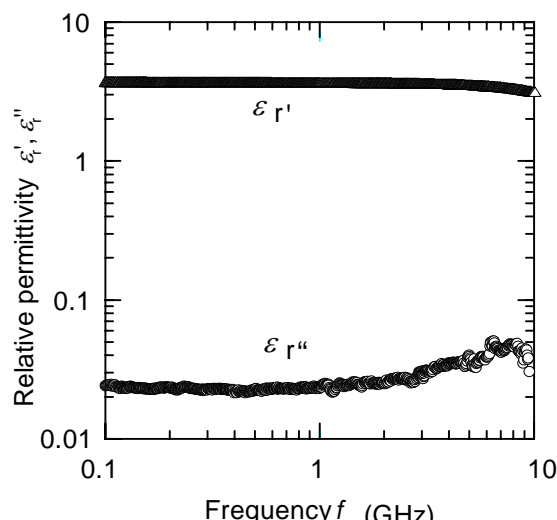


図 3 ポリイミド誘電体膜の複素誘電率

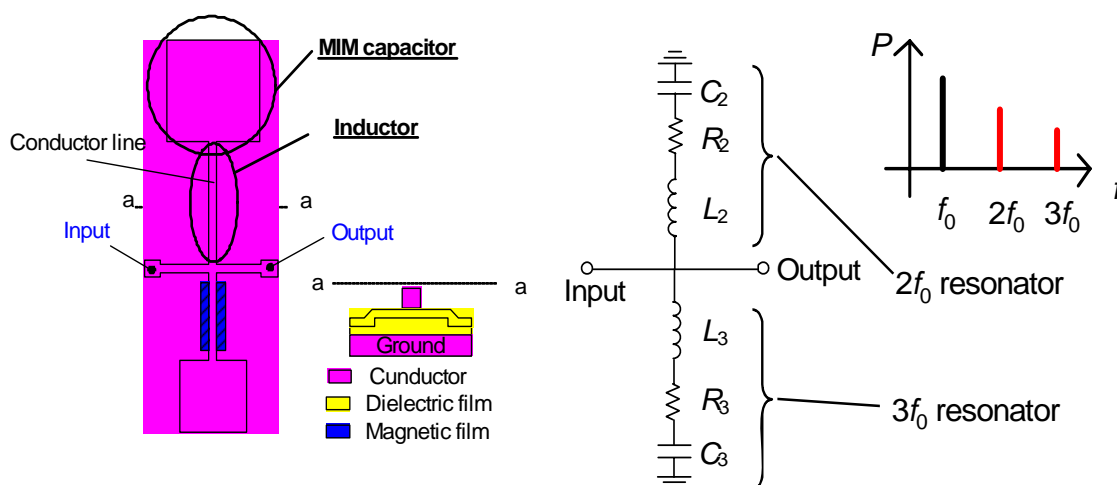


図 4 2 段共振器構造を有する薄膜高次スプリアスフィルタの構造と等価回路

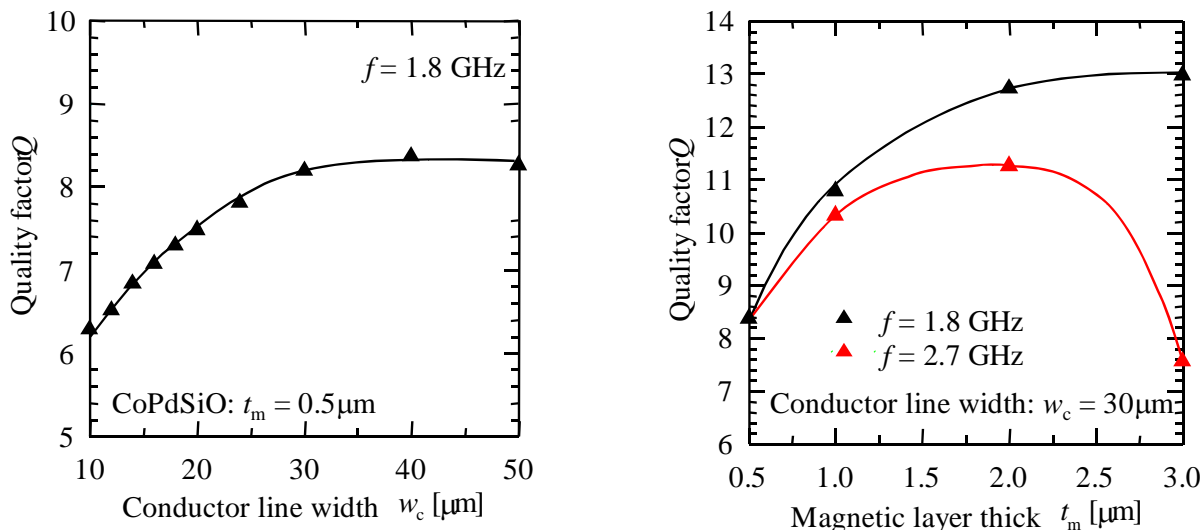


図 5 マイクロストリップ型 CoPdSiO 磁性薄膜誘導素子の構造と Q の関係

図 5 は、マイクロストリップ型 CoPdSiO 磁性薄膜誘導素子における線路幅 w_c と Q 、ならびに CoPdSiO 膜厚 t_m と Q の関係を電磁解析により計算したものである。基本周波数 f_0 を 0.9GHz とする高次スプリアスフィルタの試作を目標とし、2 次スプリアス周波数 ($2f_0$) 1.8GHz と 3 次スプリアス周波数 ($3f_0$) 2.7GHz に対する計算値を示す。図から明らかなように、線路幅 w_c が $20\mu\text{m}$ 程度までは Q は w_c にほぼ比例して上昇するが、それ以上 w_c を大きくしても幅方向表皮効果のために Q はほぼ一定になる。ここでは、線路幅 w_c を $30\mu\text{m}$ とした。また、1.8GHz では、CoPdSiO の膜厚 t_m の増大とともに Q が高くなるものの、2.7

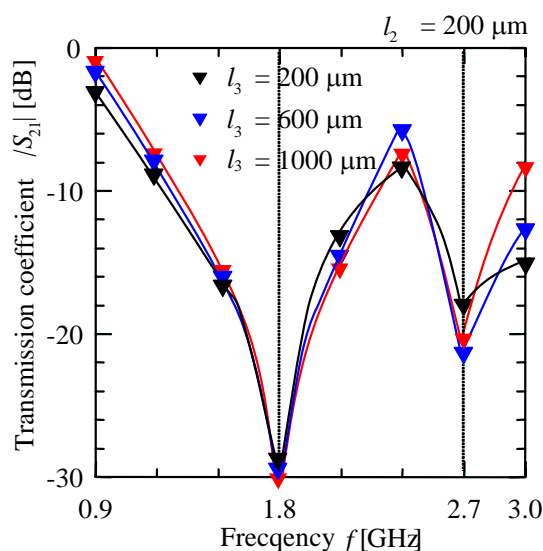


図 6 薄膜高次スプリアスフィルタの信号伝送特性の計算値

GHz では $2\mu\text{m}$ 以上の厚膜化でかえって Q が低下してしまう。これは、磁性膜厚の増大によるインダクタンスのエンハンス以上に磁気損失の影響が大きくなるためであり、本試験では、CoPdSiO 膜厚 t_m を $2\mu\text{m}$ とした。ポリイミド薄膜容量素子は誘導素子に対し 2 桁以上 Q が高く、共振器の Q はインダクタによって決定されると言える。

図 6 は、2 次スプリアス共振器と 3 次スプリアス共振器における誘導素子線路長 l_2, l_3 をパラメータにした信号伝送特性の計算値の一例を示したものである。2 次スプリアスに対する 30dB の減衰量と 3 次スプリアスに対する減衰量 20dB の両方を満足する組み合わせは、 $l_2, l_3 = 200, 600\mu\text{m}$ と $l_2, l_3 = 200, 1000\mu\text{m}$ の二通りである。前者の場合の基本波 f_0 (1.8GHz) における挿入損失は約 0.8dB、後者の場合で約 1.3dB であり、目標値よりやや大きい。

②デバイス試作と特性評価

- ・ CoPdSiO 磁性薄膜 / ポリイミド薄膜ハイブリッドフィルタの試作

CoPdSiO 磁性薄膜は、CoPd と Si ターゲットを Ar/O₂ 混合ガス中における酸素反応性共スパッタ

リングで作製した。磁性薄膜とマイクロストリップ線路、ならびに薄膜容量素子の電極の加工には、従来のウェット法に替わるイオンリング法を採用した（イオンリング装置を購入）。ポリイミド誘電体薄膜はポリアミック酸のスピコーティングとイミド化ベーキング（280°C×1h）で作製した。

図7は、CoPdSiO 磁性薄膜/ポリイミド薄膜ハイブリッド高次スプリアスフィルタの上面写真を示すものであり、デバイスを点線で囲って示している。デバイスサイズは、1.2mm×0.4mm とやや大きいですが、誘導素子にスパイラル線路を採用することで1mm以下のサイズにすることが可能である。

③試作デバイスの信号伝送特性の評価、目標値との比較

図8は、図6で示した共振用誘導素子の線路長として $l_2, l_3 = 200, 600 \mu\text{m}$ の組み合わせで試作したフィルタの透過係数 S_{21} の測定結果を示すものである。同図は、同じ設計にもとづく3個のデバイス特性を示した。同一バッチでデバイスを試作したものの、特性ばらつきが大きい。これは、酸素反応性スパッタで作製したCoPdSiO膜の基板面内のばらつきによるものであると推定している。いずれのデバイスもローパスフィルタ特性を示しているが、0.9GHz (f_0)における挿入損失2~6dB、2次スプリアス周波数($2f_0$)における減衰量7~16dB、3次スプリアス周波数($3f_0$)に対する減衰量14dBであり、いずれも目標値を達成できなかった。また、共振時に減衰量が極大を取る周波数も設計値とずれていることがわかる。ここでは図示しないが、共振用誘導素子の線路長として $l_2, l_3 = 200, 100 \mu\text{m}$ の組み合わせで試作したフィルタもほぼ同様の特性であった。

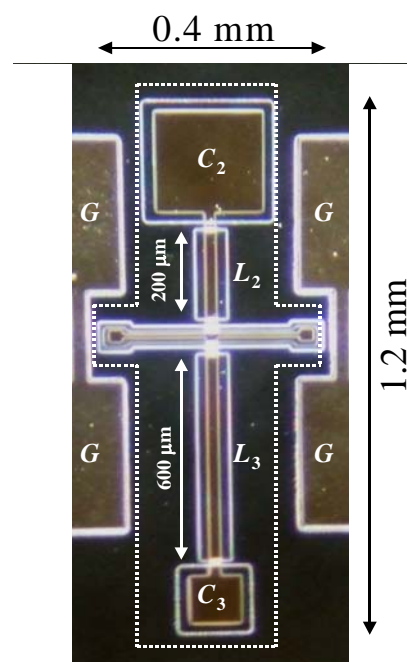


図7 試作デバイスの上面写真

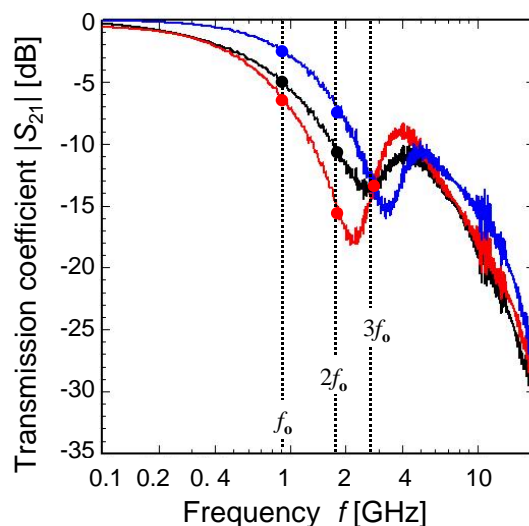
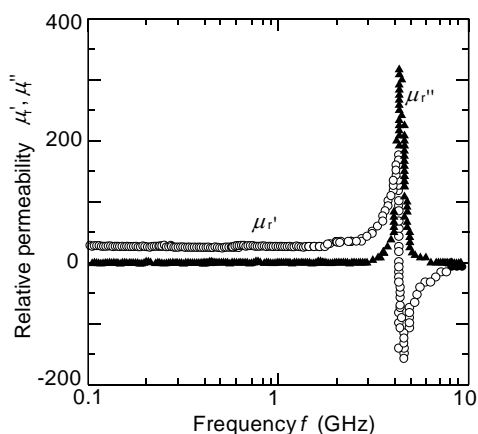
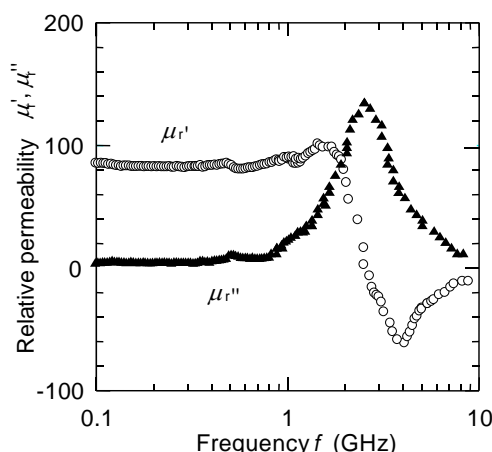


図8 試作デバイスの信号伝送特性



(a) 成膜直後



(b) 280°C×1hの熱履歴後

図9 成膜直後とイミド化ベーキングと同じ熱履歴を経た後のCoPdSiO膜の複素透磁率の比較

④目標値未達の原因

試作デバイスの特性が目標値を満足できなかった原因として、デバイスプロセスうち、ポリイミド誘電体膜のイミド化ベーキング時の熱履歴によるCoPdSiO膜の特性劣化が考えられる。図9は、成膜直後とイミド化ベーキングと同じ熱履歴(280°C×1h)を経た後のCoPdSiO膜の複素透磁率を比較したものである。図から明らかなように、透磁率(μ_r')が35から85程度に高くなるものの(一軸異方性磁界の減少による)、強磁性共鳴周波数が4GHzから2.5GHzに低下し、強磁性共鳴吸収の半値幅も広がっている。このために、1GHz以下の周波数で磁気損失(μ_r'')が増大し始め、GHz帯では損失が著しく大きくなっている。共振用誘導素子中のCoPdSiO膜の熱劣化により、素子の損失が増大し通過周波数である0.9GHzにおける挿入損失が増えるとともに、共振Qの低下により高次スプリアスの減衰量も悪化したものと推定される。

本試験では、2段共振器からなる新規の磁性薄膜高次スプリアスフィルタを試作し、1GHz以下を通過帯域とするローパスフィルタ特性を確認したが、当初掲げていたGSM携帯電話非線形パワーアンプ用高次スプリアスフィルタとしては目標値を達成することはできなかった。今後は、CoPdSiO膜の耐熱性を向上させるとともに、他の磁性膜の採用も検討する予定である。

(3) 今後の展開

①平成20年度計画

- ・共振用誘導素子の特性改善

CoPdSiO膜の熱劣化を抑制するための耐熱性の向上とともに、他の磁性薄膜(CoFeBなど)の採用により、誘導素子の低損失化と高Q化を図る。

- ・デバイスの2次試作と動作試験

改良型誘導素子を採用した2段共振器高次スプリアスフィルタを試作し、GSM携帯電話フロントエンド回路を模擬した動作試験を行う。

- ・外部発表等

デバイスの2次試作ならびに動作試験の結果を待って、基本特許の出願を行う予定である。また、成果を来年3月に開催の電気学会全国大会で発表する予定である。

②今後の実用化に向けた長期的展望

高周波薄膜磁気デバイスについては、本試験とは別に、薄膜バルントランスの開発を双信電機株式会社と共同で進めており、高次スプリアスフィルタについても今後共同で開発を行い、実用化を図っていく。

(4) 知的財産権について

①試験の結果得られた知的財産権

本試験の結果得られた知的財産権はない。

②今後の知財権確保

2段共振器による磁性薄膜高次スプリアスフィルタの基本特許を平成20年度中に出願予定である。また、共同研究先企業との共同開発を通して、戦略的に知的財産の確保を図っていく。

(5) 今後のフォローアップ等について(コーディネータ記載)

本試験は磁性薄膜と誘電体薄膜からなる2段共振器からなる新規の高次スプリアスフィルタの開発に関するもので、携帯電話高周波回路の小型化のキー技術として期待できる。現時点では、目標特性をクリアしていないが、特性改良の方向性が示されており、今後、双信電機株式会社との共同開発が円滑に進むようフォローし、実用化を支援していく。

