

広帯域ペン書きオシログラフの一方式と試作

工藤道夫*・林部林平**

(昭和48年3月21日受理)

1. ま え が き

ここでは、直接ペン書きのできない周期的な高周波信号を対象とし、これをサンプリング方式によって適当な低周波数に変換する。

この操作により、広帯域な周期的信号でも直接ペン書き記録ができる装置の一方式、並びに、その試作について以下述べる。

ところで、従来のサンプリングオシロスコープで用いられている遅延パルス発生方式³⁾では、出力波形を連続してペン書きすることが困難である。また、ペン書きオシログラフの広帯域化の一方法として、周波数差方式が提案¹⁾されているが、これは別個に基準電源を必要とする。また、サンプリング周波数の調整、あるいは系の周波数制御が回路的に複雑である。

ここでは、モノマルチと論理回路との簡単な組み合わせにより、パルスの巡還回路を構成する。そして、周期信号に同期したパルスを基準とし、連続した遅延パルス列を順次発生させる²⁾。この際、温度変動、その他の原因によって、パルス間隔の変動が生じやすい。しかし、これはモノマルチ回路の最適設計、および自動補償回路の負帰還動作によって十分に安定化することができた。

このような遅延パルスを用いたサンプリング動作によって、周期信号に対する所望の周波数変換が容易に得られた。さらに、変換後の入力信号のペン書き記録も安定に行うことができた。

2. 概 要

全体の回路は、図1に示すブロック図で表わされ、次の四つの要素に分けられる。

(1) 同期分周回路、(2) 遅延パルス列発生回路、(3) 自動補償回路、そして、(4) サンプリングおよびホールド回路である。

(1)において、入力信号は、それに同期したパルス列に変換される。これはさらに $1/n$ (n : 整数) に分周される。

(2)は、モノマルチと論理回路から成り、上述の分周パルス列でトリガされることによって、これ等の各パルスに順次遅れた遅延パルス列を発生する。

ところで、このパルス列のパルス間隔は、温度変化、雑音などによって変動し易い。(3)

* 電子工学教室 教授

** 電子工学教室 技官

は、このパルス間隔の変動を自動的に補償するための自動補償回路である。

(4) は MOS 形 FET チョップ、および、ホールド回路で構成される。ここでは、整形された遅延パルス列で信号をサンプリングして、それ等をホールドする。この出力は、ペン書きオシログラフの入力となる。

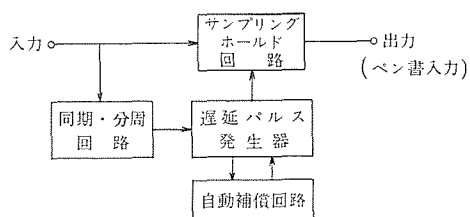


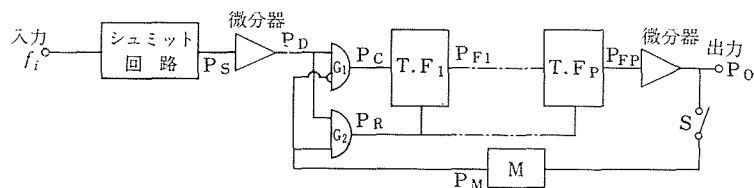
図1 全体のブロック図

3. 各部の回路動作

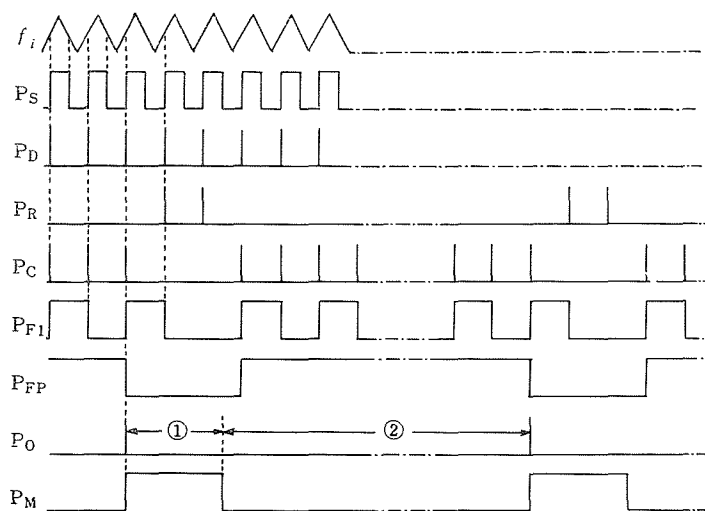
3.1 同期分周回路

図2は同期分周回路を示したもので、(a)はブロック図、(b)は各パルス波形のタイミングチャートである。

回路は同図(a)のように、シュミット回路、微分器、インヒビットゲート G_1 、論理積ゲート G_2 、モノマルチ M 、および、 P 個のT形フリップフロップ $T.F_1 \sim T.F_P$ によって構成される。



(a)



(b)

(a) ブロック図 (b) タイミングチャート

図2 同期分周回路

まず、シュミット回路で入力信号に同期した方形波を発生する。これを微分して $T.F$ をトリガする。また、縦続接続された最後の $T.F_P$ の出力波形を微分して、その立下がりを出力パルス P_0 として取り出す。この場合、スイッチ S が開かれていれば、 M は働かない。したがって、 G_1 が開いて G_2 が閉じる結果、微分器の出力パルス P_D は、そのまま $T.F_1$ をトリガする。このとき、 P 個の $T.F$ を縦続接続すれば、 $(1/2)^P$ 、 $(P = 1, 2, 3, \dots)$ の分周ができる。

一方、 S が閉じられていれば、出力パルス P_0 が出力される毎に、 M は決められた一定時間動作し、その期間内ゲート G_1 は閉じられるので、クロックパルス P_C は出力されない。また、この時、 G_2 は開いて M の動作期間内の P_D は、リセットパルス P_R として出力され、 $T.F_1 \sim T.F_P$ をリセットする。この結果、 P 段の $T.F$ が継続接続されていれば次式の分周比 $1/n$ が得られる。

$$\frac{1}{n} = \frac{1}{2^{P-1} + \alpha}, \quad \text{ただし, } P, \alpha: \text{正整数.} \quad (1)$$

上式の α は、設計の自由度を多くするために考慮したものであり、その数値例については後節の設計例で述べる。

同図 (b) は、これ等の入出力波形の関係を示したものであり、①の部分 (1) 式の α 、②の部分 2^{P-1} の項に相当している。

3.2 サンプリングパルス発生回路

3.2.1 モノマルチ遅延回路

図3はモノマルチ回路である。同図の Tr_1, Tr_2 はトランジスタ、 D_1, D_2 はダイオードで、 D_1 は負極性のトリガパルスを Tr_1 のコレクタへ導入する。

同図のモノマルチの定常状態では、 Tr_1 がオフ、 Tr_2 がオンである。入力端に負極性のトリガパルス P が入ると、 Tr_2 がオフ、 Tr_1 がオンとなって準安定状態となる。ここで、 E_{b2} によって C_2 が図示の極性で充電され、ベース電位 $V_{b2}(t)$ が Tr_2 の転移電圧に達すると、再び Tr_1 がオフ、 Tr_2 がオンとなって定常状態にもどる。定常状態で、 C_2 は E_C ま

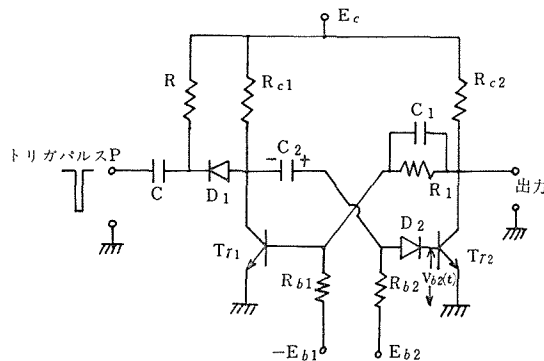


図3 モノマルチ回路

で充電される。したがって、準安定状態に移った時の C_2 の両端の電圧は E_c である。いま、準安定状態における $V_{b2}(t)$ を等価回路より求め、これより準安定状態から安定状態に復帰するまでの時間、すなわち、出力のパルス巾 T を計算すれば、次式で与えられる。

$$T = C_2 R_{b2} \log \frac{E_{b2} + E_c}{E_{b2} - V_{os}}, \quad \left. \vphantom{T} \right\} (2)$$

ただし、 $V_{os} : Tr_2$ の転移電圧。

ここで、パルス巾 T に関して、 E_{b2} および E_c に対する感度⁵⁾ $\left[\frac{T}{E_{b2}}, \left[\frac{T}{E_c} \right. \right.$ を上式より求めれば、各々 (3) 式で表わせる。

$$\left. \begin{aligned} \left[\frac{T}{E_{b2}} \right] &= \frac{\frac{\Delta T}{T}}{\frac{\Delta E_{b2}}{E_{b2}}} = \frac{-E_{b2}(E_c + V_{os})}{(E_{b2} + E_c)(E_{b2} - V_{os}) \log \frac{E_{b2} + E_c}{E_{b2} - V_{os}}}, \\ \left[\frac{T}{E_c} \right] &= \frac{E_c}{(E_{b2} + E_c) \log \frac{E_{b2} + E_c}{E_{b2} - V_{os}}}. \end{aligned} \right\} (3)$$

上式、および、後述の数値計算 (図4) によれば、この種のモノマルチで感度を小さくする為には、 E_c を大きく、 E_{b2} を小さく取ることが望ましい。しかし、実際には、準安定状態において、 Tr_2 のベース、エミッタ接合では、その間の逆方向バイアスが (7~8) V でクランピングするので、あまり E_c を大きくとっても意味がない。これを防ぐため、図のようにダイオード D_2 を附加すれば、 D_2 の逆耐圧電圧分だけクランピング電圧が増大するので、 E_c は大きくとれる。なお、準安定領域より安定領域に移るためには、 E_{b2} が V_{os} より大きいことが必要であり、これが E_{b2} の下限となる。

ここで、 $E_{b2} = E_c = E$ とする一電源方式のモノマルチを考える。(2) 式で $E_{b2} = E_c = E$ とおいて、 T に関して E に対する感度 $\left[\frac{T}{E} \right]$ を求めると、(4) 式で示される。

$$\left[\frac{T}{E} \right] = \frac{-V_{os}}{(E - V_{os}) \log \frac{2E}{E - V_{os}}}. \quad (4)$$

図4は、(3) 式の感度 $\left[\frac{T}{E_{b2}}, \left[\frac{T}{E_c} \right. \right.$ および、(4) 式の $\left[\frac{T}{E} \right]$ を数値計算して表わしたものである。

一般に $\left[\frac{T}{E} \right]$ は、 $\left[\frac{T}{E_{b2}}, \left[\frac{T}{E_c} \right. \right.$ に較べてはるかに小さく、これは同図でも明らかである。また、 E を大きくとる程 $\left[\frac{T}{E} \right]$ は小さくなる。したがって、ダイオード D_2 を附加することによって、 E を大きくとることが設計上有利である。

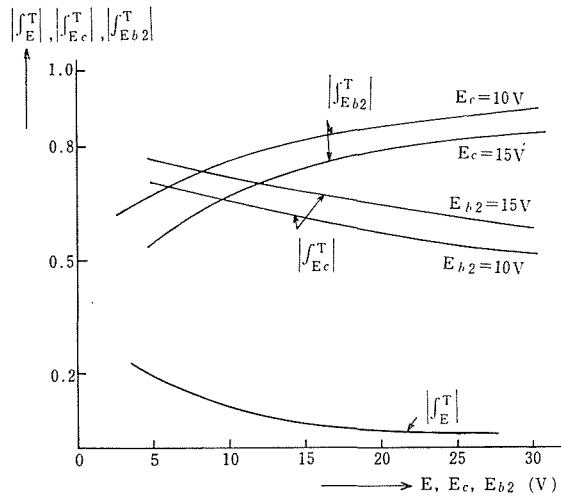


図4 感度 $\left| \frac{\partial T}{\partial E} \right|$, $\left| \frac{\partial T}{\partial E_c} \right|$, $\left| \frac{\partial T}{\partial E_{b2}} \right|$ の計算例 ($V_{os} = 0.7V$)

3・2・2 遅延パルス列の発生

図5は遅延パルス列発生回路を示したもので、(a)はブロック図、(b)は各パルス波形の関係を表わしている。まず、同図(a)で $M_1 \sim M_9$ はモノマルチ、 G_1 は論理積ゲート、 G_2 はインヒビットゲート、 G_3, G_4 は論理積ゲートである。また、Aは補償電圧発生回路を示し、 G_3, G_4 , および M_4 と共に、後節で述べるように遅延パルス間隔の変動に対して、その自動補償を行う。

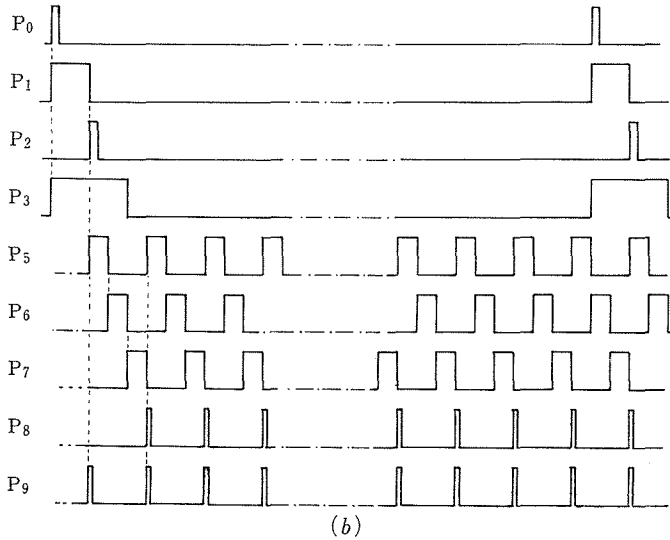
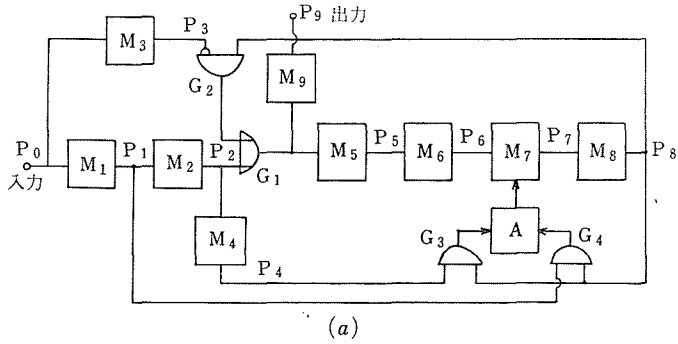
回路動作は、まず、入力信号から同期分周されたパルス P_0 で M_1 を動作させる。 M_1 の出力パルス P_1 の立下がりを利用して M_2 を動作させる。この M_2 の出力パルス P_2 を遅延パルス発生回路の基準パルスとする。

P_2 で M_5 をトリガし、さらにその出力パルスで順次 M_6, M_7 をトリガする。その結果、得られる遅延パルス P_7 を M_8 で整形し、パルス P_8 とする。 P_8 はゲート G_2 , ゲート G_1 を通って M_5 をトリガし、再び遅延パルスを発生させる。その結果、ゲート G_1, G_2 , および $M_5 \sim M_8$ より構成されるパルス巡還回路には、遅延パルス列が順次発生する。

一方、 M_3 は同図(b)のように、 P_2 を中心として、その左右の一定時間動作しパルス P_3 を出力して、ゲート G_2 を制御する。すなわち、 P_3 のタイミング内にあるパルス P_8 は遮断され、一方、 M_2 からの P_2 は M_5 に導入される。この結果、遅延パルス列 P_8 は、 P_2 ごとに同期がとられることになる。

以上の P_2 と P_8 は合算され、結局、出力としての遅延パルス列 P_9 は、同図(b)に示すように連続したものとなる。

さて、信号が周期 $T_i (= 1/f_i)$ の周期波とし、その l サイクルごとに、 $4T$ ずつ遅れた点をサンプリングするならば、この場合のサンプリング動作の周期 T_s は(5)式で与えられる。



(a) ブロック図 (b) タイミングチャート

図5 遅延パルス発生回路

$$T_s = lT_i + \Delta T, \quad \text{ただし, } l = 1, 2, 3, \dots \quad (5)$$

ところで、サンプリング動作において、情報を完全に伝達するためには、周知のようにサンプリング定理を満足させねばならない。したがって、この場合、信号周期 T_i とサンプリング動作の遅延時間 ΔT との間には、次式が必要⁴⁾である。

$$\Delta T \leq \frac{1}{2} T_i. \quad (6)$$

一方、分周比を $1/n$ とし、 nT_i ごとに同期を取るとすれば、 nT_i の期間に含まれるサンプリングパルスの数を m として(7)式が成立する。

$$nT_i = (m - 1)T_s. \quad (7)$$

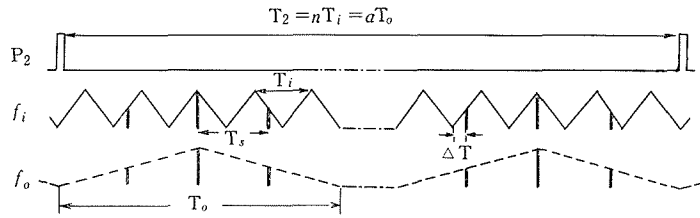


図6 サンプル動作の波形

したがって (5) 式と (7) 式より ΔT を次のように選ばばよい.

$$\Delta T = T_i \left(\frac{n}{m-1} - l \right). \quad (8)$$

また、このとき (6) 式と (8) 式より次の条件が必要である.

$$\frac{1}{2} \geq \left(\frac{n}{m-1} - l \right). \quad (9)$$

この場合、図6のように、サンプリングされた各信号の頂点を結んだ点線で出力波形を表わすとすれば、出力周波数 f_0 は次式で与えられる.

$$f_0 \left(= \frac{1}{T_0} \right) = \frac{\Delta T}{T_i T_s} = f_i \left\{ 1 - \frac{l(m-1)}{n} \right\}. \quad (10)$$

ここで、 nT_i の期間に、出力波形を a 周期 (a : 整数) 出力するとすれば、 nT_i が T_0 ($= 1/f_0$) の a 倍であればよく次式が成立する.

$$f_0 = \frac{a}{n} f_i. \quad (11)$$

したがって、(10) 式と (11) 式より次式が与えられる.

$$m = \frac{n-a+l}{l}. \quad (12)$$

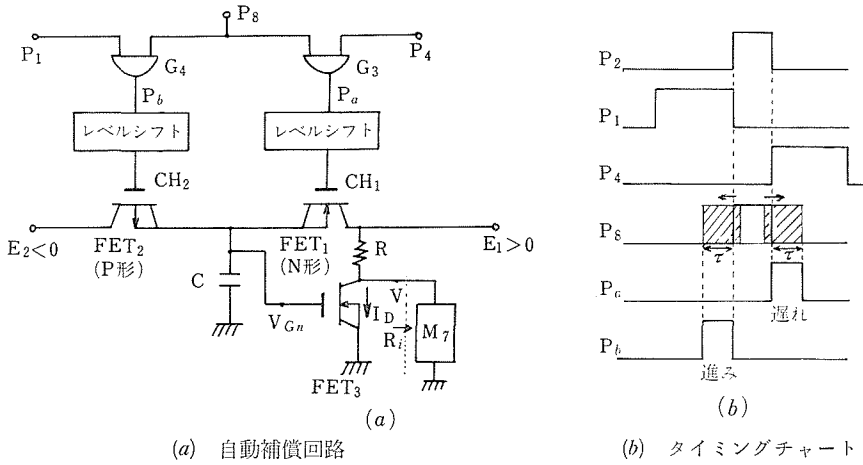
また、このとき、出力波形が入力波形と完全に相似となるためには、 n と a との比 n/a は正整数でなければならない.

この条件、および (9)、(12) 両式を満足する m 、 n 、 l 、 a が決められたとき、出力周波数 f_0 は (10) 式、あるいは (11) 式で表わされる.

また、入力周波数 f_i にかかわらず、常に m を一定値におさえれば、(11) 式より f_0 は f_i の a/n 倍となる.

3・3 自動補償回路

図7は自動補償回路を示す. 同図(a)は図5(a)に示した回路Aの部分を具体的に表わし



(a) 自動補償回路

(b) タイミングチャート

図7 自動補償回路

た実際の回路である。また同図 (b) は、各パルスの関係を表わしたタイムチャートである。同図 (a) で、 CH_1 、 CH_2 は MOS 形 FET を利用したチョップであり、 FET_3 のドレイン、ソース間の実効抵抗は、ゲート電圧 V_{Gn} で制御される可変抵抗である。したがって、一定電圧 E_1 より分圧される FET_3 のドレイン電圧 V は、可変抵抗の大きさに応じて変化する。そして、これが前節で述べたモノマルチ M_7 のバイアス電圧となり、図 5 (b) のパルス P_7 の巾を制御することになる。

さて、パルス P_2 の任意の期間 T_2 において、その最初から m 本目のパルス P_8 は、図 5 (b) に示すように P_2 と一致せねばならない。しかし、モノマルチのパルス巾は温度変動、雑音等の影響で変動する。その結果、パルス P_8 の位置は、同図 (b) のように P_2 の左右にずれ、 P_8 は P_2 に較べて時間軸上で時間 τ だけ遅れるか、あるいは進む。また、この場合は (10) 式の ΔT が変化することになり、同式でわかるように出力周波数 f_0 は変動する。

さて、図 7 (b) に示すように、この時間的なずれに応じてパルス P_8 と P_4 、あるいは P_8 と P_1 、との論理積がとられ、その出力パルスは、それぞれ、 P_a 、 P_b として検出される。これらのパルスは、それぞれチョップ CH_1 、 CH_2 に加えられ、それ等をオンとする。もちろん、チョップ CH_1 、 CH_2 が同時にオンになることはない。

ここで、パルス P_8 の時間的なずれ、および自動補償動作に応じて検出パルス P_a 、 P_b のパルス巾も、現われる回数も色々に変化し予測はできない。いま、任意のずれ τ_n による検出パルスによって FET_3 のゲートに現われる電圧を V_{Gn} 、それ以前のゲート電圧を V_{Gn-1} とすれば、次の関係式が得られる。

$$V_{Gn} = V_{Gn-1} e^{-\frac{\tau_n}{CRon}} + E(1 - e^{-\frac{\tau_n}{CRon}}),$$

$$\left. \begin{aligned} \text{ただし、} E = E_1 \text{ (}\tau_n\text{: 遅れ、すなわち } P_a \text{ の場合),} \\ E = E_2 \text{ (}\tau_n\text{: 進み、すなわち } P_b \text{ の場合).} \end{aligned} \right\} (13)$$

ここで、 FET_3 は五極管領域で動作させたので、ゲート電圧 V_{Gn} で制御されるこのドレイン、ソース間の実効抵抗は、モノマルチ M_7 の入力抵抗 R_i 、および抵抗 R に較べて充分大きい。したがってこれは電流源 I_D と考えて差支えなく、図7に示される M_7 のバイアス電圧としての V は (14) 式で示される。

$$V = \frac{E_1 - I_D R}{\frac{R}{R_i} + 1} \quad (14)$$

ここで、 FET のゲート、ソース間短絡時のドレイン電流を I_{Dss} とすれば、五極管領域における FET のドレイン電流は、周知のように次式で近似できる。

$$I_D \doteq I_{Dss} \left(1 - \frac{V_{Gs}}{V_p}\right)^2, \quad (15)$$

ただし、 $V_p (< 0)$: ピンチオフ電圧,
 V_{Gs} : ゲート、ソース間電圧.

したがって、(14) (15) 式より V は次のようになる。

$$V = \frac{E_1 - R I_{Dss} \left(1 - \frac{V_{Gn}}{V_p}\right)^2}{\frac{R}{R_i} + 1} \doteq E_1 - R I_{Dss} \left(1 - \frac{V_{Gn}}{V_p}\right)^2, \quad (16)$$

ただし、 $R \ll R_i$.

V は (2) 式の E_c に相当するから、 M_7 のパルス巾 T と FET_3 のゲート電圧 V_{Gn} との関係は、(2) (16) 両式より次のようになる。

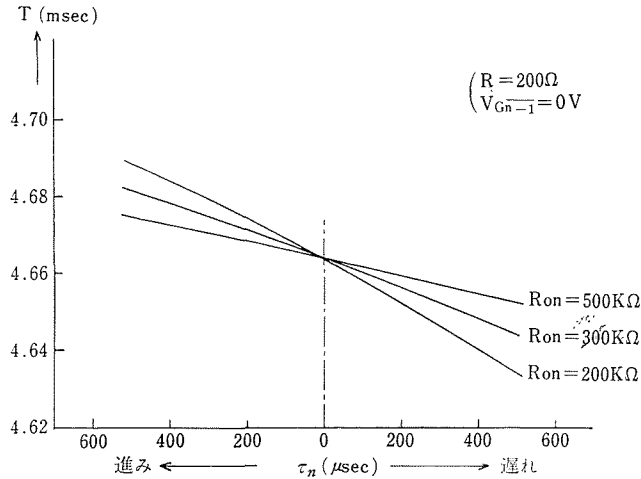
$$T = C_2 R_{b2} \log \frac{E_{b2} + E_1 - R I_{Dss} \left(1 - \frac{V_{Gn}}{V_p}\right)^2}{E_{b2} - V_{os}}. \quad (17)$$

また、 T と τ_n との関係は、(18) 式で表わされる。

$$T = C_2 R_{b2} \log \frac{E_{b2} + E_1 - R I_{Dss} \left[1 - \frac{1}{V_p} \left\{ V_{Gn-1} e^{-\frac{\tau_n}{C R_{on}}} + E(1 - e^{-\frac{\tau_n}{C R_{on}}}) \right\}\right]^2}{E_{b2} - V_{os}}, \quad (18)$$

ただし、 $E = E_1$ (τ_n : 遅れの場合),
 $E = E_2$ (τ_n : 進みの場合).

ここで、(17) 式において、

図8 $T-\tau_n$ 特性の計算例

$$X = \frac{E_{b2} + E_1 - RI_{DSS} \left(1 - \frac{V_{Gn}}{V_p}\right)^2}{E_{b2} - V_{os}}$$

として、 X を V_{Gn} について微分すれば、(19) 式が得られる。

$$\left. \frac{dX}{dV_{Gn}} = - \frac{2RI_{DSS}}{|V_p|(E_{b2} - V_{os})} \left(1 + \frac{V_{Gn}}{|V_p|}\right), \right) \quad (19)$$

ただし、 $E_{b2} > V_{os}$ 。

ここで、まず τ_n が遅れの場合は、 V_{Gn} の変動分は (13) 式より $\Delta V_{Gn} > 0$ であり、 $V_{Gn} > V_p$ である限り $dX > 0$ 、したがって $dT < 0$ となる。一方、 τ_n が進んだ場合は、 $\Delta V_{Gn} < 0$ であり、前者の場合と同じく $V_{Gn} > V_p$ である限り $dX > 0$ 、したがって $dT > 0$ となる。

図8は、パルス巾 T とずれ τ_n との関係を示す (18) 式によって数値計算した例である。ただし、 $C_2 R_{b2} = 16.5 \times 10^{-3}$ 、 $C = 0.05 \mu F$ 、 $E_{b2} = 30V$ 、 $V_{os} = 0.7V$ 、 $E_1 = 10V$ 、 $E_2 = -10V$ 、 $I_{DSS} = 1mA$ 、 $V_p = -3V$ とした。

ところで、すでに述べたように、サンプリングパルスの周期 T_s は、モノマルチ M_5 、 M_6 および M_7 の出力パルス巾の和であたえられる。よって、 M_7 の出力パルス巾 T が増大、あるいは減少すれば、サンプリングパルスの周期 T_s もそれに応じてそれぞれ増大、あるいは減少する。

したがって、以上のことから遅れ、あるいは進みのずれに応じて、それぞれ周期 T_s は減少、あるいは増大する結果となる。このことは、パルス P_3 が常に P_2 と一致するように自動補償動作が行なわれていることを意味する。

ここで、注意すべきは、 $V_{Gn} < V_p$ となれば τ_n の進み、あるいは遅れは逆に助長される。したがって $V_{Gn} > V_p$ の範囲内で補償する必要がある、これは通常の実用に際して充分満足される。

3.4 サンプリグホールド回路

図9はサンプリグ、ホールド回路であり、 CH はMOS形FETチャップによるサンプリグヘッドである。また、コンデンサ C は、サンプリグされた信号をホールドする。

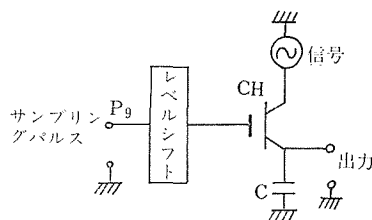


図9 サンプリグホールド回路

ここで3.2.2節で述べたパルス P_9 をチャップ CH に加えるが、これのレベルシフトを行い、 CH のオン

抵抗が最小、かつオフ抵抗が十分大となるようにする。この時、 CH のオン抵抗は、大凡数百オーム、オフ抵抗は $10^8 \sim 10^{10}$ オームである。したがって、サンプリグパルスが入力すれば、信号はサンプリグされてコンデンサ C に蓄えられ、次のサンプリグパルスが入るまでホールドされる。

4. 設計手順と設計例

4.1 設計手順

本装置において、精度よくペン書きが行なわれるためには、3.2.2節で述べた各条件を満足する a 、 l 、 m 、 n が与えられなければならない。これ等を決定するには、次に述べる手順による。

まず、設計の目安としての周波数変換比 $k (= f_o/f_i)$ が与えられる。 k は (11) 式より次式で表わされる。

$$k = \frac{a}{n}. \quad (20)$$

なお、すでに3.2.2節で述べたように $1/k$ は正整数でなければならない。

ここで、出力波形の連続性を良くするためには、 a は大きく選ぶ程良い。しかし、与えられた k に対して、 a を大きくすれば、 n も大きくする必要があり回路的に困難である。これ等の点から $a = 1 \sim 3$ が適当な範囲である。

ところで、(1) (20) 両式より次の関係が成立する。

$$\frac{1}{k} = \frac{n}{a} = \frac{2^{p-1} \times \alpha}{a}, \quad (21)$$

ただし、 $\frac{n}{a}$: 正整数。

上式で、 k の概略値、および a が決められれば、直ちに n の概略値が決められる。そこで、上式を参照し P 、 α を適当に選定すれば、 n の正確値、したがって k の正確値が決定される。通常、 $\alpha \ll n$ であり、この操作は容易に行なえる。この際、実際に計算すれば分

かかるが、周波数変換比 k の選定にはある程度の制約を受ける。しかし、実際に際しては、大凡の変換比を設定すればよく、このことは問題にならない。

次に、以上のように決定された n に対して、(12) 式を満足する m 、 l の組み合わせがいくつか得られる。この場合 $\alpha = a$ にとれば上記の組み合わせ数は多くなり、設計の自由度は増大する。ここで、(9) 式を満足しない組み合わせは除かれる。

また、 m は大きい程出力波形のリプルは小さく、良好な出力波形が得られる。しかし、その反面、サンプリングパルス数 m が増加すれば、パルス巡回路において、パルス間隔の乱れる機会は増えて同期がとりにくくなる。これ等の点から、大凡 $m = (50 \sim 200)$ が適当な実用範囲である。したがって、 m が上述の範囲にある m 、 l の組み合わせを選べば良い。

このように、それぞれの値が決められた後、実際にペン書きさせるには、 M_5 、 M_6 の出力パルスの巾を調節して、同期期間のサンプリングパルス数 m を設定値にする必要がある。なお、 m および α の設定に際しては、カウンタを使用して監視すれば良い。

4・2 設 計 例

周波数変換比 k を大凡、 $1/500$ 、 $1/1000$ 附近、かつ、 $a = 2.0$ にとった設計例を述べる。

(1) $k \doteq \frac{1}{500}$ の場合、

$$a = 2.0$$

$$P = 11.0, \alpha = 2.0 (= a)$$

この場合、 $k = \frac{1}{513}$ 、

この時、 m 、 l の組み合わせの主なものは次のようになる。

$$\left(\begin{array}{ll} l = 4 & m = 257 \\ l = 8 & m = 129 \\ l = 16 & m = 65 \end{array} \right.$$

$l = 16$ 、 $m = 65$ の組み合わせを採用する。

この時、

$$f_0 = \frac{1}{513} f_i, \text{ となる。}$$

(2) $k \doteq \frac{1}{1000}$ の場合、

$$a = 2.0$$

$$P = 12.0, \alpha = 2.0 (= a)$$

この場合、 $k = \frac{1}{1025}$ 、

この時、 m 、 l の組み合わせの主なものは次のようになる。

$$\left(\begin{array}{ll} l = 8 & m = 257 \\ l = 16 & m = 129 \\ l = 32 & m = 65 \end{array} \right.$$

$l = 32$ 、 $m = 65$ の組み合わせを採用する。

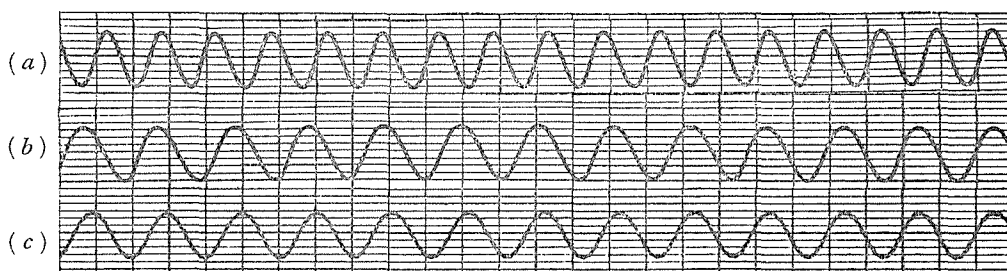
この時,

$$f_0 = \frac{1}{1025} f_i, \text{ となる.}$$

5. 実 測

図10は正弦波信号を低周波変換して、実際にペン書きさせたものである。

(a)は、正弦波入力 500Hz, (b)は 1Hz, (c)は5Hz. であり、これ等をそれぞれ 1/1025に周波数変換してペン書きを行った。



(a) 入力 500Hz, 1.3sec/div (b) 入力 1Hz, 0.5sec/div (c) 入力 5Hz, 0.1sec/div

図10 ペン書き波形 (縦 50mV/div)

6. 結 言

まず、同期分周回路では、出力側から入力側への帰還回路を設け、入力信号からの同期分周パルスを作る際、 n/a を仕様の設定値 (奇数) とすることを容易にした。

サンプリングパルスの発生には、上記の同期分周パルスを基準とし、モノマルチ回路と論理回路とを組み合わせた逐時的なパルス巡還方式を用いた。この際、発生パルス間隔の安定化を得るため、まず電源変動に対するモノマルチの動作を回路的に安定化させた。次いで、実効的可変抵抗、および積分特性を含んだ自動補償回路により、基準パルスに対するサンプリングパルスの時間的なずれを常時補正した。

最後に、高速な周期信号のペン書き記録に際し、周波数変換比、出力リップル、波形の連続性などの観点より、最適な設計手順について示した。そして、設計例を扱い、良好なペン書き記録が連続的に得られることを実測によって確認することができた。

文 献

- 1) 渡部, 中津山: 計測自動制御学会論文集“広帯域ペン書きオシログラフ”(昭45)
- 2) 工藤, 林部: 信大工学部談話会資料“広帯域ペン書きオシログラフの一方式と試作”(昭47)
- 3) 内田: 電子技術“サンプリングオシロスコープの正しい使い方”(昭38-07, 08, 09)
- 4) Alfred J. Monroe: Digital Processes For Sampled Data Systems P. 57-75, John Wiley & Sons, Inc. (1962)
- 5) Benjamin C. Kuo: Automatic Control Systems P. 191-222, Prentice-Hall, Inc. (1967)

Summary

Design of the Wideband Pen-Writing Oscillograph

Michio KUDO and Rinpei HAYASHIBE

(Department of Electronics Engineering, Faculty of Engineering)

Here, we designed and tried the wideband pen-writing oscillograph, in which the periodic signals of high frequency are converted into low frequency firstly, and then these signals can be recorded directly by a pen-writing device easily.

Now, the sampling pulse train, which has been adopted in the conventional sampling-scope, is not necessarily suitable for the use of continuous pen-writing of signals. Moreover, one way of wideband pen-writing was proposed already, but in the device, not only another reference voltage was needed, but also the adjustment of automatic-compensating circuit was complicated.

Here, we prepare firstly a pulse-circulating system by the combination of mono-multi vibrators and logic circuits. Then, in this system, the continuous delayed pulse train is obtained successively in accordance with the standard pulse, which is synchronized to the input signal. In this case, the interval of the above pulse train is apt to vary, by the reason of temperature variation and the others.

But, the above variation is stabilized sufficiently, by the optimal design of the multi-vibrator and by the utilizing of the negative feedback of automatic compensating circuit.

Finally, by the sampling system, using the above stabilized delay pulse train, the frequency conversion of the signals is attained easily. And the wide-band signals, converted, adaptively, can be recorded directly by pen-writing device.