

信州大学審査学位論文

パワーデバイスの高性能化に関する研究

2015年9月

信州大学大学院総合工学系研究科
システム開発工学専攻

大西 泰彦

目 次

第1章 序論	1
1.1 はじめに	2
1.2 パワー半導体デバイスの技術動向	3
1.3 SJ-MOSFET の現状	14
1.4 研究の目的	28
第2章 縦型 SJ-MOSFET の低損失化	34
2.1 はじめに	35
2.2 低オン抵抗化	35
2.2.1 平行型および直交型トレンチゲート SJ-MOSFET	35
2.2.2 数値解析	37
2.2.3 シミュレーションによる検証	44
2.2.4 低オン抵抗化構造	47
2.3 低ターンオフ損失化	49
2.3.1 ターンオフ損失とターンオフ dV/dt のトレードオフ	49
2.3.2 シミュレーションによる最適化	51
2.3.3 最適化デバイスの作製および実証	53
2.4 まとめ	62
第3章 横型 SJ-MOSFET の低損失化	64
3.1 はじめに	65
3.2 従来型プレーナーゲート SJ-LDMOSFET	65
3.3 トレンチゲートインテグレートッド SJ-LDMOSFET	68
3.4 シミュレーションによる低オン抵抗化の検証	68
3.5 まとめ	80
第4章 結論	82
謝辞	85
研究業績	86

第 1 章

序論

第1章 序論

1.1 はじめに

近年、持続可能な社会の実現に向け、太陽光発電や風力発電などの再生可能エネルギーの創出と、そのエネルギーを利用する電力変換機器の省エネルギー化が重要となっている。特にインバーターなどに代表される電力変換機器はパワー半導体デバイス、回路、制御システムによって構成されており、新回路、新制御方式でエネルギー損失を低減する方法がとられる一方で、パワー半導体デバイスにおいてもパワー半導体デバイス自身で発生するエネルギー損失の低減に力が注がれている。電力変換機器におけるパワー半導体デバイスの役割は高周波のスイッチであり、このスイッチで生じるエネルギー損失（電力損失）が電力変換効率もしくは電力の利用効率を低下させることになる。また、この電力損失により発生した熱を除去するための冷却システムの大型化を招くなど、二重の弊害をもたらす。このため、パワー半導体デバイスの研究開発における最大の課題は、電力損失の低減すなわち低損失化にあると言っても過言ではない。一般にパワー半導体デバイスで発生する電力損失の大部分は導通損失とスイッチング損失とで占められている。導通損失は、パワー半導体デバイスがオン状態で電流を流しているときの損失であり、流している電流とパワー半導体デバイスのオン電圧との積、そしてオン期間の比率により決まる。スイッチング損失は、パワー半導体デバイスがターンオンもしくはターンオフする瞬間の過渡的な電圧と電流との積によって生じる損失であり、パワー半導体デバイスのスイッチング時間とスイッチングの周波数とに比例する。従って、パワー半導体デバイスの低損失化のためには、オン電圧の低減とスイッチング時間の短縮とがデバイス側に求められる。

パワー半導体デバイスは、電流を縦方向に流す縦型パワー半導体デバイスと横方向に電流を流す横型パワー半導体デバイスに大別される。縦型パワー半導体デバイスは、電流を縦方向に流すことから大電流化が容易であり、横型パワー半導体デバイスは、表面側にデバイス領域を形成することから、低電圧の制御 IC 回路を集積することができる長所がある。いずれのパワー半導体デバイスとも低損失化、小型化が強く求められる。これまでのパワー半導体デバイスの研究・開発は、これら低損失化を目的とした技術開発であり、その進展には目を見張るものがある。次節以降にその進展について述べる。

1.2 パワー半導体デバイスの技術動向

(1) シリコン(Si)パワー半導体デバイスの歴史

図 1.1 は Si パワー半導体デバイスの進展を示したものである。Si パワー半導体デバイスの実用化は 1960 年代のサイリスタによる大電流制御が可能になってからである。サイリスタは自己ターンオフ型デバイスではなかったが、一度ターンオンすると導通状態を保持することから、電源-サイリスタ-負荷の接続で使用する位相制御用として使用された。この世代の Si パワー半導体デバイスが 1st ウェーブに分類される。2nd ウェーブは、サイリスタの欠点を回避した自己ターンオフ型の GTO (Gate Turn Off)サイリスタや BJT(Bipolar Junction Transistor: バイポーラトランジスタ)に相当する。GTO サイリスタや BJT は電流駆動デバイスであり、ベースから主電流を転流することでターンオフを実現し、インバーターなどに適用された。1970 年代には、電圧制御が可能なパワー MOSFET(Metal Oxide Semiconductor Field Effect Transistor: 金属-酸化膜-半導体電界効果トランジスタ)が開発され、高速動作が可能な Si パワー半導体デバイスが実用化された。パワー MOSFET は電流を縦方向に流す VDMOSFET(Vertical Double Diffused MOSFET: 縦型 2 重拡散型 MOSFET)と横方向に流す電流を横方向に流す LDMOSFET(Lateral Double Diffused MOSFET: 横型 2 重拡散型 MOSFET)に分かれ、VDMOSFET はトレンチゲート MOSFET、Superjunction(SJ: スーパー Junction) MOSFET へと、LDMOSFET は RESURF(Reduced SURface Field) LDMOSFET へと進展を遂げている。また、1980 年代後半には絶縁ゲートによる電圧制御と BJT の大電流特性を兼ね備えた Si パワー半導体デバイスとして IGBT(Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ)が開発された。IGBT は電圧駆動で大電流を扱える上、高破壊耐量であることから、BJT に代わり高耐圧・大電流の分野で現在主流となっている。この MOS 型ゲートのパワー半導体デバイスが 3rd ウェーブであり、現在に至るまで低損失化、高機能化の取り組みが進められている。

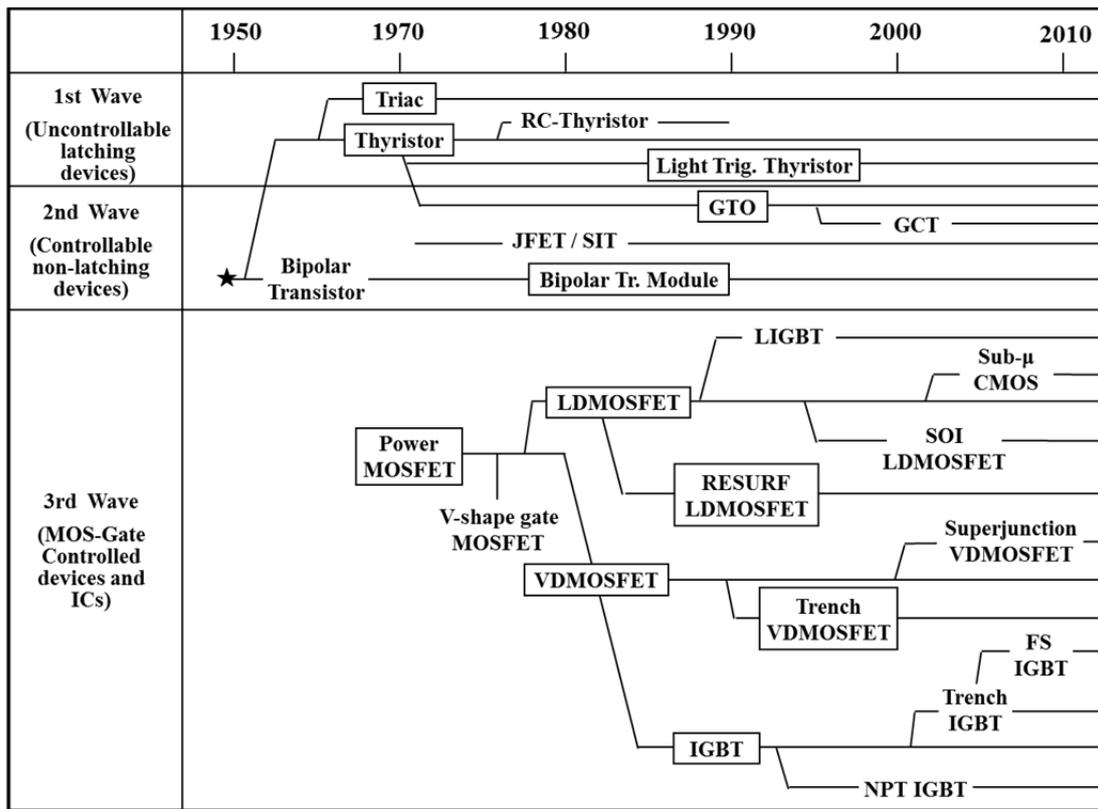


図 1.1 シリコンパワー半導体デバイスの進展

(2) シリコン(Si)パワー半導体デバイスのアプリケーション

図 1.2 に Si パワー半導体デバイスの主なアプリケーションを示す。横軸にデバイス容量(VA)、縦軸に動作周波数(Hz)をとり、各 Si パワー半導体デバイスの適用エリアとアプリケーションを表している。Si パワー半導体デバイスは、電源分野、産業分野、車載分野、電力分野、鉄道分野などの電力変換装置に使用されており、必要不可欠なキーコンポーネントであることが理解できる。それゆえ、Si パワー半導体デバイスの低損失化が、エネルギー保全に大きな影響を及ぼすと言っても過言ではない。図 1.3 はパワー MOSFET のアプリケーションを抽出したものである（なお、広義のパワー MOSFET は縦型と横型の両方を意味するが、本段落のパワー MOSFET は縦型パワー MOSFET を指す）。縦型パワー MOSFET は、多数キャリア型の Si パワー半導体デバイスであるがゆえ、バイポーラ型のような大電流を取り扱うことは難しいが、スイッチングスピードが高速で、比較的に大きな電流を扱うことができることから、DC-DC 変換や AC-DC 変換を行なう電源分野のアプリケーションに多く使用される。同様に、図 1.4 にパワー IC のアプリケーションを電流と耐圧クラスのエリアマップで示す[1.1]。パワー IC では、出力段

が横型パワーMOSFET であるため、縦型パワーMOSFET に比べると扱える電流は小さくなるが、小型化、高機能化を必要とする電源分野や家電分野で多く用いられている。図 1.5 は縦型パワーMOSFET を搭載する PC 用スイッチング電源 (AC-DC 変換、フォワード方式) の回路構成を示したものである。スイッチング電源では、入力電力を如何に電力変換装置内で消費せず出力電力に変換するかが重要であり、スイッチングデバイスとして電力変換を担う縦型パワーMOSFET には発生損失の低減が強く求められる。図 1.6 にパワーIC を搭載するアダプタ用電源 (AC-DC 変換、フライバック方式) の回路構成を示す[1.2]。パワーIC は制御部と出力段をワンチップ化することで、小型化に対応するほか、待機時省電力化によっても発生損失の低減に対応している。また、出力段に用いられる横型パワーMOSFET に対しては、縦型パワーMOSFET と同じく、発生損失の低減が強く求められていることは言うまでもない。

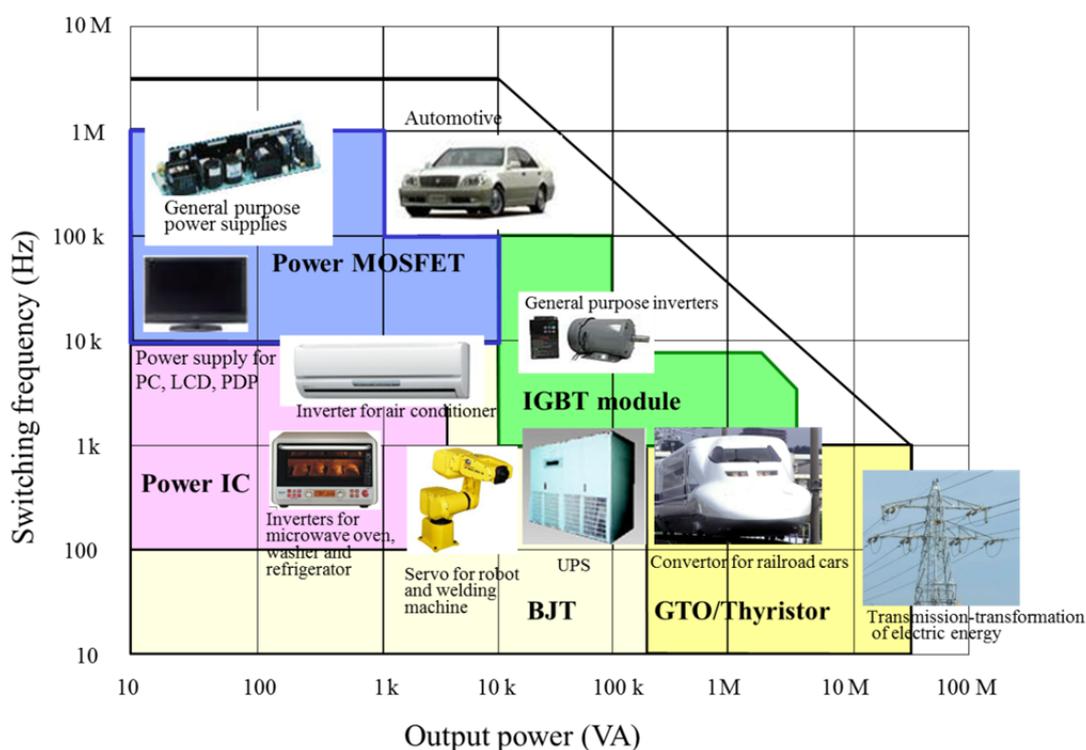


図 1.2 シリコンパワー半導体デバイスのアプリケーション

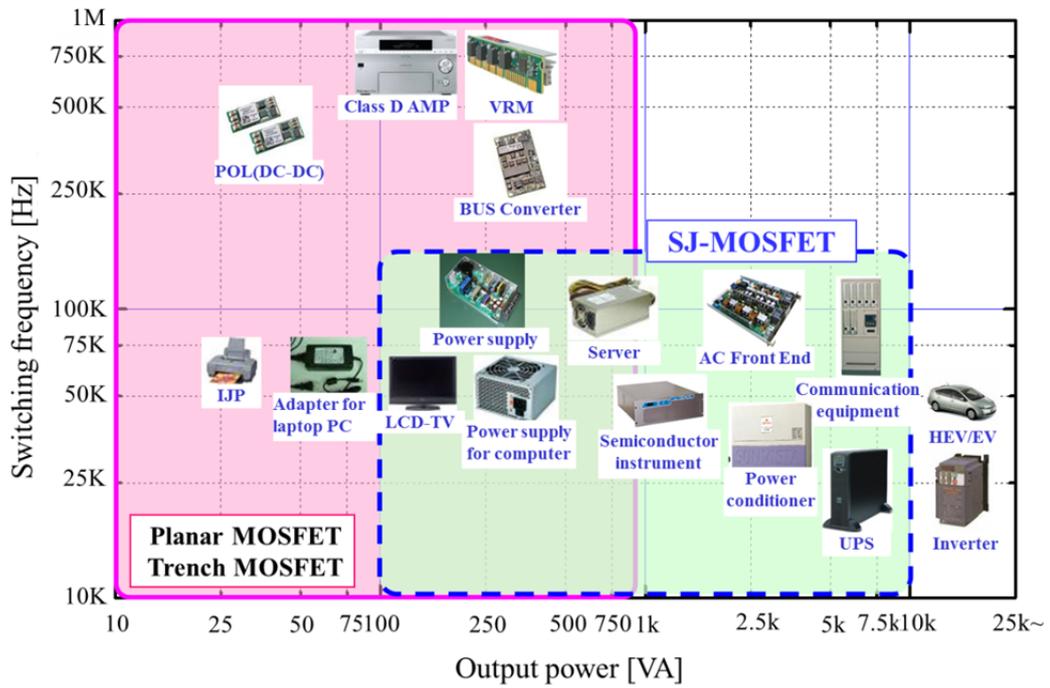


図 1.3 パワーMOSFET のアプリケーション

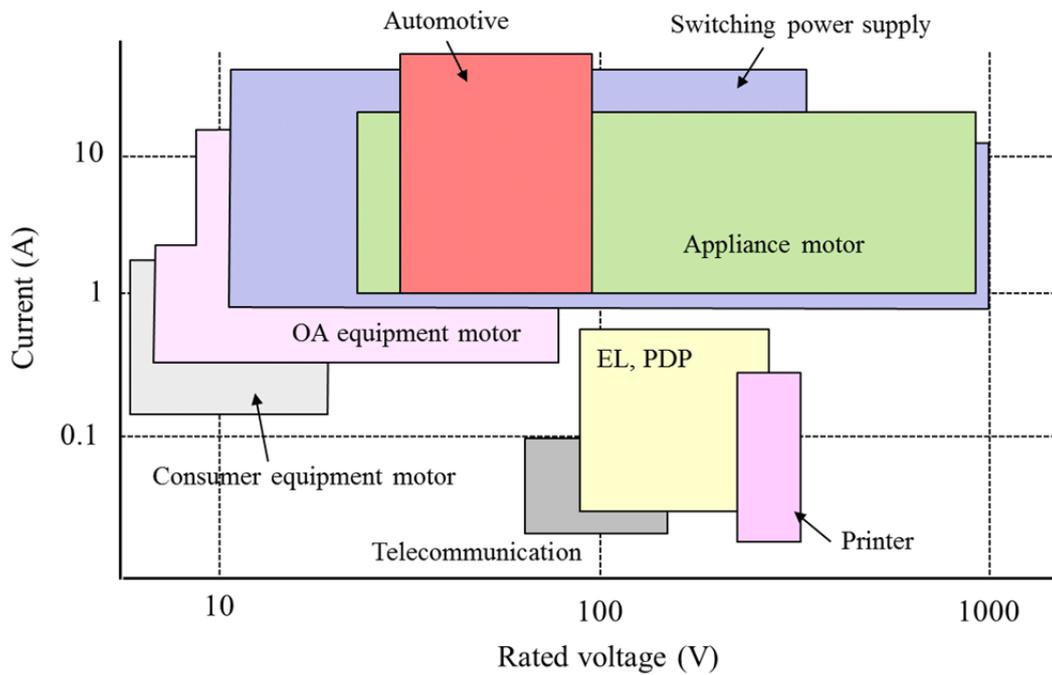


図 1.4 パワーIC のアプリケーション

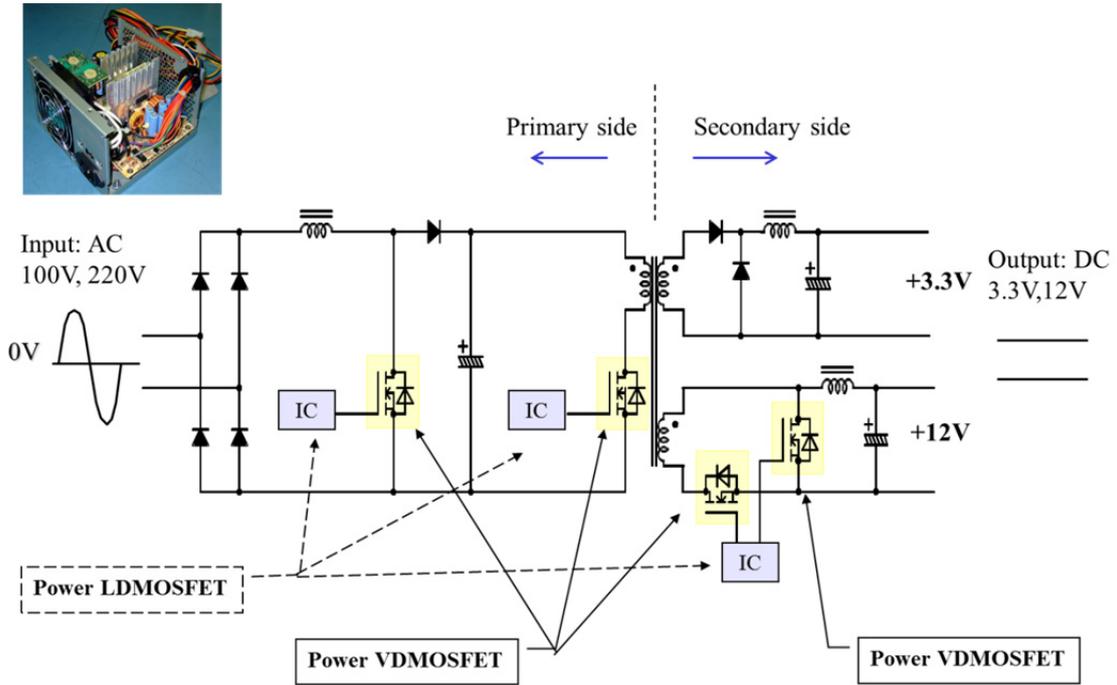


図 1.5 PC 用電源 (AC-DC 変換回路) とパワー MOSFET

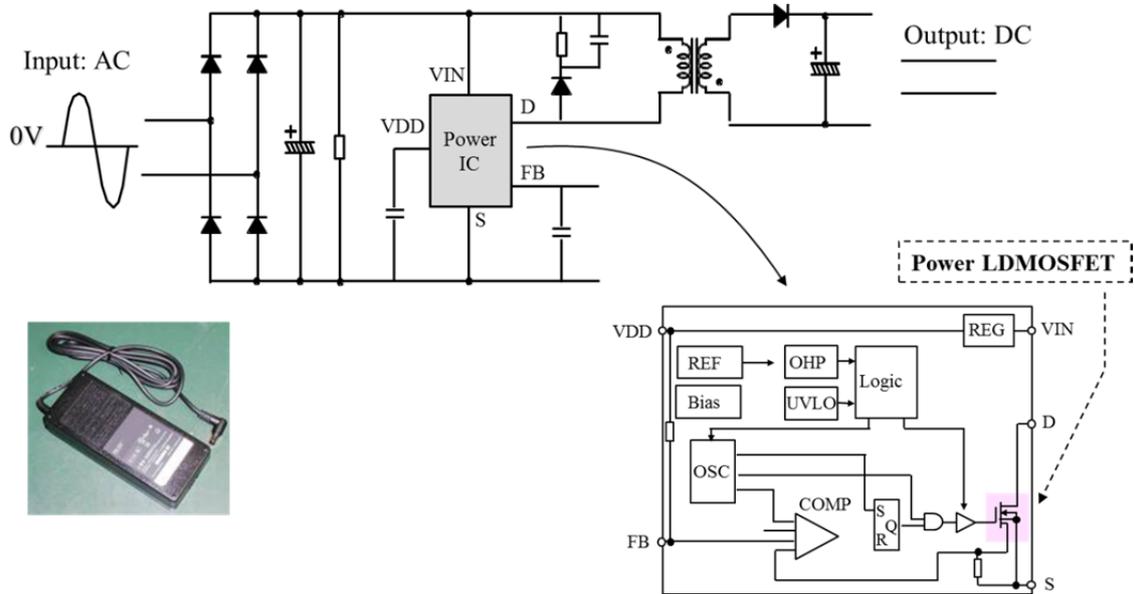


図 1.6 アダプター (AC-DC 変換回路) とパワー IC

(3) パワーMOSFET への要求特性と現状

表 1.1 は先に述べたスイッチング電源の動向と縦型パワーMOSFET への要求事項をまとめたものである。ここでは、縦型パワーMOSFET に対して分析を行っているが、横型パワーMOSFET でも同様のことが言える。スイッチング電源の動向としては、1 次側で小型化、高効率化、2 次側で大電流、高耐圧化、高効率化の傾向が強く、スイッチング電源の主要部品であるパワーMOSFET へは、小型、低損失化が求められる。これは、表 1.2 に示す回路トポロジー別発生損失をみても理解できる。回路トポロジーとしては、自励式・他励式フライバック式やフォワード式などがあるが、いずれの回路トポロジーにおいても、パワーMOSFET のスイッチング損失と導通損失の割合が大きい。すなわち、スイッチング電源におけるパワーMOSFET の損失は、図 1.7 に示すように導通損失とスイッチング損失とゲート駆動損失とで表されるが、スイッチング損失と導通損失が支配的であり、これら発生損失の低減が重要となる。

パワーMOSFET の場合、導通損失を表すオン電圧はドレインソース間のオン抵抗 (R_{ON})により、スイッチング損失を表すスイッチング時間はゲートドレイン間のスイッチングチャージ(Q_{GD})により支配されている。そこで、オン抵抗の低減度合いをシリコンチップの面積(A)で規格化して比較するための性能指数 (この数値が小さいほど導通損失を小さくできる)として、オン抵抗とシリコンチップの面積との積 $R_{ON} \cdot A$ (Specific on-resistance)が用いられる。また、同じオン抵抗で比較した場合のスイッチング時間の低減度合いを示すための性能指数 (この数値が小さいほどスイッチング損失を小さくできる)として、オン抵抗とゲートドレイン間スイッチングチャージとの積 $R_{ON} \cdot Q_{GD}$ が用いられる。

一般に、縦型パワーMOSFET の $R_{ON} \cdot A$ は、図 1.8 に示すようにコンタクト抵抗($R_{CNT} \cdot A$)、チャンネル抵抗($R_{CH} \cdot A$)、蓄積層抵抗($R_{ACC} \cdot A$)、JFET 抵抗($R_{JFET} \cdot A$)、ドリフト層抵抗($R_D \cdot A$)、基板抵抗($R_{Sub} \cdot A$)からなっており、 $R_{ON} \cdot A$ を低減するためには各抵抗成分を低減する必要がある。ところが、 $R_D \cdot A$ には耐圧(V_B)と材料によって決まる理論限界 (いわゆるシリコンリミット)が存在しており、この理論限界を超えることは難しいと考えられていた[1.3, 1.4]。そのため、ドリフト層以外の抵抗成分が支配的な低耐圧クラスでは、セル密度の高密度化と JFET 構造の削除が可能なトレンチゲートを適用することにより、 $R_{CH} \cdot A$ 、 $R_{ACC} \cdot A$ の低減および $R_{JFET} \cdot A$ の削減を図り、 $R_{ON} \cdot A$ の低減が進められてきた。高耐圧クラスでは $R_D \cdot A$ 成分が支配的であったため、 $R_D \cdot A$ をシリコンリミットに近づけることのほかに、シリコンリミット自体をブレイクスルーするための技術開発が行われてきた。

前者は擬平面接合技術であり、シリコンリミットの110%まで $R_{ON}A$ を近づけることに成功している[1.5]。後者がSJ構造であり、これまで不可能と考えられてきたシリコンリミットを大幅に超え、劇的な $R_{ON}A$ 低減を実現している[1.6]。

横型パワーMOSFETにおいても同様であり、低耐圧横型パワーMOSFET(<100V)の $R_{ON}A$ は、 $R_{CH}A$ と $R_D A$ が主要成分となるため、 $R_{CH}A$ はICの微細化技術を活用した短チャネル構造の適用により、 $R_D A$ はRESURF技術の適用によって低減が図られてきた[1.7]。最近では、サブミクロンのBCDプロセス(Bipolar-CMOS-DMOS)をベースに $R_{ON}A$ の低減が進められており[1.8-1.13]、SOI-BCDプロセスで作製された横型パワーMOSFETでは V_B が95Vで $0.545\text{m}\Omega\cdot\text{cm}^2$ とシリコンリミットに近い $R_{ON}A$ が報告されている[1.12]。しかし、これらの損失低減はRESURF構造の理論限界に近づけるものであり、RESURF構造の理論限界をブレイクスルーするものではなかった。それゆえ、縦型デバイスと同様に理論限界をブレイクスルーする方法としてSJ構造の適用が期待されている。

一方、SJ構造のように構造を変えることによる性能向上以外に、SiC、GaN、Diamondなどのワイドバンドギャップ半導体材料による性能向上も進められている。次段落では、ワイドバンドギャップ半導体による特性向上について述べる。

表 1.1 スイッチング電源の動向とパワーMOSFET への要求

	Trend of switching power supply	Requirement for power MOSFET
Primary side	Miniaturization, dispersion Low power loss of standby-state High efficiency Harmonic regulation High reliability	Miniaturization Low on-state resistance Low switching loss Low gate drive loss With power ICs
Secondary side	Low voltage, Large current High response of current High efficiency (synchronous rectifier) Miniaturization, dispersion High reliability	Low on-state resistance Low gate drive loss High switching Miniaturization and thin package

表 1.2 回路トポロジー別発生損失と高効率化のポイント

	Separately excited flyback converter	Self excited flyback converter	Forward converter
Power loss simulation			
Requirement	Improvement in efficiency under the light load and the rated power output	Improvement in efficiency under the no-load	Improvement in efficiency under the light load and the rated power output
Key points to improve power efficiency	Reduction in turn off loss and Ron loss	Reduction in turn off loss, gate drive loss, and Ron loss	Reduction in turn off loss and Ron loss

$$P_{loss} = \underbrace{(I_{RMS}^2 \times R_{ON})}_{\text{Conduction loss (On-resistance loss)}} + \underbrace{\left(I \times \frac{Q_{GD}}{I_G} \times V_{DS} \times f_C\right)}_{\text{Switching loss}} + \underbrace{(Q_G \times V_{GS} \times f_C)}_{\text{Gate drive loss}}$$

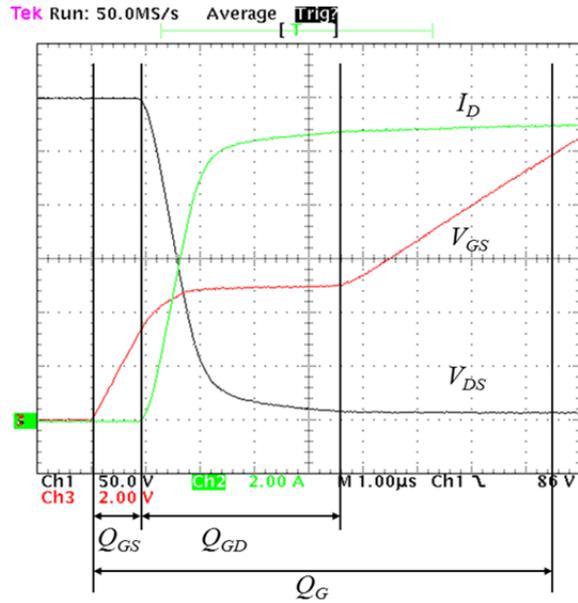


図 1.7 パワーMOSFET の発生損失

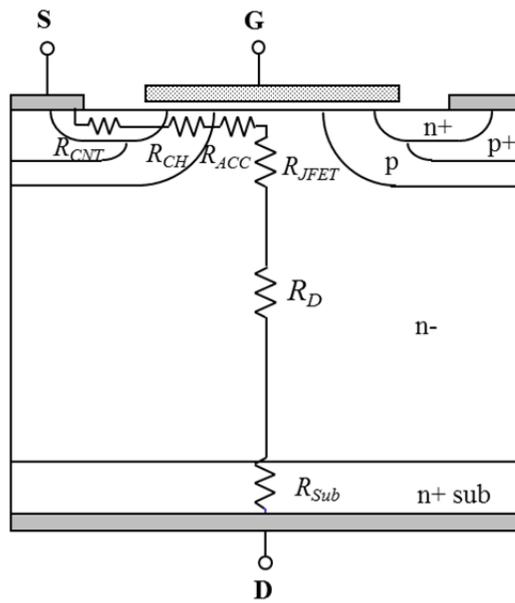


図 1.8 縦型パワーMOSFET の R_{ON} 成分

(4) ワイドバンドギャップ半導体によるパワー半導体デバイスの性能向上

電力変換装置のスイッチングデバイスには、現在 Si パワー半導体デバイスが用いられている。しかし、Si パワー半導体デバイスの性能は、Si の物性限界に近づきつつもある。そこで、Si に比べて物性が優れるワイドバンドギャップ半導体によるパワー半導体デバイスの性能向上が進められている。表 1.3 に Si、4H-SiC、GaN、ダイヤモンドの主な物性値とそれを基に計算した Baliga の性能指標 (Si の値で規格化している) を示す。4H-SiC は、絶縁破壊電界強度が Si の約 10 倍、電子の飽和ドリフト速度が約 2 倍といった物性を有し、p、n 両伝導型の不純物濃度制御が容易であること、Si と同様に熱酸化膜(SiO₂)が形成できるといった特長を持つ。一方、GaN は 4H-SiC と同様の優れた物性値を示し、AlGaN を用いたヘテロ接合構造による高移動度の 2 次元電子ガスを活用できることが特長となる。さらに、4H-SiC は、熱伝導率が Si の約 3 倍と高く、熱的に安定な材料であることから、発熱が問題となるパワー半導体デバイスにおいては、大きな魅力といえる[1.14]。

ワイドバンドギャップ半導体(SiC)のパワー半導体デバイスとしての性能を Si 半導体と比較したのが図 1.9 である。比較に用いたデバイス構造は理想的なショットキー接合ダイオードであり、同じ V_B での $R_{ON}A$ 比較を行っている。SiC の絶縁破壊電界強度は Si に比べ約 10 倍程度高いので、同じ V_B を得るのに n ドリフト層の厚みを 1/10 程度にすることができる。さらに、不純物濃度も 100 倍近くまで高めることができるので、 $R_{ON}A$ で比較した場合には、Si 半導体に対し 1/300 まで低減できる可能性を持っている[1.14]。最近では、4H-SiC を用いたショットキーダイオードや MOSFET が製品化されている。また、二次元電子ガスが利用し、キャリア移動度の高い GaN を用いた HEMT も製品化され始めている。しかし、ワイドバンドギャップ半導体を用いたパワー半導体デバイスは特定用途に限定されており、Si 半導体デバイスの置き換えまでには至っていない。これは、現在開発されているワイドバンドギャップ半導体デバイスには、Si 半導体デバイスに比べて信頼性に関連する課題が多く残されていること、コスト対性能が Si 半導体デバイスレベルに達していないことが要因としてあげられる。しかし、Si 半導体デバイスの性能が材料物性の限界に近づきつつある現状を鑑みると、SiC、GaN などのワイドバンドギャップ材料に寄せられる期待は大きい。

なお、本研究では、性能向上の余地が十分に残されている Si パワー半導体デバイスである SJ-MOSFET について以降述べていく。

表 1.3 Si、4H-SiC、GaN、Diamond の主物性値と性能指数

	Si	4H-SiC	GaN	Diamond
Band gap (eV)	1.12	3.26	3.42	5.47
Electron mobility (cm ² /Vs)	1350	1000	1500	2000
Breakdown field (MV/cm)	0.3	2.8	3	8
Saturation velocity (cm/s)	1.0 × 10 ⁷	2.2 × 10 ⁷	2.4 × 10 ⁷	2.5 × 10 ⁷
Thermal conductivity (W/cmK)	1.5	4.9	1.3	20
Johnson's figure of merit	1	420	580	4400
Baliga's figure of merit	1	470	850	1300
Acceptor concentration controllability	Excellent	Excellent	Fair	Excellent
Donor concentration controllability	Excellent	Excellent	Excellent	Poor
Thermal oxide	Yes	Yes	No	No

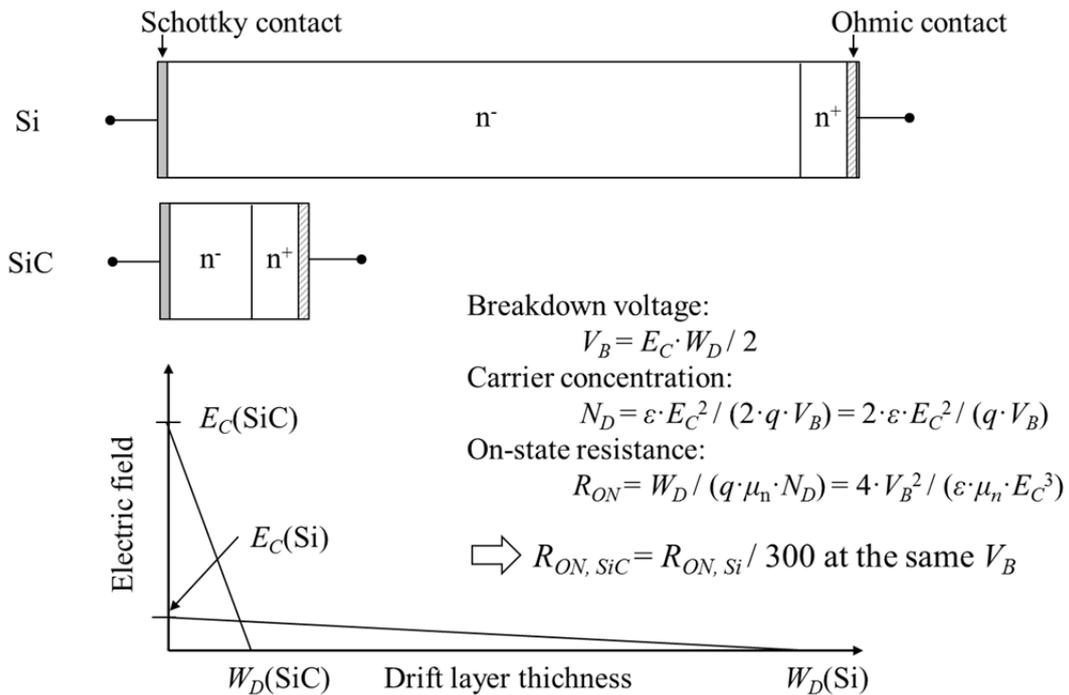


図 1.9 SiC と Si の $R_{ON} \cdot A$ 比較

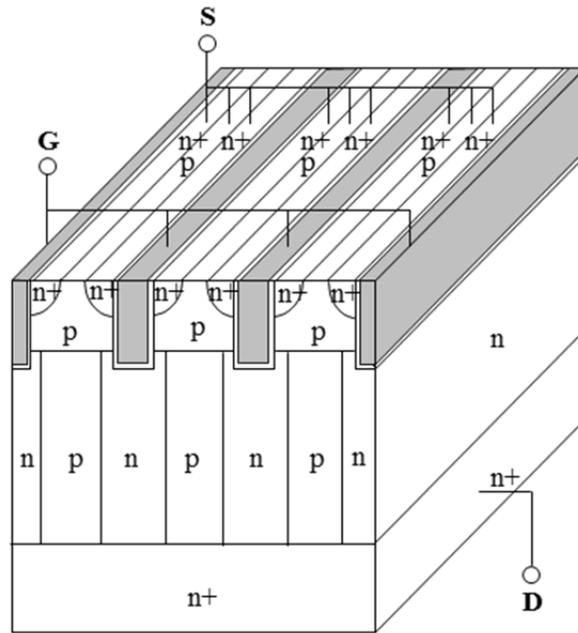
1.3 SJ-MOSFET の現状

スーパージャンクション(SJ)構造は 1997 年に理論解析が行われ[1.6, 1.15-1.18]、多数キャリアデバイスの $R_{ON}A$ をシリコンリミットの 1/10~1/100 に低減できることが示された。1998 年には、シリコンリミットの 1/2 の $R_{ON}A$ を達成した 600V クラスの縦型 SJ-MOSFET (実デバイス) が発表され、SJ 構造による低 $R_{ON}A$ 化が実証された[1.19]。これを契機に、SJ-MOSFET の研究開発は加速の一途を辿っている。本節では、従来型構造と比較しながら、SJ 構造の基本構造と動作原理を説明し、次いで SJ-MOSFET の技術動向と現状について述べる。

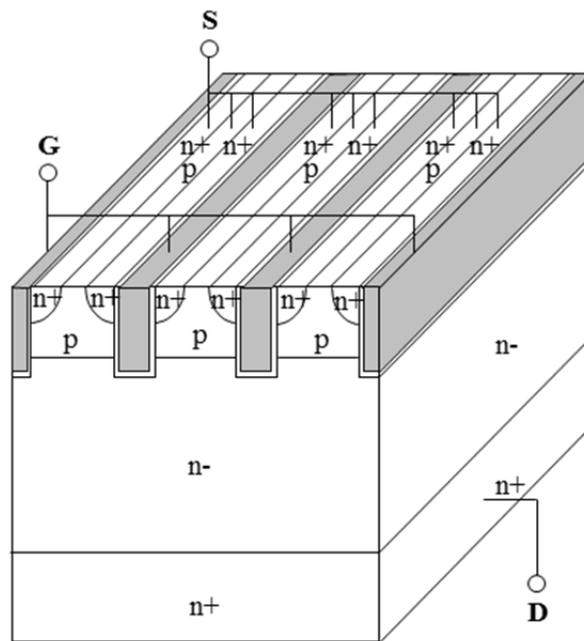
(1) 構造、動作原理

図 1.10 にトレンチゲートを有する(a)縦型 SJ-MOSFET と(b)従来の縦型パワー MOSFET との構造を示す。従来の縦型パワー MOSFET の場合、オフ状態では、不純物濃度の低い n⁻ドリフト層に空乏層が広がることで、空乏層内の電界と空乏層厚さとの積により V_B が確保される。この場合、図 1.11(b)に示すように厚さ方向の電界は三角状となるため、高耐圧化を図るには空乏層厚さを大きくする必要があり、n⁻ドリフト層の厚さを大きくすると共にその不純物濃度を下げることが不可欠となる。一方、オン状態においては、n⁻ドリフト層は電流経路になるので、 $R_{ON}A$ は n⁻ドリフト層の抵抗率（不純物濃度に概ね反比例する）と厚さとの積により決まる。この制約が、シリコンリミット、すなわち材料によって決まる縦型多数キャリアデバイスの性能限界としての $R_{ON}A$ と V_B との関係をもたらしている。横型パワー MOSFET についても同様のことがいえる。図 1.12 にトレンチゲートを有する(a)横型 SJ-MOSFET と(b)従来のダブル RESURF MOSFET を示す。ダブル RESURF 構造のオフ状態では、n⁺ドレインと p ウェルとの間に形成される p⁻トップ層と n⁻ドリフト層とが完全に空乏化することで、空乏層内の電界と空乏層厚さ（横方向）の積により V_B が確保される。高耐圧化のためには p⁻トップ層長さ と n⁻ドリフト層長さ とを大きくする必要があり、p⁻トップ層と n⁻ドリフト層とを完全に空乏化させるためには p⁻トップ層の不純物量を約 $1 \times 10^{12} \text{cm}^{-2}$ 以下とし、n⁻ドリフト層の不純物量を約 $2 \times 10^{12} \text{cm}^{-2}$ 以下とする必要がある。一方、オン状態では、n⁻ドリフト層が電流経路になるので、 $R_{ON}A$ は n⁻ドリフト層のシート抵抗（不純物量に概ね反比例する）と長さとの積によって決められてしまう。この制約が、上述したシリコンリミットと同様に、横型多数キャリアデバイスの性能限界としての $R_{ON}A$ と V_B との関係をもたらしている。

図 1.10(a)、図 1.12(a)に示す縦型、横型 SJ-MOSFET は、従来のパワーMOSFET の n^+ ドリフト層を高不純物濃度の p 型領域と n 型領域とを交互に繰り返して配置した構造(SJ 構造)で置き換えたデバイスである。従来のパワー半導体デバイスが p-i-n 接合を基本構造として利用していたのに対し、SJ デバイスは p-SJ-n 接合を基本構造として利用していると考えると分かり易い。p-SJ-n 接合のオフ状態では、SJ 構造が完全に空乏化することで、空乏層内の電界と空乏層厚さとの積により V_B が確保される。従来の縦型パワーMOSFET の電界分布と異なり、図 1.11(a)のように電界は厚さ方向に四角状となるので、高耐圧化を図るには、SJ 構造の長さを大きくして空乏層厚さを大きくすればよい。また、SJ 構造を完全に空乏化させるためには、n 型領域と p 型領域の不純物量を共に約 $2 \times 10^{12} \text{cm}^{-2}$ 以下とする必要もある。一方、オン状態では、n 型領域が電流経路でもあるので、 $R_{ON}A$ は n 型領域のシート抵抗（不純物量が一定のとき概ね一定）と長さとの積を単位面積当りの n 型領域のシートの数（電流経路の並列接続数）で割った値となる。ここで大事なのは、単位面積当りの n 型領域のシートの数で割るところである。すなわち、SJ 構造を微細化して単位面積当りの n 型領域のシートを増やしてやると、それに概ね反比例して $R_{ON}A$ を小さくすることが可能になる。

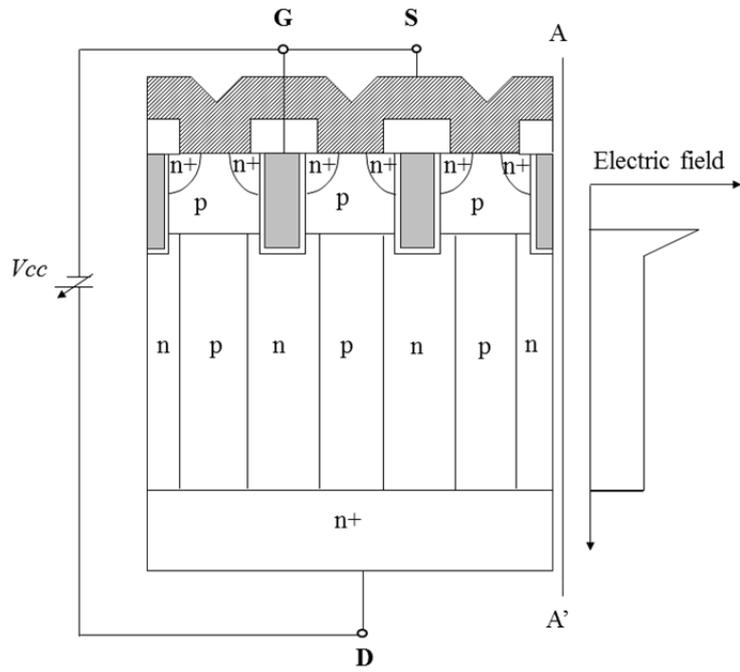


(a) 縦型 SJ-MOSFET

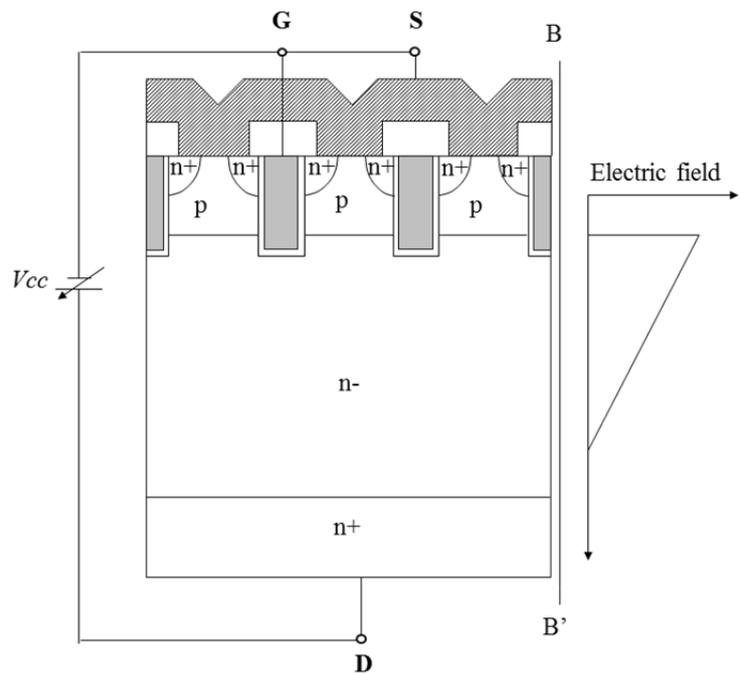


(b) 従来の縦型 MOSFET

図 1.10 縦型 SJ-MOSFET と従来の縦型 MOSFET 構造の比較

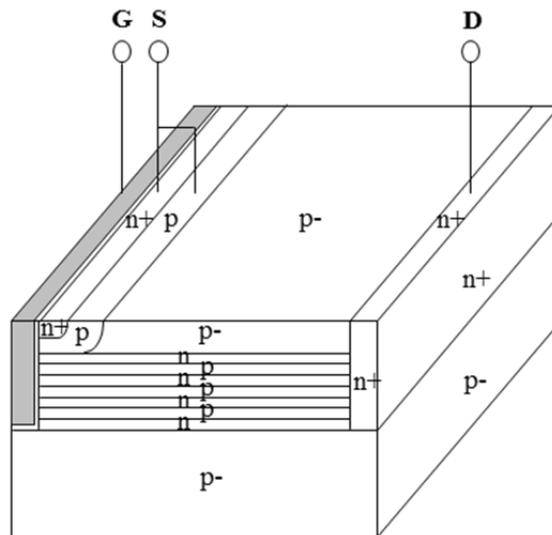


(a) 縦型 SJ-MOSFET

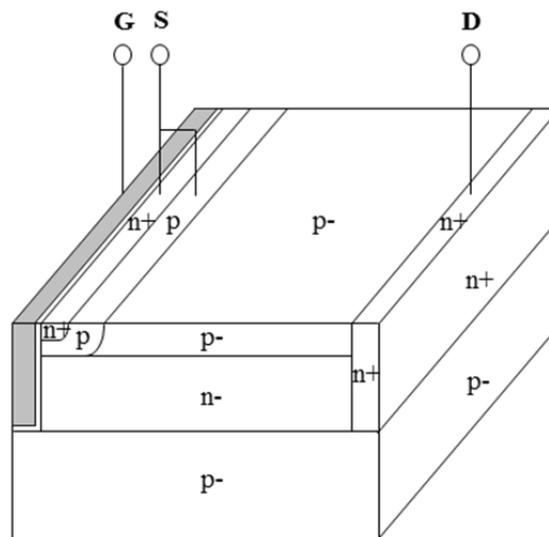


(a) 従来の縦型 MOSFET

図 1.11 縦型 SJ-MOSFET と従来の縦型 MOSFET のオフ状態の電界分布



(a) 横型 SJ-MOSFET



(b)従来のダブル RESURF MOSFET

図 1.12 横型 SJ-MOSFET 構造と従来のダブル RESURF 構造の比較

次に、600V SJ-Diode において SJ 構造のオフ状態を説明する。SJ 構造の長さを $40\mu\text{m}$ 、p 型領域、n 型領域の幅をそれぞれ $8\mu\text{m}$ としている。図 1.13(a)、(b)、(c)に、SJ-Diode のアノード-カソード間電圧(V_{AK})がそれぞれ 50V、300V、600V のときのポテンシャル分布を示す。また、同図中の A-A'、B-B'、C-C'ラインに沿った電界分布を、それぞれ図 1.14(a)、(b)、(c)に示す。 $V_{AK}=50\text{V}$ の場合、空乏層は SJ 構造の p 型領域と n 型領域との間の pn 接合から横方向に拡がるとともに、アノード側およびカソード側の p⁺n 接合、

pn⁺接合から p 型領域および n 型領域に広がるが、p 型領域および n 型領域の全体までは空乏化していない。この時点での V_{AK} は SJ 構造の pn 接合とアノード側およびカソード側の p⁺n 接合、pn⁺接合で並列的に保持されるので、各接合とも電界が臨界電界に到達しないよう各領域での不純物濃度を選ぶ必要がある。一方、 $V_{AK}=300V$ と $600V$ の場合を見ると、SJ 構造の p 型領域も n 型領域も共に完全に空乏化していることがわかる。n 型領域の中心線(A-A')および p 型領域の中心線(B-B')に沿った電界分布は、それぞれアノード側およびカソード側に電界の高い領域があるものの、それ以外の領域においては厚さ方向に平坦な電界分布となっている。それゆえ、これら時点での V_{AK} は厚さ方向の平坦な電界と SJ 構造の長さとの積によって概ね保持されていることになる。さらに V_{AK} を上げていくと、アノード側の p⁺n 接合とカソード側の pn⁺接合とが共に臨界電界に達し、アバランシェ降伏を起す。このように、SJ デバイスの V_B は SJ 構造が完全に空乏化することで保持される[1.20]。

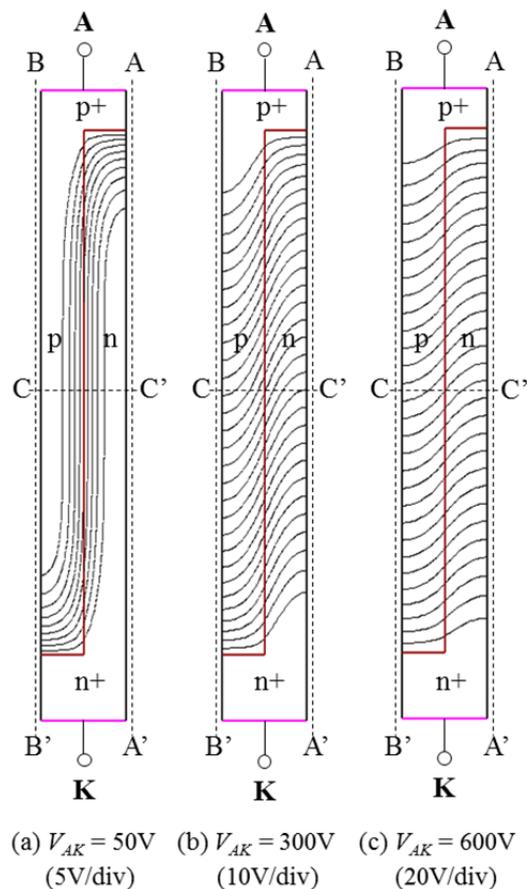


図 1.13 SJ-Diode のオフ状態の電位分布

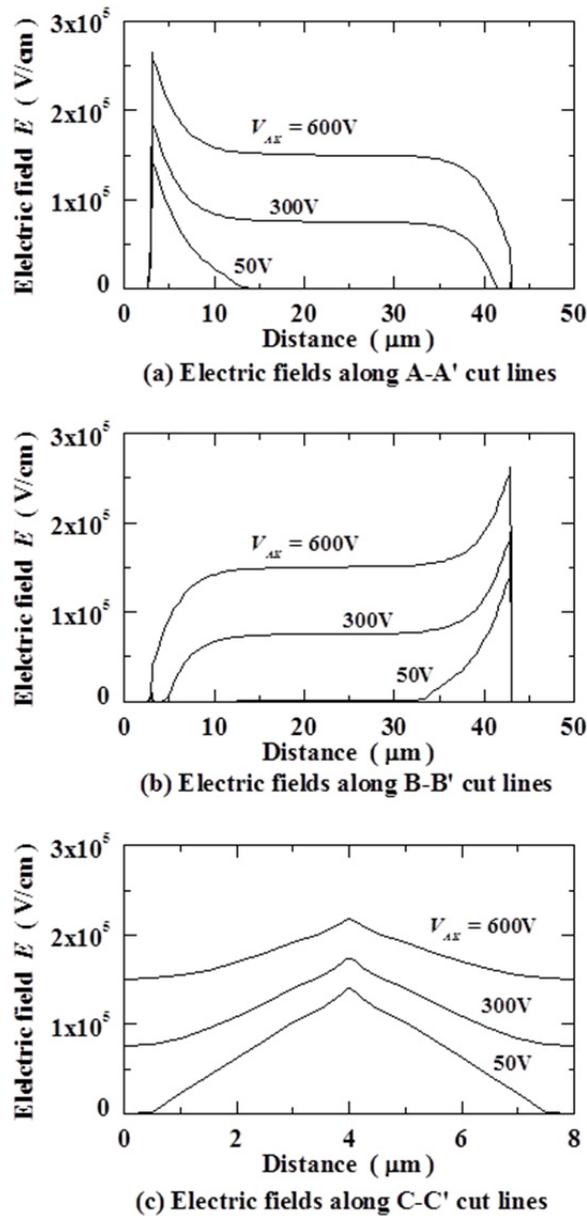


図 1.14 SJ-Diode のオフ状態の電界分布

SJ 構造が空乏化した後の電界分布はアノード側とカソード側の三角状の電界を除き、SJ 構造の長さ方向に概ね平坦な電界分布となっていることから、SJ 構造の長さに比例した高耐圧化が可能であることがわかる。さらに、オン状態では、 $R_{ON}A$ は SJ 構造の n 型領域の長さに比例するので、SJ デバイスの $R_{ON}A$ は概ね V_B に比例するということが理解できる。これら SJ デバイスの $R_{ON}A$ と V_B の関係は、図 1.15 に示す理想的な SJ-FET

において、p 型領域および n 型領域の幅を $d(\mu\text{m})$ 、p 型領域および n 型領域の不純物濃度をそれぞれ $N_A(\text{cm}^{-3})$ 、 $N_D(\text{cm}^{-3})$ で、いずれも同じ不純物濃度($N_A=N_D$)というような、いくつかの仮定をおいた上で解析的に求められている[1.6]。

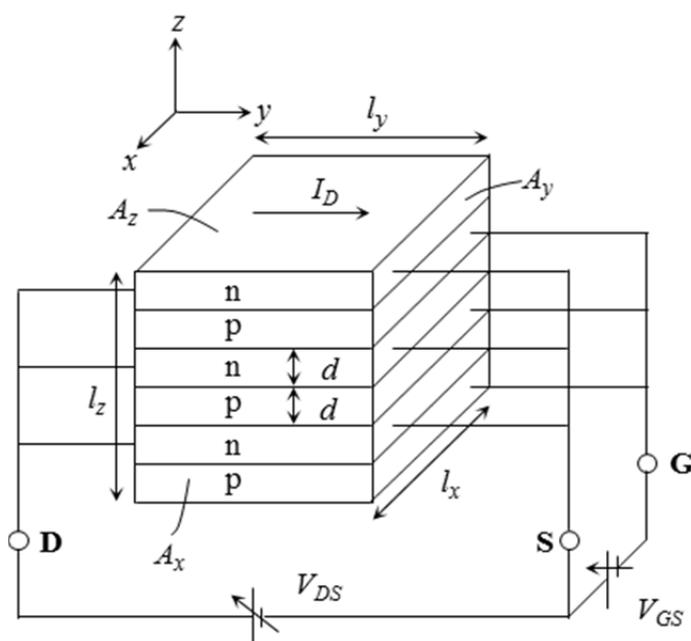


図 1.15 解析に用いられた理想的な SJ-FET

$R_{ON} \cdot A$ と V_B の関係を表す理論式は、縦型デバイスの場合で(1.1)式、横型デバイスの場合で(1.3)式になる。比較として従来の縦型デバイスの理論式を(1.2)式に、横型ダブル RESURF デバイスの理論式を(1.4)式に示す。

$$\text{縦型 SJ デバイス} : R_{ON} \cdot A = 1.98 \times 10^{-1} \cdot d^{\frac{5}{4}} \cdot V_B \quad (1.1)$$

$$\text{従来の縦型デバイス} : R_{ON} \cdot A = 8.3 \times 10^{-9} \cdot V_B^{\frac{5}{2}} \quad (1.2)$$

$$\text{横型 SJ デバイス} : R_{ON} \cdot A = 4.08 \times 10^{-6} \cdot l_z^{-1} \cdot d^{\frac{17}{12}} \cdot V_B^2 \quad (1.3)$$

$$\text{従来の横型 RESURF デバイス} : R_{ON} \cdot A = 2.04 \times 10^{-6} \cdot d^{\frac{5}{12}} \cdot V_B^2 \quad (1.4)$$

縦型 SJ デバイスでは d の $5/4$ 乗に比例して、横型 SJ デバイスでは d の $17/12$ 乗に比例して $R_{ON} \cdot A$ を小さくできることになる。また、縦型デバイスの場合、従来型デバイスの $R_{ON} \cdot A$ が V_B の $5/2$ 乗に比例して増大するのに対し、縦型 SJ デバイスの $R_{ON} \cdot A$ は V_B の

1 乗に比例するだけであるから、高耐圧になる程 $R_{ON}A$ の低減効果が大きいことになる。横型 SJ デバイスの場合、 $R_{ON}A$ の V_B 依存性は従来のダブル RESURF デバイスと同じであるが、 d を小さくする以外に l_z を大きくすることによっても $R_{ON}A$ を低減することができる。上記理論式を用いて計算した $R_{ON}A$ と V_B の関係を図 1.16、図 1.17 に示す。図 1.16 が縦型デバイスの場合であり、図 1.17 が横型デバイスの場合である[1.6]。なお、図 1.17 におけるダブル RESURF デバイスの d は図 1.12(b)に示す単一の n 型領域の厚さを表す。

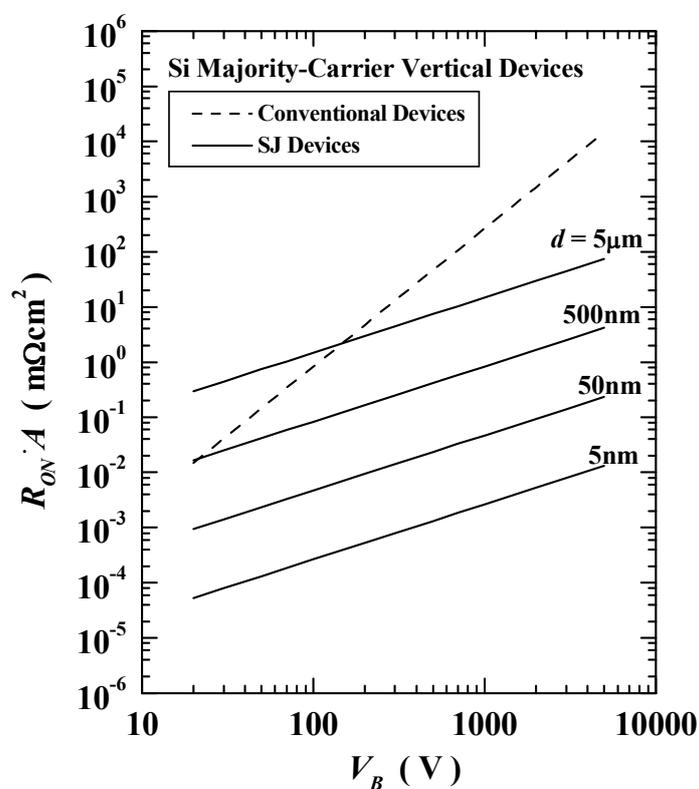


図 1.16 縦型デバイスの $R_{ON}A$ と V_B の関係

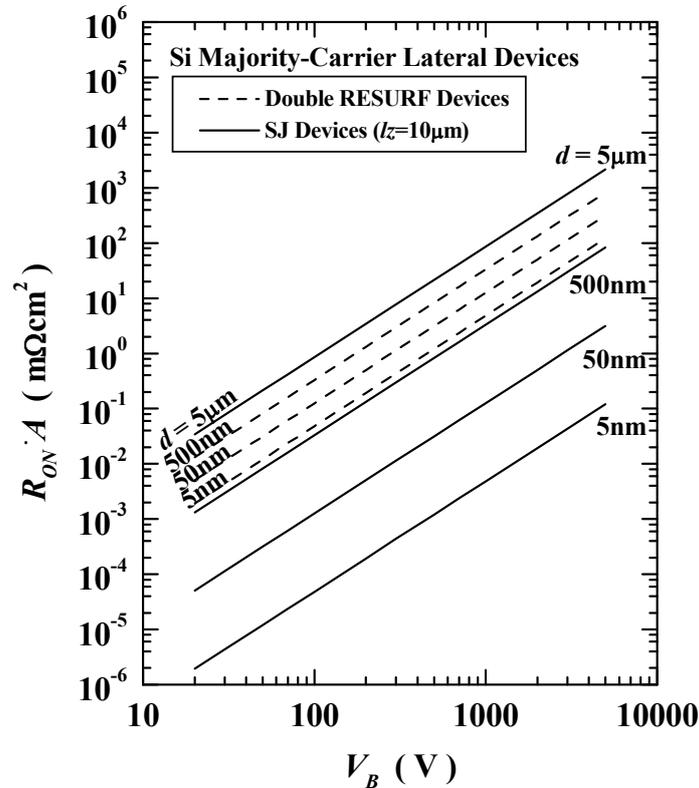


図 1.17 横型デバイスの $R_{ON} \cdot A$ と V_B の関係

SJ デバイスの欠点の一つとして、n 型領域と p 型領域の不純物量がインバランスになると V_B が急激に低下するという問題がある。その一例として、シミュレーションで調べた V_B の不純物ドーピング（不純物量）インバランス依存性を図 1.18 に示す。p 型領域と n 型領域の不純物量が同じ場合をインバランス 0% とし、n 型領域の不純物量が多い場合をプラスとしている。なお、シミュレーションで用いた SJ-Diode は先に述べたものと同じ構造である。図 1.18 において、不純物濃度を下げると不純物量インバランスによる V_B の低下度合いは改善されるが、 $R_{ON} \cdot A$ が高くなってしまう。一方、 $R_{ON} \cdot A$ を下げるために不純物濃度を高くすると不純物量インバランスによる V_B の低下度合いは悪化するという、 $R_{ON} \cdot A$ と不純物量バラツキマージンとの間にはトレードオフ関係が存在する。それゆえ、SJ デバイスを用いて $R_{ON} \cdot A$ の大幅な低減を図るためには、不純物ドーピングプロセスの大幅な高精度化が不可欠となる[1.20]。

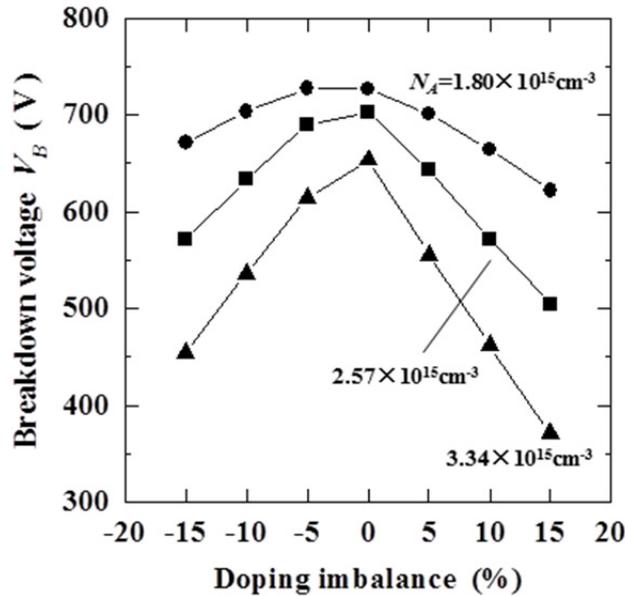


図 1.18 SJ-Diode の V_B と不純物量インバランスの関係

(2) 現状と技術動向

SJ構造は、n型領域とp型領域の幅が狭くなる程、各領域の不純物濃度を高くでき、 $R_{ON}A$ を低減できる。先にも述べたように、実デバイスへのSJ構造の適用は $R_{ON}A$ の低減が効果的であった縦型デバイスからであった。しかし、SJ構造は電荷補償型構造であるため、 V_B を維持するためにはn型領域、p型領域の不純物濃度制御を精度よく行う必要がある。そのため、2000年代初めの開発当初はSJ構造の製造方法の研究開発に力が注がれた。これまでに様々な方法が提案されてきたが[1.21-1.26]、大きくは多段エピ方式とトレンチ埋込み方式の2つに分類される[1.23, 1.24]。多段エピ方式は、エピタキシャル成長とp型領域への不純物導入もしくはp型領域、n型領域への不純物導入の繰り返しと熱処理による拡散を用いた方法であり（図1.19）、トレンチ埋込み方式は、n型ドリフト層にトレンチを形成し、そのトレンチをp型のエピタキシャル成長で埋込む方法である（図1.20）。多段エピ方式は不純物量制御が容易であることから、開発当初は多段エピ方式によって作製されたSJ-MOSFETで特性改善が進められ、これまでに680Vの V_B でシリコンリミットの1/5となる $15.5 \text{ m}\Omega \cdot \text{cm}^2$ の $R_{ON}A$ が報告されている[1.27]。しかし、多段エピ方式は熱拡散でp型領域（n型領域）を深さ方向につなげる必要があり、比較的長い熱処理が必要となるため、SJピッチの微細化には制約があった。これに対し、トレンチ埋込み方式はトレンチ幅、メサ幅がそれぞれp型領域、n型領域幅となるため微細化が容易

である一方、ボイドレスの埋込みエピ、不純物濃度制御などのプロセス的な課題を抱えていた。これら課題に対し、トレンチ形状の改善、異方性埋込みエピの適用が進められた結果[1.28-1.30]、トレンチ埋込み方式においてもシリコンリミットを超える $R_{ON}A$ が報告されるようになった[1.30-1.35]。最近では685Vの V_B で $7.8\text{m}\Omega\cdot\text{cm}^2$ の $R_{ON}A$ という多段エピ方式の $R_{ON}A$ を超える特性が報告され、さらなる低 $R_{ON}A$ 化に向けSJピッチの微細化が進められている[1.35]。さらに、SJ構造によって $R_D A$ が低減されてきたことから、 $R_{CH} A$ 、 $R_{ACC} A$ 、 $R_{JET} A$ の低減も重要になっている。これら抵抗成分を低減、削除するには低耐圧クラスで適用されてきたトレンチゲート化が有効であり、トレンチゲートを用いたトレンチゲートSJ-MOSFETが実用化されている[1.36, 1.37]。図1.22に、縦型SJ-MOSFETの V_B と $R_{ON}A$ のトレードオフをSJ構造の製造方法別に示す。600Vクラス以上においてトレンチ埋込み方式でシリコンリミットを超える特性改善が進む一方で、600Vクラス以下の低耐圧でも性能改善が進んでいることがわかる。また、縦型SJ-MOSFETは市場に投入されてから、既に17年が経ち、国内外のパワー半導体メーカーがSJ-MOSFETの製品系列を持ち、低 $R_{ON}A$ 化に凌ぎを削っている。特に、低 $R_{ON}A$ 化の効果を出しやすい高耐圧クラスでは従来のMOSFETに置き換わり、主流となっている。

横型MOSFETへのSJ構造の適用検討は、縦型SJ-MOSFETと同じく、1990年代後半から理論解析を中心に行われてきた[1.6, 1.38-1.40]。SJ構造を適用するにあたって当初問題になったのは、p基板上(p基板のBOX上)に横型SJ-MOSFETを形成すると、ドレイン側で電界が高くなり V_B が大幅に低下してしまうことであった。これは、SJ構造が電荷補償原理に基づいているため、基板の電荷の影響を受けてしまうことに起因している。そのため、ドレイン側の電界を緩和するために、チャージインバランスSJ構造や、ドレイン側にバッファ構造を適用した構造などが提案され、実デバイスでの検証が行われてきた[1.41-1.48]。一方、低耐圧クラスのプレーナゲート横型SJ-MOSFETでは、チャネルからの電子電流が経路長の最短となるnドリフト層の表面側に集中するため、ドリフト層を深くし電流経路の断面を増やしても、ドリフト抵抗が低減されない問題があった。これを解決するために、ドリフト層の深さ方向も電流経路として有効に活用するトレンチゲート構造が提案され、シミュレーションで大幅に $R_{ON}A$ を低減させることが報告された[1.49-1.51]。図1.22に横型SJ-MOSFETと従来のRESURF構造の V_B と $R_{ON}A$ のトレードオフを示す。横型SJ-MOSFET構造は100V以下の低耐圧クラスでシリコンリミットを超える特性が報告され始めた段階であり、実用化には未だ至っていない。これは、SJ構造を適用する場合の性能対コストが未だ従来のRESURF構造の方が有利で

あるといった理由のためである。

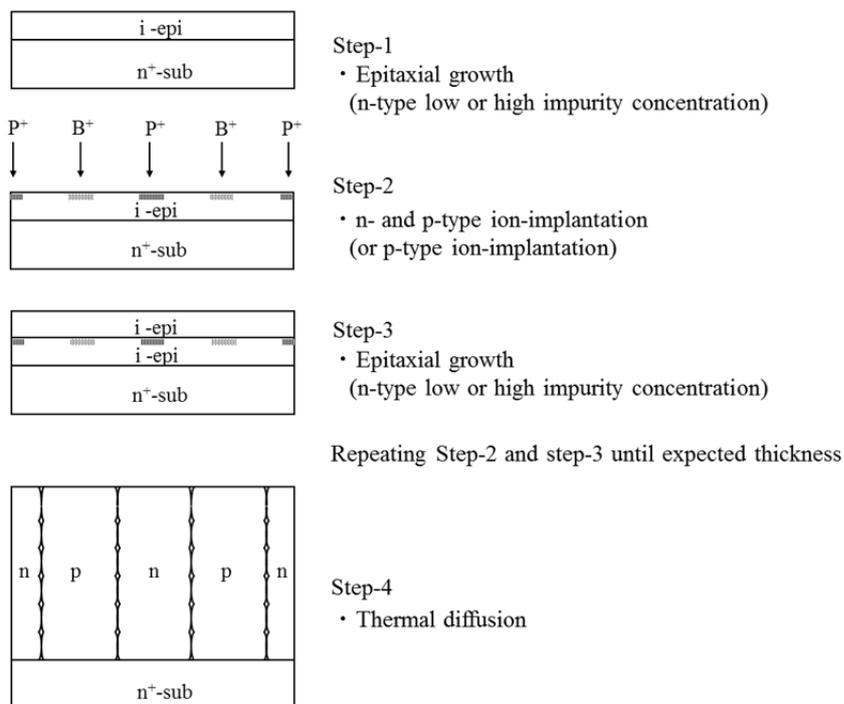


図 1.19 多段エピによる製造方法

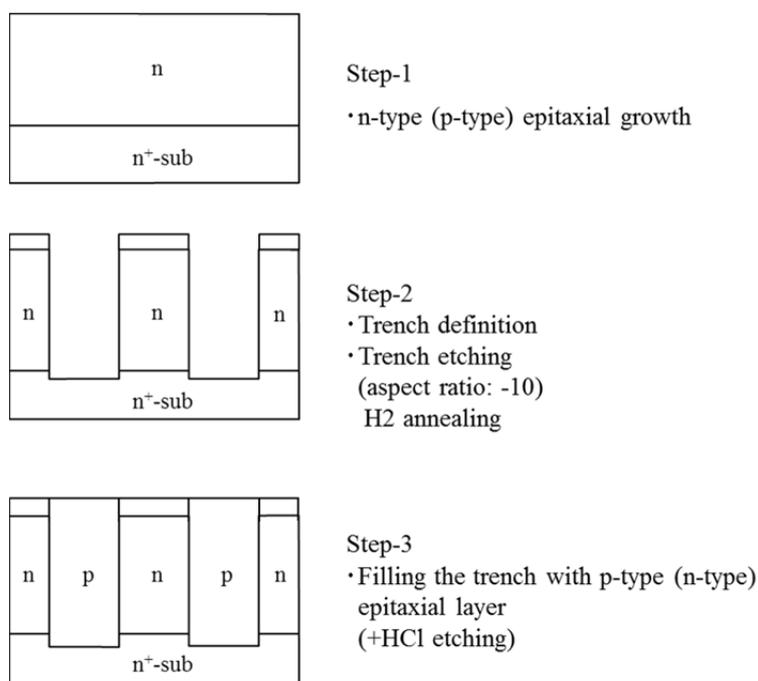


図 1.20 トレンチ埋込みによる製造方法

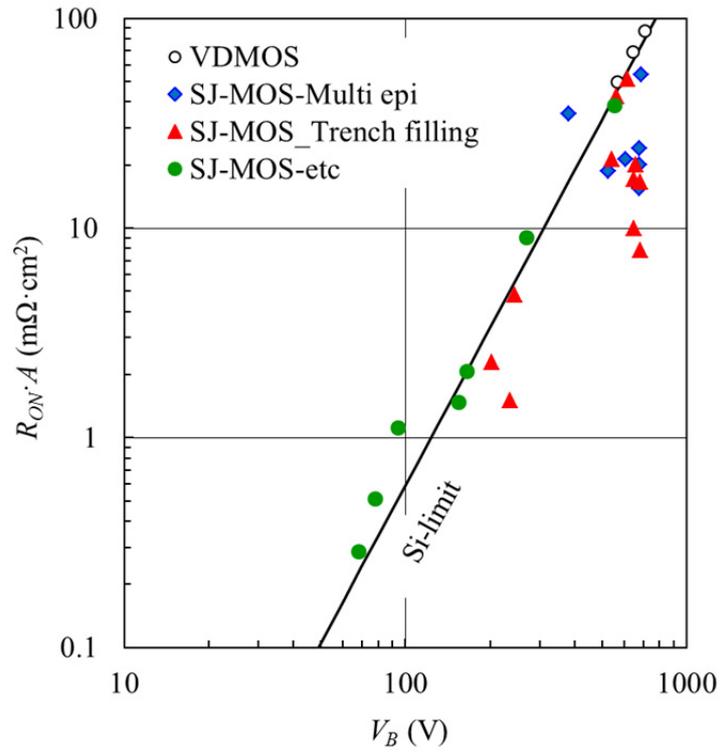


図 1.21 縦型 SJ-MOSFET の性能比較

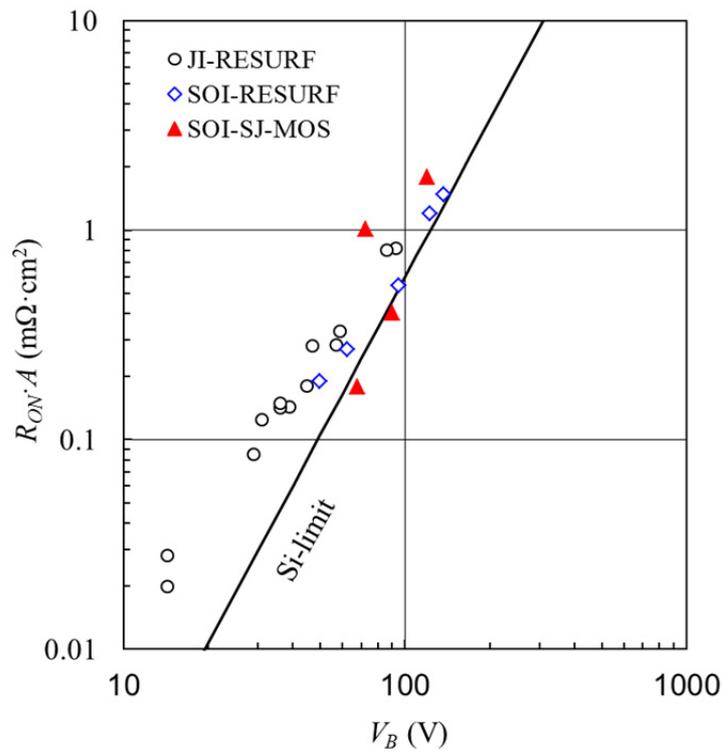


図 1.22 横型 SJ-MOSFET の性能比較

1.4 研究の目的

本研究では、シリコンパワー半導体デバイスである縦型 SJ-MOSFET および横型 SJ-MOSFET の低損失化を目的として、縦型 SJ-MOSFET 構造ではシミュレーション及び実デバイスによる損失低減の検証を行い、横型 SJ-MOSFET 構造ではシミュレーションによる特性確認を行った。以下に具体的な研究目的を述べる。

縦型トレンチ SJ-MOSFET においては、SJ 構造の微細化とトレンチゲート化による低 $R_{ON}A$ 化が進められている。SJ 構造の理論解析は既に行われているが、チャンネル抵抗、蓄積層抵抗等を考慮したものではない。すなわち、トレンチゲート SJ-MOSFET 構造としての $R_{ON}A$ 解析は行われていない。それゆえ、本研究においてはトレンチ構造を有する SJ-MOSFET 構造の理論限界を数値解析するとともに、低オン抵抗化に適した構造の導出を第 1 の目的とする。さらに、スイッチング損失に関しては、これまで $R_{ON}Q_{GD}$ を指標に Q_{GD} の低減が進められてきたが、SJ-MOSFET のように小さすぎる Q_{GD} ではゲートの制御性が悪化し、ターンオフ損失が大きくなることが明らかになっている。そこで、ゲート制御を確保しながらターンオフ損失の低い SJ-MOSFET として、ターンオフ損失とターンオフ dV/dt トレードオフを改善するデバイス構造を解析し、実デバイスで実証することを第 2 の目的とする。

横型 SJ-MOSFET の低 $R_{ON}A$ 化は、トレンチゲートを用いることで、シリコンリミットを超えるところまでシミュレーションで確認されている。しかし、これまで提案されているトレンチゲートにおいてはチャンネル(p ベース)を深く形成しなければならないプロセス的な課題があり、デバイスの実現を難しくしている。それゆえ、本研究においては、製造が可能で且つ低 $R_{ON}A$ が望める新規デバイス構造を提案し、シミュレーションを用い、その性能を検証することを第 3 の目的とする。

また、本論文は第 1 章を含めて本文 4 章と謝辞、研究業績で構成される。

第 2 章では、縦型 SJ-MOSFET の低損失化として、低 $R_{ON}A$ 化と低ターンオフ損失化について述べる。低 $R_{ON}A$ 化に関しては、トレンチゲートと SJ 構造が平行な場合と直交している場合のそれぞれに対し、理論解析式を算出し、シミュレーションで数値解析の妥当性を検証した。さらに、低 $R_{ON}A$ 化に優位となる構造、デバイス条件を導出し、その結果について説明する。低ターンオフ損失化に関しては、ターンオフ損失とターンオフ dV/dt トレードオフの観点からデバイスシミュレーションを行い、性能を改善するための最適デバイスパラメータを抽出した。さらに、その最適値を反映させた作製サンプル

において、ターンオフ特性、および実機での改善効果を確認したので、その結果を述べる。

第3章では、横型SJ-MOSFETの低 $R_{ON}A$ 化に関して、従来型プレーナーゲート構造にトレンチゲートを集積する新構造をシミュレーションで検証したので、その性能と実現可能性、製造方法について説明する。

第4章では、本研究で得られた成果を総括し、将来の展望について述べ、本論文の結論とする。

参考文献

- [1.1] 中川明夫, “エコ社会を支えるパワーIC技術 –高耐圧 SOI と低耐圧 BCD–,” 群馬大学アナログ集積回路研究会, 第 133 回講演会, 2010.
- [1.2] 片山靖, “小電力 AC アダプタ用電力 IC,” 富士時報, Vol. 74, No. 10, 2001.
- [1.3] C. Hu, “A Parametric Study of Power MOSFETs,” Proc. Power Electronics Specialist Conf., p. 385, 1979.
- [1.4] M. Bhatnagar and B. J. Baliga, “Analysis of silicon carbide power device performance,” Electron Devices, IEEE Trans. Electron Devices 40, p. 645, 1993.
- [1.5] T. Kobayashi, H. Abe, Y. Niimura, A. Kurosaki, T. Housen, and T. Fujihira, “High-Voltage Power MOSFETs Reached Almost to the Silicon Limit,” Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 99, 2001.
- [1.6] T. Fujihira, “Theory of Semiconductor Superjunction Devices,” Jpn. J. Appl. Phys. 36, p. 6254, 1997.
- [1.7] J. A. Appels, and H. M. J. Vaes, “HIGH VOLTAGE THIN LAYER DVICES (RESURF DEVICES),” Int. Electron Device Meet. Tech. Dig., p. 238, 1979.
- [1.8] R. Minixhofer, N. Feilchenfeld, M. Knaipp, G. Röhrer, J. M. Park, M. Zierak, H. Enichlmair, M. Levy, B. Loeffler, D. Hershberger, F. Unterleitner, M. Gautsch, K. Chatty, Y. Shi, W. Posch, E. Seebacher, M. Schrems, J. Dunn, and D. Harame, “120V 180nm High Voltage CMOS smart power technology for System-on-chip integration,” Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 75, 2010.
- [1.9] S. T. Kong, P. Stribley, C. Lee, and M. Ong, “Integration of 100V LDMOS Devices in 0.35 μ m CMOS Technology,” Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 176, 2011.
- [1.10] H. Tomita, H. Eguchi, S. Kijima, N. Honda, T. Yamada, H. Yamawaki, H. Aoki, and K.

- Hamada, "Wide-Voltage SOI-BiCDMOS Technology for High-Temperature Automotive Applications," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 28, 2011.
- [1.11] S. Sharma, Y. Shi, M. Zierak, D. Cook, R. Phelps, T. Letavic, and N. Feilchenfeld, "Integrated 85V rated complimentary LDMOS devices utilizing patterned field plate structures for best-inclass performance in network communication applications," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 357, 2013.
- [1.12] H. Yang, J. Zuo, Z. Zhang, W. Min, X. Lin, X. Cheng, M.-L. Ger, P. Hui, and P. Rodriguez, "Approach to the Silicon Limit: Advanced NLDMOS in 0.13 μ m SOI Technology for Automotive and Industrial Applications up to 110," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 357, 2013.
- [1.13] K. Iwamoto, M. Kori, C. Terada, T. Doguchi, M. Mihara, Y. Kasa, K. Ukai, Y. Ujiie, H. Uehara, C. Hamanaka, B. Tanaka, K. Wada, S. Shimizu, S. Shukuri, N. Izumi, and M. Mifuji, "Advanced 300mm 0.13 μ m BCD technology from 5V to 80V with highly reliable embedded Flash," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 402, 2014.
- [1.14] 松波弘之, 大谷昇, 木本恒暢, 中村孝編著, "半導体 SiC 技術と応用," 第2版, 日刊工業新聞社, 2011.
- [1.15] T. Fujihira and Y. Miyasaka, "Simulated Superior Performances of Semiconductor Superjunction Devices," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 423, 1998.
- [1.16] P. M. Shenoy, A. Bhalla, and G. M. Dolny, "Analysis of the Effect of Charge Imbalance on the Static and Dynamic Characteristics of the Super Junction MOSFET," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 99, 1999.
- [1.17] X. B. Chen and J. K. O. Shin, "Optimization of the Specific ON-Resistance of the COOLMOSTM," IEEE Trans. Electron Devices 48[2], p. 344, 2001.
- [1.18] A. G. M. Strollo and E. Napoli, "Power superjunction devices: An analytic model for breakdown voltage," IEEE Trans. Electron Devices 48[9], p. 2161, 2001.
- [1.19] G. Deboy, M. Marz, J.-P. Stengl, H. Strack, J. Tihanyi, and H. Weber, "A new generation of high voltage MOSFETs breaks the limit line of silicon," Tech. Dig. Int. Electron Device Meet., p. 683, 1998.
- [1.20] 大西泰彦, 藤平龍彦, "シリコン超接合デバイス," 電子情報通信学会論文誌 C, Vol. J85-C, No. 11, p. 968, 2002.
- [1.21] T. Minato, T. Nitta, A. Uenisi, M. Yano, M. Harada, and S. Hine, "Which is cooler, Trench or Multi-Epitaxy?," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 73,

2000.

- [1.22] T. Nitta, T. Minato, M. Yano, A. Uenisi, M. Harada, and S. Hine, "Experimental Results and Simulation Analysis of 250V Super Trench Power MOSFET (STM)," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 77, 2000.
- [1.23] S. Yamauchi, Y. Urakami, N. Suzuki, N. Tsuji, and H. Yamaguchi, "Fabrication of High Aspect Ratio Doping Region by Using Trench Filling of Epitaxial Si Growth," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 363, 2001.
- [1.24] Y. Onishi, S. Iwamoto, T. Sato, T. Nagaoka, K. Ueno, and T. Fujihira, "24mΩcm² 680V Silicon Superjunction MOSFET," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 241, 2002.
- [1.25] C. Rochefort, R. van Dalen, N. Duhayon, and W. Vandervorst, "Manufacturing of high aspect-ratio p-n junctions using Vapor Phase Doping for application in multi-Resurf devices," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 237, 2002.
- [1.26] H. Ninomiya, Y. Miura, and K. Kobayashi, "Ultra-low On-resistance 60-100V Superjunction UMOSFETs Fabricated by Multiple Ion-Implantation," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 177, 2004.
- [1.27] W. Saito, I. Omura, S. Aida, S. Koduki, M. Izumisawa, H. Yoshioka, H. Okumura, M. Yamaguchi, and T. Ogura, "A 15.5mΩcm²-680V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 293, 2006.
- [1.28] S. Yamauchi, Y. Urakami, N. Tuji, and H. Yamaguchi, "Defect-less Trench Filling of Epitaxial Si Growth by H₂ Annealing," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 133, 2002.
- [1.29] S. Yamauchi, Y. Hattori, and H. Yamaguchi, "Electrical Properties of Super Junction p-n Diodes Fabricated by Trench Fillin," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 207, 2003.
- [1.30] S. Yamauchi, Y. Hattori, and H. Yamaguchi, "Influence of trench etching on super junction devices fabricated by trench filling," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 193, 2004.
- [1.31] S. Iwamoto, K. Takahashi, H. Kuribayashi, S. Wakimoto, K. Mochizuki, and H. Nakazawa, "Above 500V class Superjunction MOSFETs fabricated by deep trench etching and epitaxial growth," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 31, 2005.
- [1.32] S. Yamauchi, T. Shibata, S. Nogami, T. Yamaoka, Y. Hattori, and H. Yamaguchi, "200V

- Super Junction MOSFET Fabricated by High Aspect Ratio Trench Filling," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 65, 2006.
- [1.33] K. Takahashi, H. Kuribayashi, T. Kawashima, S. Wakimoto, K. Mochizuki, and H. Nakazawa, "20m Ω cm² 660V Super Junction MOSFETs Fabricated by Deep Trench Etching and Epitaxial Growth," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 297, 2006.
- [1.34] T. Shibata, Y. Noda, S. Yamauchi, S. Nogami, T. Yamaoka, Y. Hattori, and H. Yamaguchi, "200V Trench Filling Type Super Junction MOSFET with Orthogonal Gate Structure," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 37, 2007.
- [1.35] J. Sakakibara, Y. Noda, T. Shibata, S. Nogami, T. Yamaoka, and H. Yamaguchi, "600V-class Super Junction MOSFET with High Aspect Ratio P/N Columns Structure," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 299, 2008.
- [1.36] S. Ono, H. Ohta, H. Yamashita, M. Izumisawa, W. Saito, S. Sato, N. Matsuda, Y. Ohishi, M. Tsuji, J. Onodera, and G. Tchouangue, "600V-class Super Junction MOSFET with High Aspect Ratio P/N Columns Structure," Proc. Power Conversion Intelligent Motion Europe, p. 128, 2012.
- [1.37] E. Vecino, F. Stückler, M. Pippan, and J. Hancock, "First generation of 650V super junction devices with RDS(on)*A values below 1 Ω *mm² – Best efficiency that keeps the ease-of-use and enables higher power ratings and frequencies," Proc. Power Conversion Intelligent Motion Europe, p. 621, 2013.
- [1.38] F. Udrea, A. Popescu, and W. Milne, "The 3D RESURF junction," Proc. Semiconductor Conference, p. 141, 1998.
- [1.39] R. Ng, F. Udrea, and G. Amaratunga, "An analytical model for the 3D-RESURF effect," Solid-State Electronics 44, p. 1753, 2000.
- [1.40] S. Xu, K. P. Gan, G. S. Samudra, Y. C. Liang, and J. K. O. Sin, "120V Interdigitated -Drain LDMOS (IDLDMOS) on SOI Substrate Breaking Power LDMOS Limit," IEEE Trans. Electron Devices 47, p. 1980, 2000.
- [1.41] R. Ng, F. Udrea, K. Sheng, K. Ueno, G. A. J. Amaratunga, and M. Nishiura, "Lateral Unbalanced Super Junction (USJ)/3D-RESURF for High Breakdown Voltage on SOI," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 395, 2001.
- [1.42] S. G. Nassif-Khalil, L. Z. Hou, and C. A. T. Salama, "SJ/RESURF LDMOST," IEEE Trans. Electron Devices 51, p. 1185, 2004.
- [1.43] H. P. Xu, V. W. Y. Ma, I. S. M. Sun, W. T. Ng, and Y. C. Liang, "Superjunction LDMOS with Drift Region Charge-Balanced by Distributed Hexagon P-islands," Int. Electron

- Device Meet. Tech. Dig., p. 313, 2003.
- [1.44] S. Honarkhah, S. Nassif-Khalil, and C. A. T. Salama, "Back-Etched Super- Junction LDMOST on SOI," Proc. European Solid-State Device Research Conference, p. 117, 2004.
- [1.45] H.-Y. Park and C. A. T. Salama, "Experimental Implementation and Characterization of a CMOS Compatible Buffered SJ-LDMOST," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 337, 2006.
- [1.46] M. Rüb, M. Bär, G. Deml, H. Kapels, M. Schmitt, S. Sedlmaier, C. Tolksdor, and A. Willmeroth, "A 600V 8.7Ohmm² Lateral Superjunction Transistor," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 305, 2006.
- [1.47] Y. Chen, K. D. Buddharaju, Y. C. Liang, G. S. Samudra, and H. H. Feng, "Superjunction Power LDMOS on Partial SOI Platform," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 177, 2007.
- [1.48] R. Zhu, V. Khemka, T. Khan, W. Huang, X. Cheng, P. Hui, M. Ger, and P. Rodriguez, "A High Voltage Super-Junction NLD MOS Device Implemented in 0.13 μ m SOI Based Smart Power IC Technology," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 79, 2010.
- [1.49] J. M. Park, R. Klima, and S. Selberherr, "Lateral Trench Gate Super-Junction SOI-LDMOSFETs with Low On-Resistance," Proc. European Solid-State Device Research Conference, p. 283, 2002.
- [1.50] Y. Onishi, H. Wang, H. P. E. Xu, W. T. Ng, R. Wu, and J. K. O. Sin, "SJ-FINFET: A New Low Voltage Lateral Superjunction MOSFET," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 111, 2008.
- [1.51] A. Yoo, Y. Onishi, E. Xu, and W. T. Ng, "Low Voltage Lateral SJ-FINFETs with Deep Trench p-Drift," Region IEEE Electron Devices Letters 30, p. 858, 2009.

第 2 章

縦型 SJ-MOSFET の低損失化

第2章 縦型 SJ-MOSFET の低損失化

2.1 はじめに

1.3 節でも述べたようにスーパージャンクション(SJ)構造は SJ ピッチを狭くすることによって各領域の不純物濃度を上げることができるので、ドリフト抵抗($R_D \cdot A$)を低減することが可能となる[2.1]。SJ-MOSFET による低オン抵抗($R_{ON} \cdot A$)化は日々進展し続け、SJ ピッチの微細化、トレンチゲート化により、さらに $R_{ON} \cdot A$ は低減されている。しかし、これまでの $R_{ON} \cdot A$ に対する理論解析は SJ 構造に限定されたものであり、チャンネル抵抗($R_{CH} \cdot A$)、蓄積層抵抗($R_{ACC} \cdot A$)等を考慮されたものではない。すなわち、トレンチゲート SJ-MOSFET 構造の $R_{ON} \cdot A$ 解析は十分に行われておらず、理論的な限界が明確になっていない。そこで、2.2 節では、トレンチ構造の方向と SJ 構造の方向が平行な SJ-MOSFET (平行型) と直交している SJ-MOSFET (直交型) の $R_{ON} \cdot A$ の理論限界を明確にするために、数値解析を行い、次いでシミュレーションより数値解析値の妥当性を検証した。さらに、その結果をもとに低 $R_{ON} \cdot A$ 化に優位なデバイス条件と構造を導出した。

一方、高周波用途のアプリケーションでは、 $R_{ON} \cdot A$ のほか $R_{ON} \cdot Q_{GD}$ の低減が求められる。しかし、SJ-MOSFET のように $Q_{GD}(C_{GD})$ が小さくなり過ぎるとゲート抵抗によるターンオフ dV/dt (ノイズ特性) の制御性が確保できず、制御性を持たせるためにゲート抵抗を大きくすると、逆にターンオフ損失(E_{OFF})が大きくなってしまいう問題がある (いわゆる E_{OFF} とターンオフ dV/dt との間にはトレードオフの関係が存在する)。そこで、2.3 節では、 E_{OFF} とターンオフ dV/dt とのトレードオフを改善するために、シミュレーションでデバイス構造の最適化を行い、その効果を実デバイスで検証した。

2.2 低オン抵抗化

2.2.1 平行型および直交型トレンチゲート SJ-MOSFET

図 2.1、2.2 に数値解析に用いた平行型と直交型トレンチゲート SJ-MOSFET 構造を示す。平行型はトレンチ MOS のストライプの方向と SJ 構造のストライプの方向が平行(同じ)であり、直交型は直角に交差する構造となる。ここで、 d は SJ 構造の n 型領域、p 型領域の各領域幅、 $2 \cdot d$ は SJ 構造の SJ ピッチ、 T_{SJ} は SJ 構造の深さ (今回の解析ではトレンチゲートのボトムからドレインまでの距離としている)、 W_C はトレンチゲート MOSFET のセルピッチ、 W_T はトレンチゲートの幅、 L_{CH} はトレンチゲートのチャンネル長、 L_{ACC} はトレンチゲートの蓄積層長となる。また、 N_D 、 N_A は SJ 構造の n 型領域、p

型領域の不純物濃度を示す。

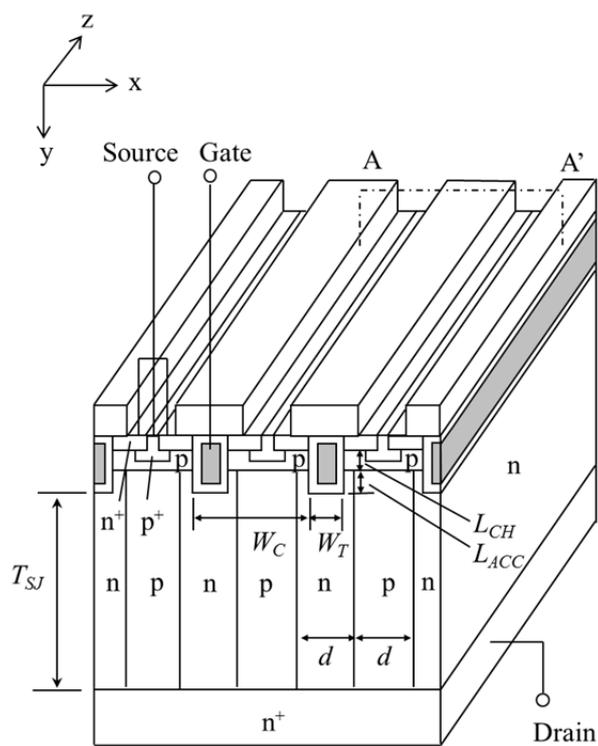


図 2.1 平行型トレンチゲート SJ-MOSFET

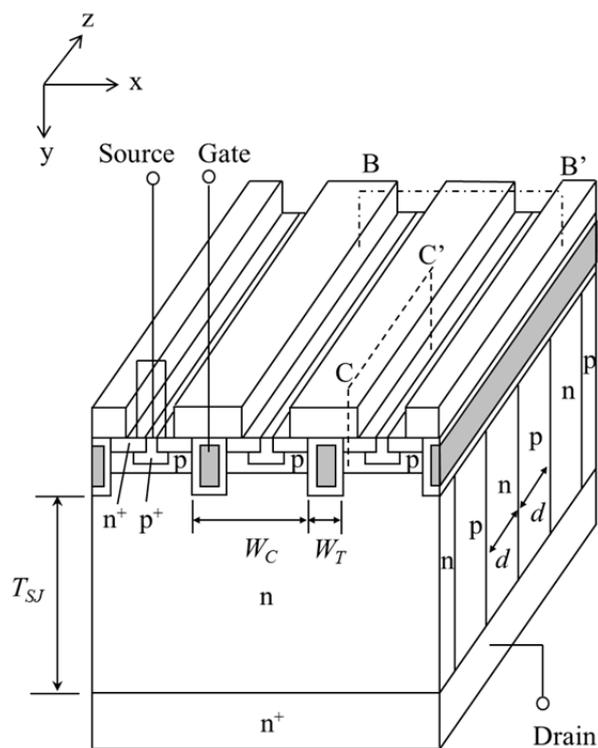


図 2.2 直交型トレンチゲート SJ-MOSFET

2.2.2 数値解析

数値解析を行うにあたり、計算を単純化するため次の仮定をおいた。まず、SJ 構造の n 型領域、p 型領域の不純物濃度は等しいとし($N_D=N_A$)、不純物濃度分布はコンスタントプロファイル、pn 接合は階段接合とした。また、トレンチゲート SJ-MOSFET の $R_{ON}\cdot A$ は、JFET 成分がなく、コンタクト抵抗成分($R_{CNT}\cdot A$)、 n^+ 基板抵抗成分($R_{Sub}\cdot A$)も他の成分に比べ十分小さいことから、チャネル抵抗($R_{CH}\cdot A$)、蓄積層抵抗($R_{ACC}\cdot A$)、ドリフト層抵抗($R_D\cdot A$)に限定して解析を行うこととした。

(1) ドリフト層抵抗成分

$R_D\cdot A$ は、トレンチ幅に対し n 型領域幅が広い場合に、電子電流がトレンチボトムから蓄積層からドリフト層に拡がって流れるため、いわゆる拡がり抵抗分を考慮する必要がある。拡がり抵抗は電子電流の拡がり角度に依存するが、ここでは 45 度と仮定する[2.2-2.3]。図 2.3、図 2.4 はそれぞれ図 2.1 の A-A'断面と図 2.2 の B-B'断面であり、各構造での電子電流の拡がりを点線で示している。平行型トレンチゲート SJ-MOSFET の場合、図 3 に示すように電子電流はトレンチボトムよりドリフト層に流れ込み、p 型領域に到達するまで拡がることになる。それ故、電子電流の拡がりより SJ 構造の深さが深い条件[$T_{SJ} > (d-W_T)/2$]において、平行型トレンチゲート SJ-MOSFET の $R_D\cdot A$ は (2.1)式で表される。ここで、 q は電荷素量、 μ は移動度を示す。また、 Z はトレンチゲートのストライプと同じ方向に延びるデバイスの幅、 W はトレンチゲートのストライプと直交する方向に延びるデバイスの長さであり、 $W\cdot Z$ はデバイスの活性面積に相当する。一方、直交型トレンチゲート SJ-MOSFET では、図 2.4 に示すように電子電流はドリフト領域を隣接するトレンチゲートから拡がってくる電子電流に到達するまで拡がることになる。それ故、電子電流の拡がりより SJ 構造の深さが深い条件[$T_{SJ} > (W_C - W_T)/2$]において、直交型トレンチゲート SJ-MOSFET の $R_D\cdot A$ は(2.2)式で表される。

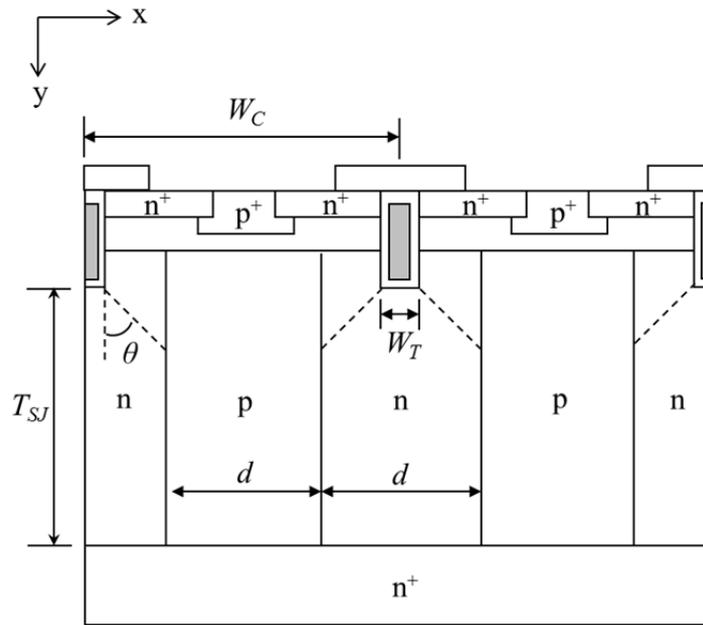


図 2.3 図 2.1 における A-A'断面と電子電流の拡がりイメージ

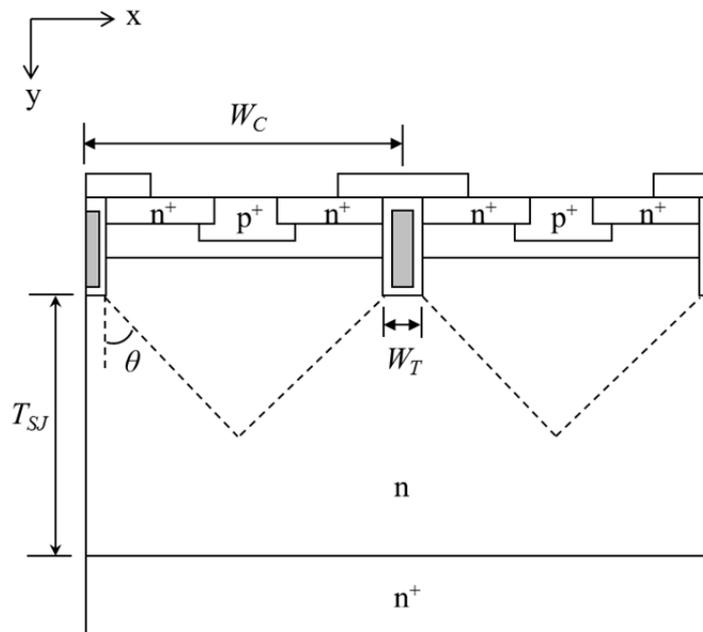


図 2.4 図 2.2 における B-B'断面と電子電流の拡がりイメージ

$$\begin{aligned}
& R_D \cdot A_{//} \\
&= \frac{2 \cdot d}{W} \cdot \left\{ \int_0^{\frac{d-W_T}{2}} \frac{1}{\mu \cdot q \cdot N_D} \cdot \frac{1}{(W_T + 2y) \cdot Z} \cdot dy + \int_{\frac{d-W_T}{2}}^{T_{SJ}} \frac{1}{\mu \cdot q \cdot N_D} \cdot \frac{1}{d \cdot Z} \cdot dy \right\} \cdot (W \cdot Z) \\
&= \frac{d}{\mu \cdot q \cdot N_D} \cdot \ln \frac{d}{W_T} + \frac{1}{\mu \cdot q \cdot N_D} \cdot (2 \cdot T_{SJ} - d + W_T) \tag{2.1}
\end{aligned}$$

$$\begin{aligned}
& R_D \cdot A_{\perp} \\
&= \frac{2 \cdot d}{Z} \cdot \frac{W_C}{W} \cdot \left\{ \int_0^{\frac{W_C - W_T}{2}} \frac{1}{\mu \cdot q \cdot N_D} \cdot \frac{1}{(W_T + 2y) \cdot d} \cdot dy + \int_{\frac{W_C - W_T}{2}}^{T_{SJ}} \frac{1}{\mu \cdot q \cdot N_D} \cdot \frac{1}{W_C \cdot d} \cdot dy \right\} \cdot (W \cdot Z) \\
&= \frac{W_C}{\mu \cdot q \cdot N_D} \cdot \ln \frac{W_C}{W_T} + \frac{1}{\mu \cdot q \cdot N_D} \cdot (2 \cdot T_{SJ} - W_C + W_T) \tag{2.2}
\end{aligned}$$

$R_D \cdot A$ が最小となる SJ 構造の n 型領域(=p 型領域)の不純物濃度 N_D と、SJ 構造の深さ T_{SJ} は参考文献[2.1]にて算出されており、(2.3)式、(2.4)式で与えられる。

$$N_D = \frac{\varepsilon_0 \cdot \varepsilon_S \cdot E_C}{q \cdot d} \tag{2.3}$$

$$T_{SJ} = \frac{2 \cdot V_B}{E_C} \tag{2.4}$$

ここで、 ε_0 は真空の誘電率、 ε_S は Si の比誘電率、 E_C は臨界電界、 V_B は耐圧を表す。(2.3)式、(2.4)式を(2.1)式、(2.2)式に代入し、(2.5)式、(2.6)式が得られる。

$$R_D \cdot A_{//} = \frac{d^2}{\mu \cdot \varepsilon_0 \cdot \varepsilon_S \cdot E_C} \cdot \ln \frac{d}{W_T} + \frac{d}{\mu \cdot \varepsilon_0 \cdot \varepsilon_S \cdot E_C} \cdot \left(\frac{4 \cdot V_B}{E_C} - d + W_T \right) \tag{2.5}$$

$$R_D \cdot A_{\perp} = \frac{d \cdot W_C}{\mu \cdot \varepsilon_0 \cdot \varepsilon_S \cdot E_C} \cdot \ln \frac{W_C}{W_T} + \frac{d}{\mu \cdot \varepsilon_0 \cdot \varepsilon_S \cdot E_C} \cdot \left(\frac{4 \cdot V_B}{E_C} - W_C + W_T \right) \tag{2.6}$$

さらに、Si の場合、臨界電界と移動度は SJ 構造の各領域幅 d を用いて、(2.7)式、(2.8)式で近似されるので[2.1]、

$$E_C = 9.71 \times 10^4 \cdot d^{-\frac{1}{6}} \tag{2.7}$$

$$\mu = 2.07 \times 10^3 \cdot d^{\frac{1}{12}} \quad (2.8)$$

(2.5)式、(2.6)式に(2.7)式、(2.8)式を代入し、(2.9)式、(2.10)式が得られる。

$$R_D \cdot A_{//} = 4.8 \times 10^3 \cdot d^{\frac{13}{12}} \cdot \left(d \cdot \ln \frac{d}{W_T} - d + W_T \right) + 1.98 \times 10^{-1} \cdot d^{\frac{5}{4}} \cdot V_B \quad (2.9)$$

$$R_D \cdot A_{\perp} = 4.8 \times 10^3 \cdot d^{\frac{13}{12}} \cdot \left(W_C \cdot \ln \frac{W_C}{W_T} - W_C + W_T \right) + 1.98 \times 10^{-1} \cdot d^{\frac{5}{4}} \cdot V_B \quad (2.10)$$

平行型トレンチゲート SJ-MOSFET の $R_D \cdot A$ は、(2.9)式より、SJ 構造の n 型領域幅 d 、トレンチ幅 W_T 、耐圧 V_B で決定されるのに対し、直交型トレンチゲート SJ-MOSFET の $R_D \cdot A$ は、(2.10)式より、SJ 構造の n 型領域幅 d 、トレンチ幅 W_T 、耐圧 V_B 、トレンチゲートのセルピッチ W_C で決定されることになる。また、(2.9)式、(2.10)式の第 2 項は SJ 構造の n 型領域に電流が均一に流れた場合の理論式を表していることから、第 1 項が各構造における拡がり抵抗成分を示していることになる。

(2) チャネル抵抗成分

図 2.1 に示す平行型トレンチゲート SJ-MOSFET ではトレンチゲートのチャネルを介し、SJ 構造の n 型領域に電子電流が流入することから、 $R_{CH} \cdot A$ は(2.11)式で表される。

$$\begin{aligned} R_{CH} \cdot A_{//} &= \frac{W_C}{2 \cdot W} \cdot \frac{L_{CH}}{\mu_{INV} \cdot C_{OX} \cdot Z \cdot (V_{GS} - V_{TH})} \cdot (W \cdot Z) \\ &= \frac{d \cdot L_{CH}}{\mu_{INV} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} \end{aligned} \quad (2.11)$$

ここで、 C_{OX} は単位面積当たりのゲート酸化膜容量、 μ_{INV} は反転層移動度、 V_{TH} はしきい値電圧を示す。一方、図 2.2 に示す直交型トレンチゲート SJ-MOSFET では、トレンチゲートと SJ 構造が交差しているため、チャネル内の電子電流の狭窄効果を考慮しなければならない。図 2.5 は図 2.2 の C-C' 断面図であり、チャネルでの電子電流の狭窄を点線で示している。図 2.5 からわかるように、チャネルの狭窄効果は SJ 構造の p 型領域の上部に位置するチャネル内の電子が反転層との間に形成されるポテンシャルバリ

$$\begin{aligned}
R_{ACC} \cdot A_{\parallel} &= \frac{W_C}{2 \cdot W} \cdot \frac{L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot Z \cdot (V_{GS} - V_{TH})} \cdot (W \cdot Z) \\
&= \frac{d \cdot L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot (V_{GS} - V_{TH})}
\end{aligned} \tag{2.13}$$

$$\begin{aligned}
R_{ACC} \cdot A_{\perp} &= \frac{W_C}{2 \cdot W} \cdot \frac{2 \cdot d}{Z} \cdot \frac{L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot Z \cdot (V_{GS} - V_{TH})} \cdot (W \cdot Z) \\
&= \frac{W_C \cdot L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot (V_{GS} - V_{TH})}
\end{aligned} \tag{2.14}$$

ここで、 μ_{ACC} は蓄積層移動度を示す。

(4) オン抵抗

(2.9)式、(2.11)式、(2.13)式と(2.10)式、(2.12)式、(2.14)式より、平行型と直交型トレンチゲート SJ-MOSFET の $R_{ON} \cdot A$ は、それぞれ式(2.15)式と(2.16)式で示される。

$$\begin{aligned}
R_{ON} \cdot A_{\parallel} &= \frac{d \cdot L_{CH}}{\mu_{INV} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} + \frac{d \cdot L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} \\
&\quad + 4.8 \times 10^3 \cdot d^{\frac{13}{12}} \cdot (d \cdot \ln \frac{d}{W_T} - d + W_T) + 1.98 \times 10^{-1} \cdot d^{\frac{5}{4}} \cdot V_B
\end{aligned} \tag{2.15}$$

$$\begin{aligned}
R_{ON} \cdot A_{\perp} &= \frac{W_C \cdot d}{2 \cdot \mu_{INV} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} \cdot \ln \frac{d + 2 \cdot L_{CH}}{d} \\
&\quad + \frac{W_C \cdot L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} + 4.8 \times 10^3 \cdot d^{\frac{13}{12}} \cdot (W_C \cdot \ln \frac{W_C}{W_T} - W_C + W_T) \\
&\quad + 1.98 \times 10^{-1} \cdot d^{\frac{5}{4}} \cdot V_B
\end{aligned} \tag{2.16}$$

平行型と直交型トレンチゲート SJ-MOSFET の $R_{ON} \cdot A$ を定量的に比較するため、実デバイスで使用されている次のデバイスパラメータを用いて計算を行った。デバイスパラメータは、 $L_{CH}=1.5\mu\text{m}$ 、 $\mu_{INV}=500\text{cm}^2/\text{V}\cdot\text{s}$ 、 $L_{ACC}=0.4\mu\text{m}$ 、 $\mu_{ACC}=600\text{cm}^2/\text{V}\cdot\text{s}$ 、 $t_{OX}=100\text{nm}$ 、 $W_T=0.6\mu\text{m}$ 、 $V_{GS}=10\text{V}$ 、 $V_{TH}=3\text{V}$ である[2.4]。上記デバイスパラメータを(2.15)式、(2.16)式に代入し、(2.17)式、(2.18)式が得られる。

$$\begin{aligned}
R_{ON} \cdot A_{//} &= 1.24 \cdot d + 2.76 \times 10^{-1} \cdot d \\
&+ 4.8 \times 10^3 \cdot d^{\frac{13}{12}} \cdot \left\{ d \cdot \ln \left(\frac{d}{6.0 \times 10^{-5}} \right) - d + 6.0 \times 10^{-5} \right\} \\
&+ 1.98 \times 10^{-1} \cdot d^{\frac{5}{4}} \cdot V_B
\end{aligned} \tag{2.17}$$

$$\begin{aligned}
R_{ON} \cdot A_{\perp} &= 4.14 \times 10^3 \cdot W_C \cdot d \cdot \ln \left(\frac{d + 3.0 \times 10^{-4}}{d} \right) + 2.76 \times 10^{-1} \cdot W_C \\
&+ 4.8 \times 10^3 \cdot d^{\frac{13}{12}} \cdot \left\{ W_C \cdot \ln \left(\frac{W_C}{6.0 \times 10^{-5}} \right) - W_C + 6.0 \times 10^{-5} \right\} \\
&+ 1.98 \times 10^{-1} \cdot d^{\frac{5}{4}} \cdot V_B
\end{aligned} \tag{2.18}$$

平行型トレンチゲート SJ-MOSFET の $R_{ON}A$ は、n 型領域幅 d と V_B によって決定され、直交型トレンチゲート SJ-MOSFET の $R_{ON}A$ は、 d と V_B のほか W_C によって決定されることになる。図 2.6 に(2.17)式、(2.18)式から得られる平行型と直交型トレンチゲート SJ-MOSFET の $R_{ON}A$ と V_B の関係を示す。パラメータは W_C と $2 \cdot d$ をとっている。図 2.6 からも明らかなように W_C が小さくなれば、平行型トレンチゲート SJ-MOSFET より直交型トレンチゲート SJ-MOSFET の $R_{ON}A$ が小さくなる。また、この傾向は低耐圧クラス (T_{SJ} が浅い) ほど、SJ ピッチが小さい (d が小さい) ほど顕著になる。これは、直交型トレンチゲートにおける $R_D A$ の広がり抵抗と $R_{CH} A$ の狭窄抵抗が W_C の縮小に従い低減されるためである。具体的には、 $W_C=2\mu\text{m}$ 、 $2 \cdot d=8\mu\text{m}$ の場合、90V 耐圧において、直交型トレンチゲート SJ-MOSFET の $R_{ON}A$ は、平行型より約 30%低減される。

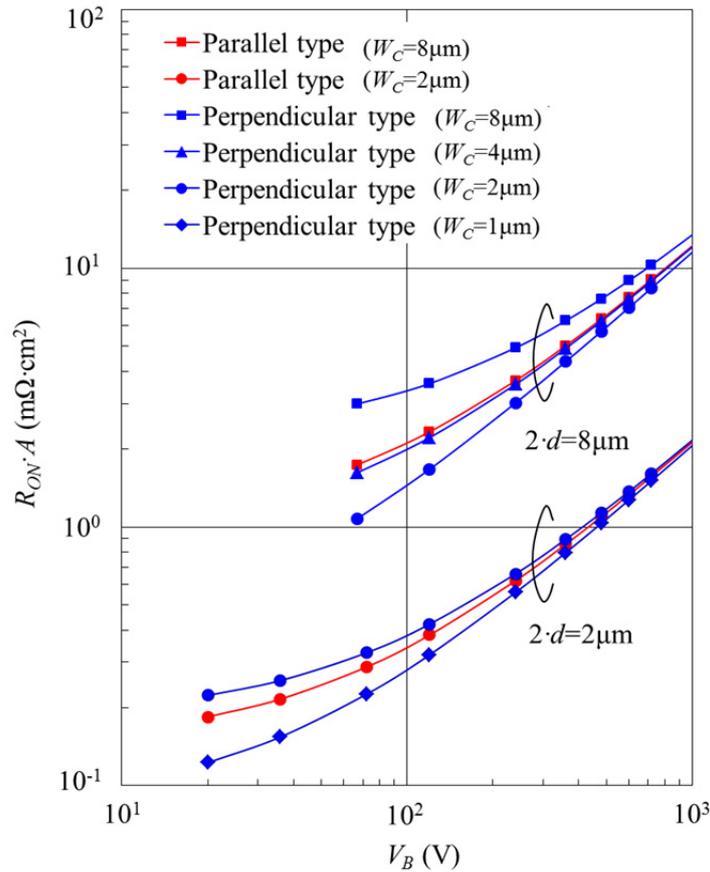


図 2.6 数値解析より試算された平行型、直交型トレンチゲート SJ-MOSFET の $R_{ON} \cdot A$ と V_B の関係

2.2.3 シミュレーションによる検証

2.2.1 項の数値解析の妥当性を検証するために、直交型と平行型トレンチゲート SJ-MOSFET の V_B と $R_{ON} \cdot A$ のシミュレーションを Synopsys 社の TCAD DESSIS を用いて行った。寸法などの構造パラメータは数値解析に用いた値を用い、不純物濃度プロファイルもコンスタントプロファイルを使用した。図 2.7 にシミュレーション結果を破線で示す。数値解析値はシミュレーション結果によく一致しており、数値解析の妥当性が示されている。しかし、低耐圧になると、 $R_{ON} \cdot A$ の数値解析値とシミュレーション結果との差分は、いずれの構造でも大きくなった。この原因を明確にするために、 $W_c=2 \cdot d=8\mu\text{m}$ における 80V クラスと 600V クラスの平行型、直交型トレンチゲート SJ-MOSFET の数値解析値とシミュレーション値のオン抵抗成分比較を表 2.1、表 2.2 にまとめた。なお、80V クラスの平行型と直交型トレンチゲート SJ-MOSFET の V_B は、それぞれ 93V と 91V

であり、600Vクラスの平行型と直交型トレンチゲート SJ-MOSFET の V_B は、それぞれ 730V と 715V である。いずれも同等レベルであるので、 $R_{ON\cdot A}$ に関し公正な比較が行える。80Vクラスのトレンチゲート SJ-MOSFET の場合、数値解析値とシミュレーション結果の $R_{D\cdot A}$ の差分は 37~45%と大きいものの、 $R_{ON\cdot A}$ の差分は 20%以下と比較的小さい。これは $R_{ON\cdot A}$ に対し $R_{D\cdot A}$ の占める割合が 58~71%と小さく、数値解析値の $R_{ON\cdot A}$ の増分が $R_{CH\cdot A}$ と $R_{ACC\cdot A}$ の減分によって補償されているためである。一方、600Vクラスのトレンチゲート SJ-MOSFET の場合では、 $R_{ON\cdot A}$ に対する $R_{D\cdot A}$ の占める割合が 90~94%と大きい、 $R_{D\cdot A}$ の差分は 5%程度と小さいため、 $R_{ON\cdot A}$ の差分も 8%以下と小さくなっている。このように、80Vクラス、600Vクラスとも、 $R_{ON\cdot A}$ の差分は $R_{D\cdot A}$ の差分に強く起因している。一方、数値解析値の $R_{D\cdot A}$ は(2.8)式に依存しており、不純物濃度が高い場合（低耐圧クラス）に、数値解析値の移動度はシミュレーション結果で用いられる値より低くなる傾向を示す。これが、低耐圧における $R_{D\cdot A}$ の数値解析値とシミュレーション結果との乖離の原因と考えられる。それゆえ、(2.8)式の近似式の精度が上がれば、低耐圧での $R_{ON\cdot A}$ 差分も改善されることが期待される。一方、 $R_{CH\cdot A}$ 、 $R_{ACC\cdot A}$ は、 V_B に関係なく、数値解析値、シミュレーション結果とも概ね同等の値を示している。なお、 $R_{CH\cdot A}$ はシミュレーションに対して数値解析値が 20%低くなっているが、これはチャンネルの垂直電界による移動度の低下を十分に考慮できていないためと考えられる[2.4]。

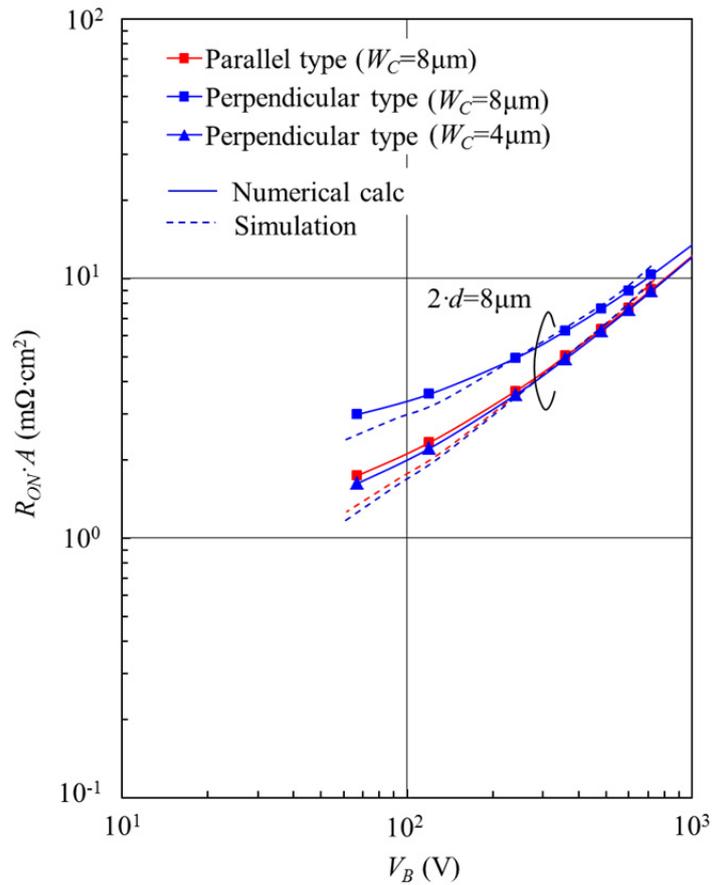


図 2.7 $R_{ON} \cdot A$ - V_B 特性の数値解析値とシミュレーション結果との比較

表 2.1 80V クラスの平行型と直行型トレンチゲート SJ-MOSFET における抵抗成分の数値解析値とシミュレーション結果との比較。括弧内は $R_{ON} \cdot A$ に対する各抵抗成分の比率を示す。

	Parallel SJ-MOSFET			Perpendicular SJ-MOSFET		
	Analytical calculation	Simulation	Ratio	Analytical calculation	Simulation	Ratio
$R_{CH} \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	0.50 [25%]	0.57 [34%]	0.88	0.74 [22%]	0.93 [32%]	0.80
$R_{ACC} \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	0.11 [5%]	0.13 [8%]	0.85	0.22 [7%]	0.24 [8%]	0.92
$R_D \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	1.44 [70%]	0.99 [58%]	1.45	2.35 [71%]	1.71 [60%]	1.37
$R_{ON} \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	2.05 [100%]	1.69 [100%]	1.19	3.31 [100%]	2.88 [100%]	1.13

表 2.2 600V クラスの平行型と直行型トレンチゲート SJ-MOSFET における抵抗成分の数值解析値とシミュレーション結果との比較。括弧内は $R_{ON}A$ に対する各抵抗成分の比率を示す。

	Parallel SJ-MOSFET			Perpendicular SJ-MOSFET		
	Analytical calculation	Simulation	Ratio	Analytical calculation	Simulation	Ratio
$R_{CH}A$ ($m\Omega \cdot cm^2$)	0.50 [5%]	0.57 [6%]	0.88	0.74 [7%]	0.93 [8%]	0.80
$R_{ACC}A$ ($m\Omega \cdot cm^2$)	0.11 [1%]	0.12 [1%]	0.92	0.22 [2%]	0.24 [2%]	0.92
$R_D A$ ($m\Omega \cdot cm^2$)	8.64 [94%]	9.14 [93%]	0.95	9.35 [91%]	9.97 [90%]	0.94
$R_{ON}A$ ($m\Omega \cdot cm^2$)	9.25 [100%]	9.83 [100%]	0.94	10.31 [100%]	11.13 [100%]	0.92

2.2.4 低オン抵抗化構造

2.2.2 項において数值解析の妥当性がシミュレーションで示されたことから、直交型トレンチゲート SJ-MOSFET の $R_{ON}A$ が平行型より低くなるデバイス条件を明らかにする。まず、直交型トレンチゲート SJ-MOSFET から平行型の $R_{ON}A$ を引き、その差分が常に負となることを条件とすると、(2.19)式が算出される。

$$\begin{aligned}
 & \frac{d}{2 \cdot \mu_{INV} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} \cdot \left\{ W_C \cdot \ln \left(\frac{d + 2 \cdot L_{CH}}{d} \right) - 2 \cdot L_{CH} \right\} \\
 & + \frac{L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} \cdot (W_C - d) \\
 & + 4.8 \times 10^3 \cdot d^{\frac{13}{12}} \cdot \left\{ W_C \cdot \ln \left(\frac{W_C}{W_T} \right) - d \cdot \ln \left(\frac{d}{W_T} \right) - W_C + d \right\} \leq 0 \quad (2.19)
 \end{aligned}$$

同じ設計ルールの場合、 W_T と $2 \cdot d$ は同じになるので同じ値をとる。ここで、 W_C がに比例するとして、 $W_C = \alpha \cdot 2 \cdot d$ とし、(2.19)式に代入すると、(2.20)式が得られる。なお、 α は比例定数であり任意の正の値をとる。

$$\begin{aligned}
& \frac{d}{\mu_{INV} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} \cdot \left\{ d \cdot \alpha \cdot \ln\left(\frac{d + 2 \cdot L_{CH}}{d}\right) - L_{CH} \right\} \\
& + \frac{d \cdot L_{ACC}}{\mu_{ACC} \cdot C_{OX} \cdot (V_{GS} - V_{TH})} \cdot (2 \cdot \alpha - 1) \\
& + 4.8 \times 10^3 \cdot d^{\frac{25}{12}} \cdot \left[2 \cdot \alpha \cdot \ln(2 \cdot \alpha) + \left\{ \ln\left(\frac{d}{W_T}\right) - 1 \right\} \cdot (2 \cdot \alpha - 1) \right] \leq 0
\end{aligned} \tag{2.20}$$

(2.20)式より、 α が 1/2 以下の場合に第 2 項と第 3 項が 0 以下になることがわかる。第 1 項に関しては、更に d が L_{CH} に比例するという仮定を置き、第 1 項が 0 以下となる不等式に $d = \beta \cdot L_{CH}$ を代入すると、 α は(2.21)式で表される。なお、 β は任意の正の値を示す。

$$\alpha \leq \frac{L_{CH}}{d \cdot \ln\left(\frac{d + 2 \cdot L_{CH}}{d}\right)} = \frac{1}{\beta} \cdot \frac{1}{\ln\left(\frac{2 + \beta}{\beta}\right)} \tag{2.21}$$

(2.21)式の β で表される関数は任意の正の β に対し必ず 1/2 より大きくなるので、 α が 1/2 以下であれば(2.21)式は成立することになり、(2.20)式の第 1 項も 0 以下となる。 α が 1/2 以下の場合に第 2 項と第 3 項が 0 以下になることを考慮すると、 α が 1/2 以下、つまりトレンチゲートのセルピッチ(W_C)が SJ ピッチ($2 \cdot d$)の 1/2 以下となる条件で、直交型トレンチゲート SJ-MOSFET の $R_{ON} \cdot A$ が平行型より低減することになる。それゆえ、 d が同じ場合に低 $R_{ON} \cdot A$ 化を図るには、平行型トレンチゲート SJ-MOSFET より直交型が有利になるといえる。

$R_{ON} \cdot A$ を低減するためには直交パターンのトレンチゲートのセルピッチを SJ ピッチ(平行パターンのトレンチゲートのセルピッチ)の 1/2 以下にすれば良いことを示したが、トレンチゲートとドレイン層とのオーバーラップ面積が増えることから、 Q_{GD}/A は増加することになる。高周波用途のアプリケーションでは $R_{ON} \cdot A$ のみならず $R_{ON} \cdot Q_{GD}$ が重要なファクターとなるため、セルピッチを広くし、 $R_{ON} \cdot Q_{GD}$ を最小とする設計が求められる。平行パターンではセルピッチは一意義的に決定されが、その値が最適値になるとは限らない。そのため、 $R_{ON} \cdot Q_{GD}$ の観点からも直交パターンが有意な構造と考えられる。

2.3 低ターンオフ損失化

2.3.1 ターンオフ損失とターンオフ dV/dt のトレードオフ

パワーMOSFETのターンオフ損失は、過渡的な電圧と電流と、その遷移時間との積によって生じる損失であり、パワーMOSFETのスイッチング時間とスイッチングの周波数とに比例する。そのため、ターンオフ損失を低減するためには、スイッチング時間を短くすることが求められる。パワーMOSFETのスイッチング時間は Q_{GD} に支配されているため、従来型MOSFETでは Q_{GD} を充放電するゲートドレイン容量(C_{GD})の低減に力が注がれてきた。一方、SJ-MOSFETは $R_{ON} \cdot A$ が従来型MOSFETより劇的に小さくなるため、同じ R_{ON} で比較した場合に $R_{ON} \cdot A$ の低減分だけ従来型MOSFETより活性面積が小さくなり、 C_{GD} もその分低減される。また、SJ-MOSFETは低電圧でSJ構造を形成するpn接合が空乏化するため、 C_{GD} が低電圧で更に小さくなる。その結果、SJ-MOSFETの C_{GD} は劇的に小さくなり、高速スイッチングが期待されることになる。ところが、 C_{GD} が小さ過ぎるとゲート制御性が低下してしまい、ターンオフ dV/dt が大きくなってしまう（ノイズの発生源になってしまう）。一方、ターンオフ dV/dt を小さくするためにゲート抵抗 R_G を大きくすると、ミラー期間が長くなり、今度はターンオフ損失(E_{OFF})が増大してしまう問題がある。すなわち、 E_{OFF} とターンオフ dV/dt の間にはトレードオフの関係が存在し、 C_{GD} が小さくなり過ぎると、このトレードオフ関係は逆に悪化してしまうことになる。従って、低スイッチング損失を実現するには、 C_{GD} を極限まで小さくするのではなく、 E_{OFF} とターンオフ dV/dt とのトレードオフ関係を改善しなければならない[2.5]。SJ-MOSFETの E_{OFF} とターンオフ dV/dt とのトレードオフ関係を改善するためには、 R_G が一定条件の下でターンオフ dV/dt を低減する必要がある。図2.8にターンオフ波形の模式図を示す。ターンオフ dV/dt は、ターンオフ時にゲートソース容量がミラー期間内で一定であると仮定すると、(2.22)式のように表される[2.5]。

$$\frac{dV_{DS}}{dt} \approx \frac{dV_{GD}}{dt} = \frac{\frac{I_D}{g_{fs}} + V_{TH}}{C_{GD}(V_{DS}) \cdot R_G} \quad (2.22)$$

ここで、 I_D はドレイン電流、 g_{fs} は相互コンダクタンス、 V_{DS} はドレイン・ソース電圧を示す。(2.22)式より、 R_G 、 I_D 、 V_{DS} が一定であるとすると、ターンオフ dV/dt の低減には、 C_{GD} を大きくすること、および V_{TH} を低くすることが有効である。 C_{GD} は、pベース領域間の距離すなわちゲート長 L_G により決まるため、 C_{GD} を大きくするには L_G を大きくすれば

よい。また、 V_{TH} はpベース領域の濃度により決定されるため、pベースの不純物濃度を下げれば V_{TH} を低減することが可能となる。

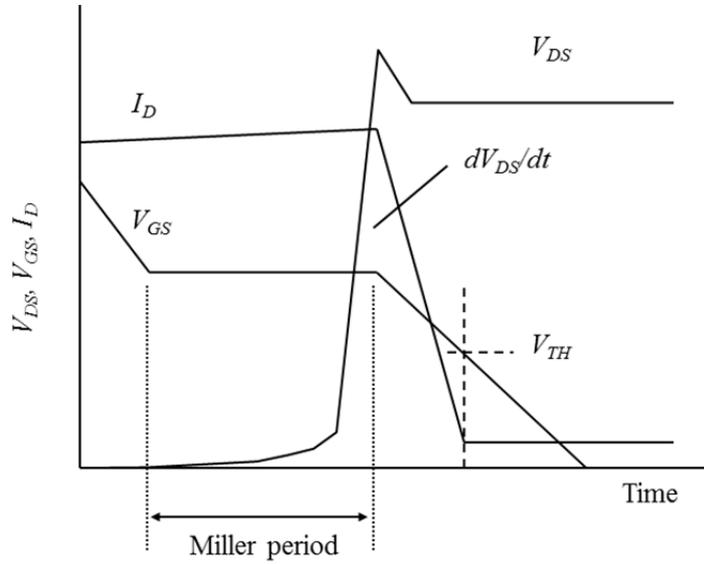


図2.8 ターンオフ波形

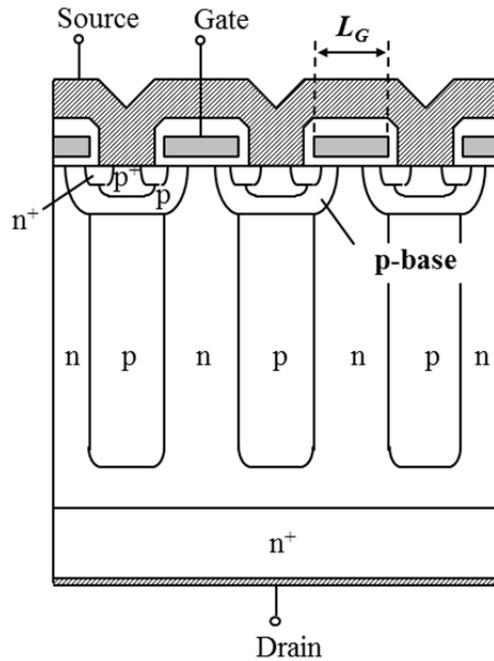


図2.9 デバイスパラメータ

2.3.2 シミュレーションによる最適化

E_{OFF} の L_G 依存性をデバイスシミュレーションにより見積った。なお、デバイスシミュレーションはSynopsys社のTCAD DESSISを使用し、回路シミュレーションにデバイスを取り入れたmixed-modeで行った。シミュレーションに用いたデバイスは600V/20A/0.19 Ω 相当のプレーナゲートSJ-MOSFETであり、SJピッチ=12 μm 、SJ深さ=36 μm を基本とし、n型領域、p型領域の不純物濃度も実デバイスと同等の値とした。図2.10にシミュレーションに用いたチョッパ回路を示す。実回路での跳ね上がり電圧を再現するため、寄生インダクタンス L_D, L_S もシミュレーション回路に取り入れている。電源電圧は300Vに固定し、ゲートからの入力は0V→10V→0Vとなるシングルパルスにてデバイスをターンオフさせ、ターンオフ時の I_D が10Aになるよう負荷 L と電源電圧からオン期間を設定した。図2.11に、 E_{OFF} およびターンオフ dV/dt の L_G 依存性を示す。 E_{OFF} は、ターンオフ dV/dt が10kV/ μs のときの値であり、ターンオフ dV/dt は R_G が91 Ω のときの値を用いた。図2.11に示すように L_G を大きくすることで、ターンオフ dV/dt を小さくすることができている。同様に L_G の増加に従い、 E_{OFF} も低減していることがわかる。ただし、 E_{OFF} の値は、 L_G が7 μm 以上になると飽和傾向を示す。これは、 C_{GD} を大きくすることで、ターンオフ時間が長くなるとともに帰還容量も増大し、その結果としてミラー期間が長くなり、 E_{OFF} が増える方向に働くためと考えられる。それゆえ、 $C_{GD}(L_G)$ には最適な値が存在し、今回の構造では $L_G=7\mu\text{m}$ 前後が E_{OFF} とターンオフ dV/dt のトレードオフの最適値と推定される。次に、 E_{OFF} およびターンオフ dV/dt の V_{TH} 依存性を図2.12に示す。なお、 E_{OFF} とターンオフ dV/dt の V_{TH} 依存性は、 E_{OFF} およびターンオフ dV/dt の L_G 依存性から得られた L_G の最適値である7 μm を用いて計算している。図2.12に示すように、ターンオフ dV/dt の V_{TH} 依存性は、 V_{TH} が小さくなるに従い低減し、それに伴って E_{OFF} の値も低減する傾向にある。しかし、 V_{TH} を低くし過ぎると、ノイズの影響によりデバイスが誤オンする可能性がある。それゆえ、 V_{TH} の最適化は、素子の誤動作を抑止するために V_{TH} を下げ過ぎないように注意する必要がある。また、ターンオフ dV/dt の制御性という観点からも、 V_{TH} より L_G の影響が大きいため、 V_{TH} は低くし過ぎない方がよい。以上の結果より、従来型構造の $L_G=5\mu\text{m}$ 、 $V_{TH}=4\text{V}$ に対し、シミュレーションより得られたSJ-MOSFETの最適値は、 $L_G=7\mu\text{m}$ 、 $V_{TH}=3\text{V}$ となる。

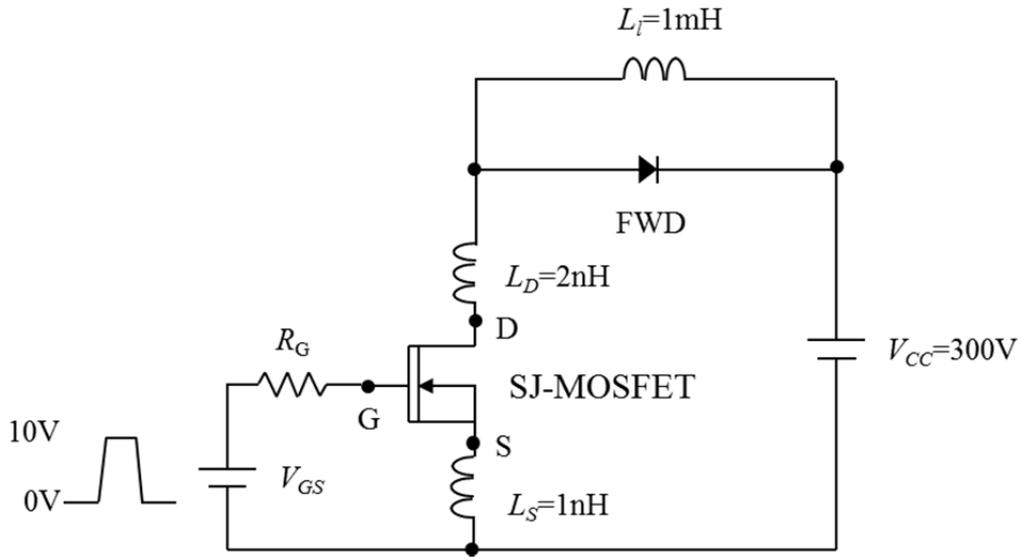


図2.10 シミュレーションで用いた降圧チョッパ回路

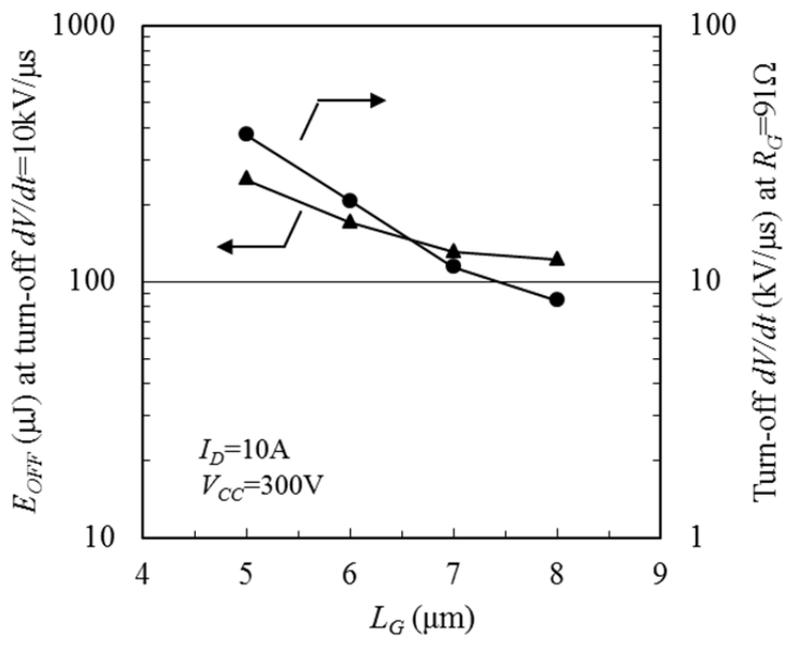


図2.11 600V/20A/0.19Ω SJ-MOSFETの E_{OFF} 、ターンオフ dV/dt の L_G 依存性(simulation)

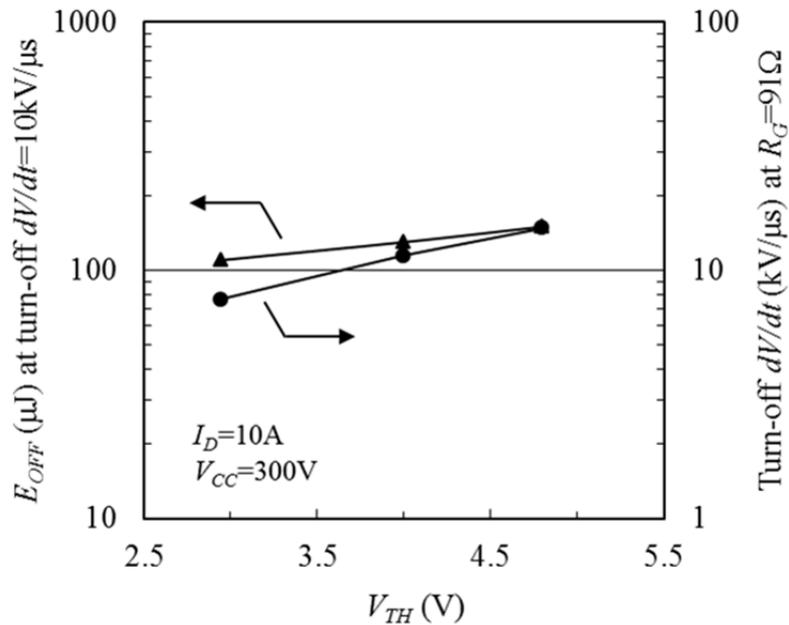


図2.12 600V/20A/0.19 Ω SJ-MOSFETの E_{OFF} 、ターンオフ dV/dt の V_{TH} 依存性(simulation)

2.3.3 最適化デバイスの作製および実証

SJ構造は、劇的な低 R_{ON} が可能となる一方で、電荷補償型構造のためn型領域とp型領域とのチャージバランスを確保できなければ V_B を保持できなくなる欠点がある。チャージバランスが崩れると V_B が極端に低下してしまい、定格電圧が確保できなくなってしまう。それゆえ、n型領域およびp型領域の不純物濃度を精度良く制御することがSJ-MOSFETを作製する上で重要となる。また、 V_B ばらつきを改善するためには、p型領域の深さ方向の不純物濃度に分布を持たせることも必要となる。そこで、SJ構造の作製方法としては、不純物濃度制御に優れたイオン注入による所定領域への不純物導入とエピタキシャル成長との繰り返しによる多段エピ方式を採用した。図2.13に多段エピ方式によるSJ構造形成のプロセスフローを示す。まず、不純物濃度の低いn型層($<1 \times 10^{14} \text{cm}^{-3}$)をn型バッファ層の厚さも加味しn型基板の上にエピタキシャル成長($\sim 12 \mu\text{m}$)させる(ステップ1)。次に、レジストマスクでn型領域になる領域へリン(P^+)をイオン注入し、レジストを剥離後、続いてp型領域となる領域へレジストマスクでボロン(B^+)をイオン注入する(ステップ2)。引き続き、不純物濃度の低いn型層をエピタキシャル成長($\sim 8 \mu\text{m}$)させる(ステップ3)。出来上がりのn型領域、p型領域の不純物濃度は、イオン注入用のレジスト寸法とイオン注入の精度によって決定されるので、不純物濃度の制御が容易と

なる。所定のドリフト層厚（今回の試作では $36\mu\text{m}$ ）になるまでステップ2とステップ3を繰り返し、最後に熱拡散によって連続したn型領域、p型領域を形成する。この後は通常のDMOSFETプロセスを適用し、DMOSFETをSJ構造の表面に形成し、SJ-MOSFETとする。先のシミュレーションで得られたデバイスパラメータは、MOSFET部の構造パラメータであるため、Poly-Si電極形成時に $L_G=7\mu\text{m}$ とし、 $V_{TH}=3\text{V}$ になるようにpベースの不純物濃度を調整した。図2.14に多段エピタ方式で作製したSJ-MOSFETの断面構造をSCM(Scanning Capacitance Microscopy)像で示す。p型領域、n型領域とも深さ方向に接続し、pベース層もp型領域の上方に形成されていることが確認できる。なお、今回のSJ-MOSFET試作は6インチラインで作製し、ダイシング後、TO247 PKG品に実装し、評価を行った。図2.15は、試作した6インチウェーハと、その後個片化されたSJ-MOSFETダイと、TO247にパッケージングされたモールド品の外観写真を示したものである。

多段エピ方式で作製された $600\text{V}/20\text{A}/0.19\Omega$ クラスのSJ-MOSFETは、 E_{OFF} とターンオフ dV/dt のトレード改善のため L_G 、 V_{TH} の最適化を行ったにもかかわらず、図2.16、図2.17に示すように V_B が 680V で $R_{ON}\cdot A$ が $20\text{m}\Omega\cdot\text{cm}^2$ という低い値を達成している。この試作サンプルを用いて E_{OFF} とターンオフ dV/dt の評価を行った。評価に用いた降圧チョッパ回路を図2.18に示す。シミュレーションでの評価条件と同じく、 $V_{CC}=300\text{V}$ 、 $I_D=10\text{A}$ となるようP. G.(Pulse generator)のオン期間を調整し、ターンオフ評価を行った。図2.19に $R_G=91\Omega$ における代表的なターンオフ波形を示す。ターンオフ dV/dt が低いため、ターンオフ時のサージ電圧が低く抑制されている。図2.20に E_{OFF} -ターンオフ dV/dt トレードオフの評価結果を、図2.21にターンオフ dV/dt - R_G トレードオフの関係を示す。 E_{OFF} -ターンオフ dV/dt トレードオフは、 R_G を変えることでターンオフ dV/dt を変え、その時の E_{OFF} とターンオフ dV/dt より試算している。また、 L_G 、 V_{TH} を最適化する前の従来型構造($L_G=5\mu\text{m}$ 、 $V_{TH}=4\text{V}$)の結果とシミュレーション予測の値もあわせて載せている。図2.20、図2.21からもわかるように、実測結果とシミュレーション予測はよく一致しており、実測値でもシミュレーション予測に近い特性となっている。さらに、MOS構造を最適化した構造は従来型構造と比べると、 E_{OFF} とターンオフ dV/dt のトレードオフ、ターンオフ dV/dt と R_G のトレードオフとも大幅に改善している。さらに、最適化構造の E_{OFF} はターンオフ $dV/dt=10\text{kV}/\mu\text{s}$ において、 $160\mu\text{J}/\text{pulse}$ であり、従来型構造に対し40%の低減を達成している。また、図2.21からもわかるように、従来型構造では R_G が 20Ω 以下で R_G によるターンオフ dV/dt の制御性がなかったが、最適化構造では 5.1Ω まで R_G による制御性が確保されている。作製した最適化構造はゲート制御性と低 E_{OFF} を兼ね備えた特性を実現している。

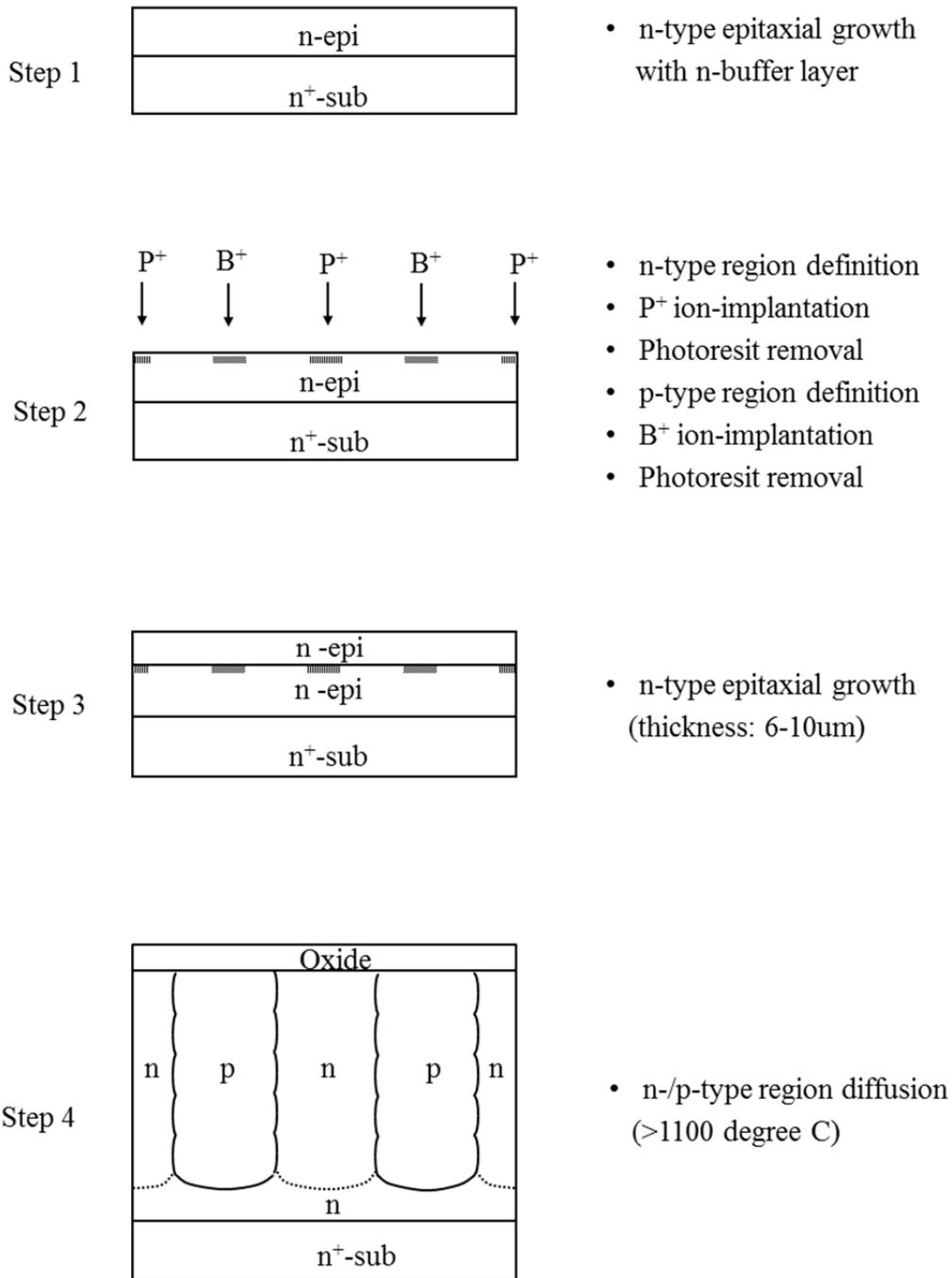


図2.13 多段エピ方式によるプレーナゲートSJ-MOSFETの作製方法(1/2)

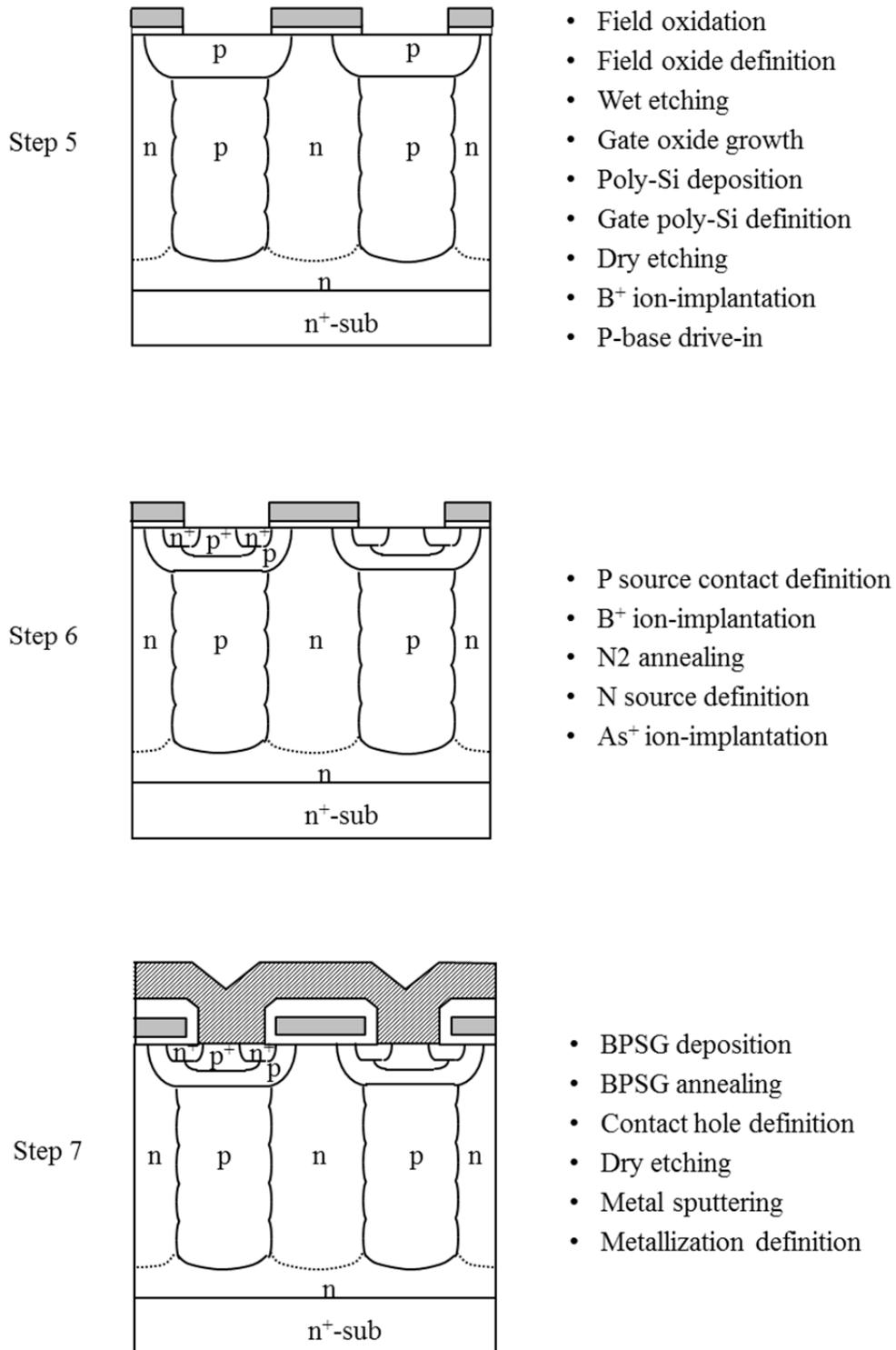


図2.13 多段エピ方式によるプレーナークートSJ-MOSFETの作製方法(2/2)

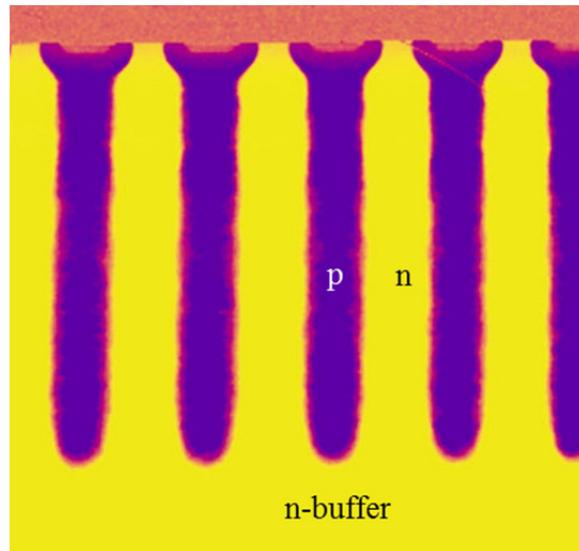


図2.14 多段エピ方式で作製したSJ-MOSFET(600V/20A/0.19Ω)の断面SCM像

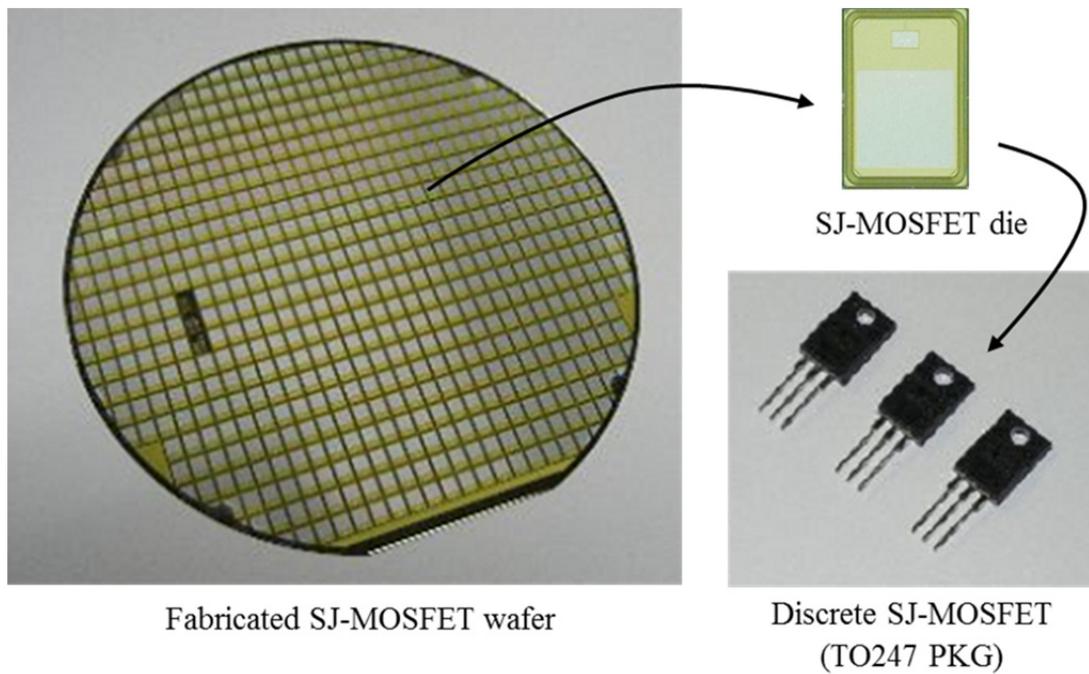


図2.15 試作ウェーハとダイシングされたチップとPKG品の外観写真

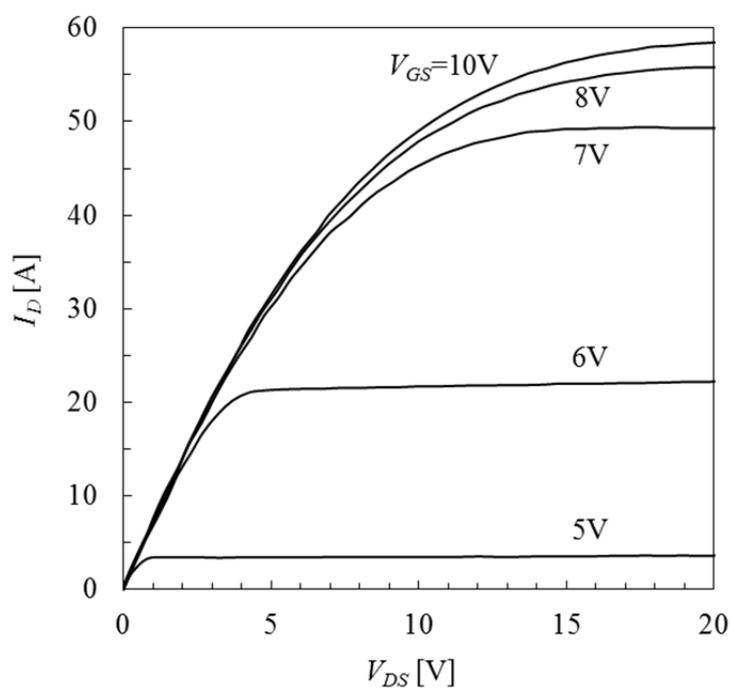


図2.16 作製したSJ-MOSFET(600V/20A/0.19Ω)の出力特性

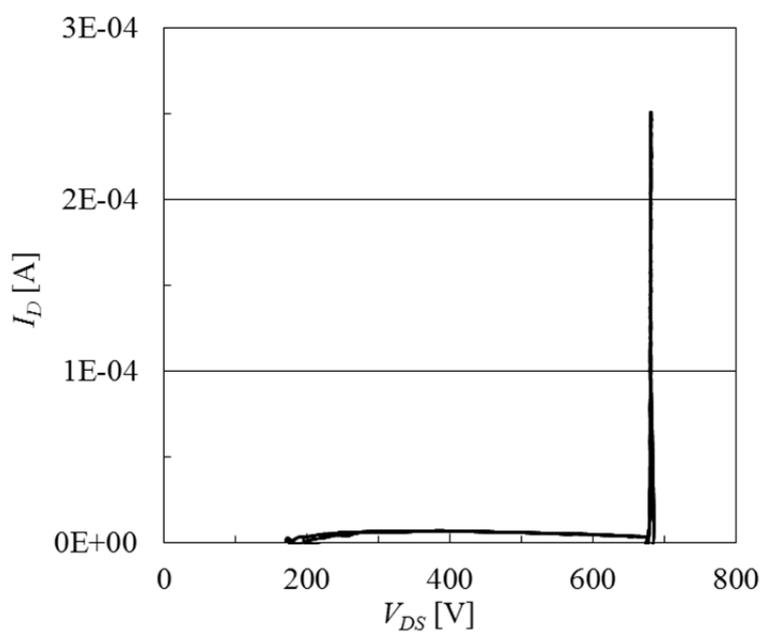


図2.17 作製したSJ-MOSFET(600V/20A/0.19Ω)の耐圧波形

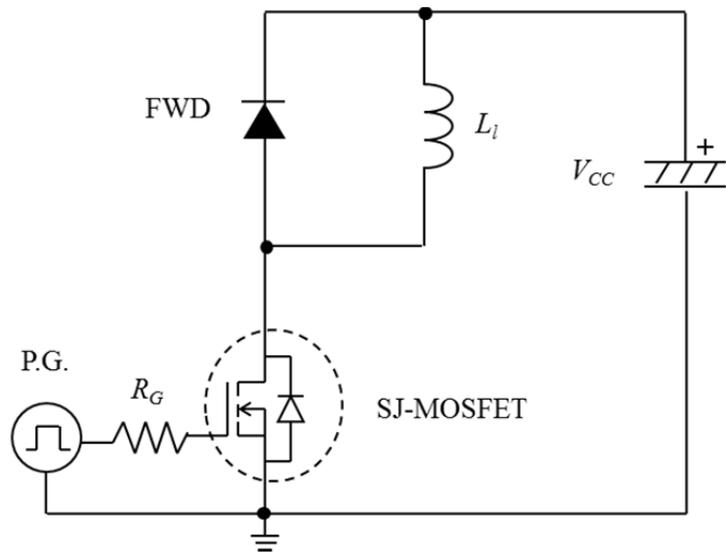


図2.18 SJ-MOSFETの評価回路（降圧チョッパ回路）

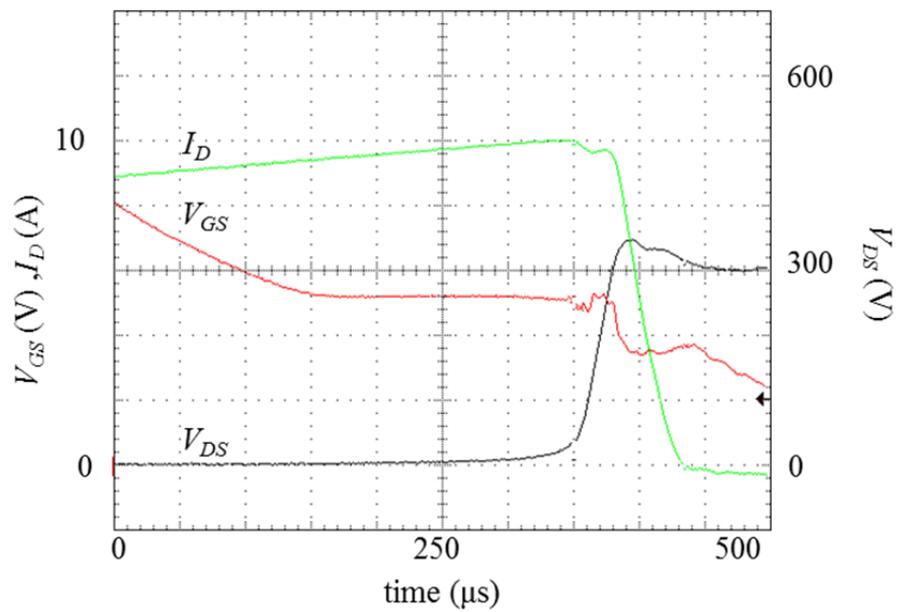


図2.19 作製したSJ-MOSFET(600V/20A/0.19Ω)のターンオフ波形

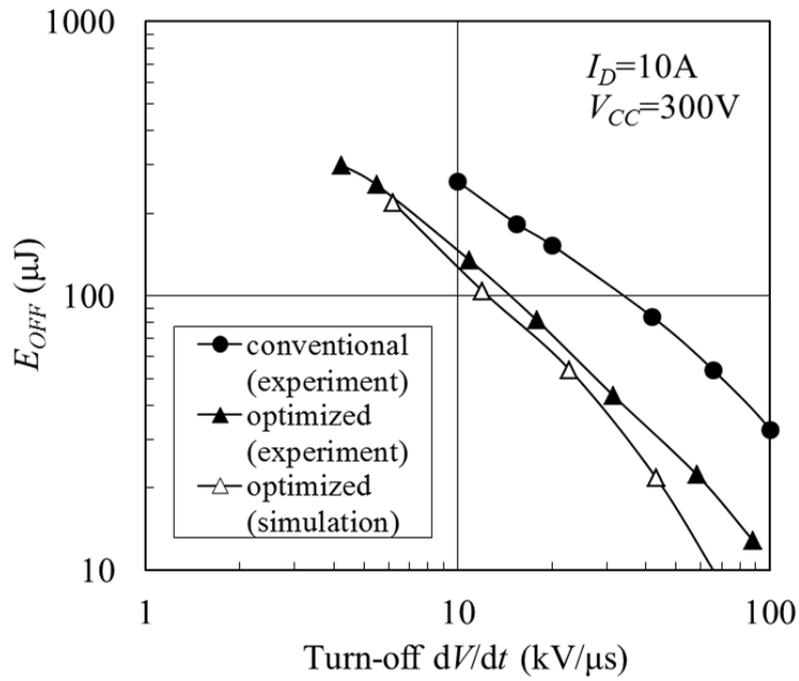


図2.20 SJ-MOSFET(600V/20A/0.19 Ω)の E_{OFF} とターンオフ dV/dt のトレードオフ比較

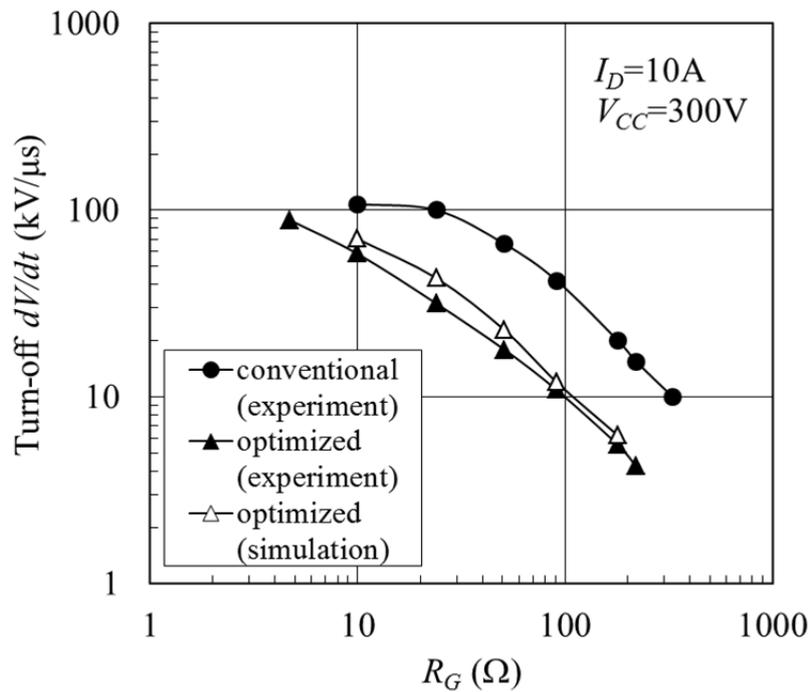


図2.21 SJ-MOSFET(600V/20A/0.19 Ω)のターンオフ dV/dt の R_G 制御性比較

次に、最適化SJ-MOSFETでの電源効率を確認するため、図2.22に示すような400W-ATX電源の力率改善(PFC)回路に、表面MOS構造の最適化を行ったSJ-MOSFETを搭載し評価を行った。使用した最適化構造のSJ-MOSFET及び従来型構造のSJ-MOSFETの定格は、いずれとも600V/20A/0.19Ωであり、 R_{ON} のtypical値は両者とも0.16Ωのサンプルを用いた。なお、400W-ATX電源の入力電圧は115V、スイッチング周波数は60kHz、出力電圧は390Vである。400W-ATX電源における最適化構造の電力損失は従来型構造に対し約23%まで低減されており、ターンオフ損失の低減が大きく貢献する結果となった。図2.23は最適化構造及び従来型構造を搭載した400W-ATX電源での電源効率を示したものである。最適化構造のSJ-MOSFET搭載時の電源効率は負荷が10%~100%の範囲で従来型構造のSJ-MOSFETより約0.5%改善される結果となった。また、最適化構造は、50%の負荷における電源効率が96%と高く、さらに負荷が20%~90%の範囲においては電源効率が95%以上であった。これは、「80 PLUS」の認証を満たす結果であり、電力変換器の電力効率の改善に貢献できる特性である[2.7]。



Input voltage : 115V
 Switching frequency : 60Hz
 Output voltage : 390V

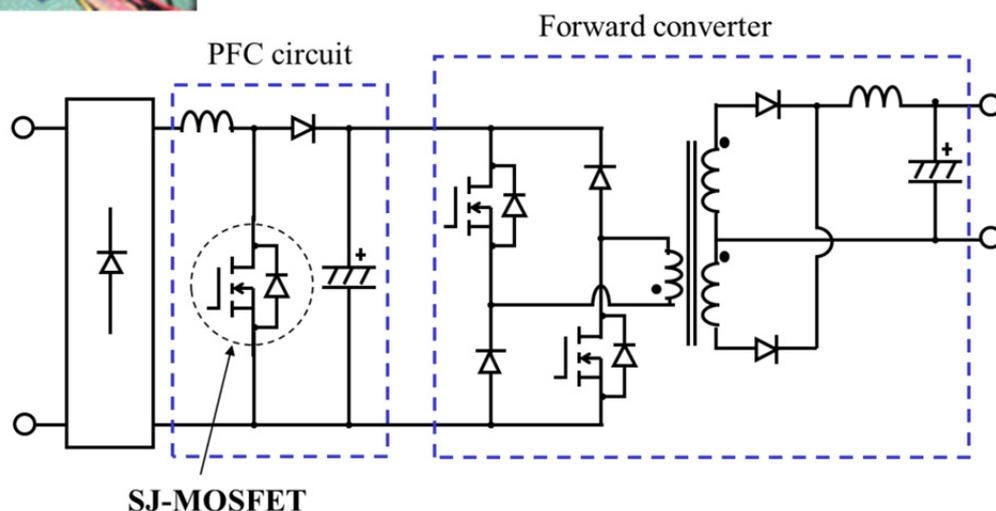


図2.22 実機評価に用いた400W-ATX電源の回路図

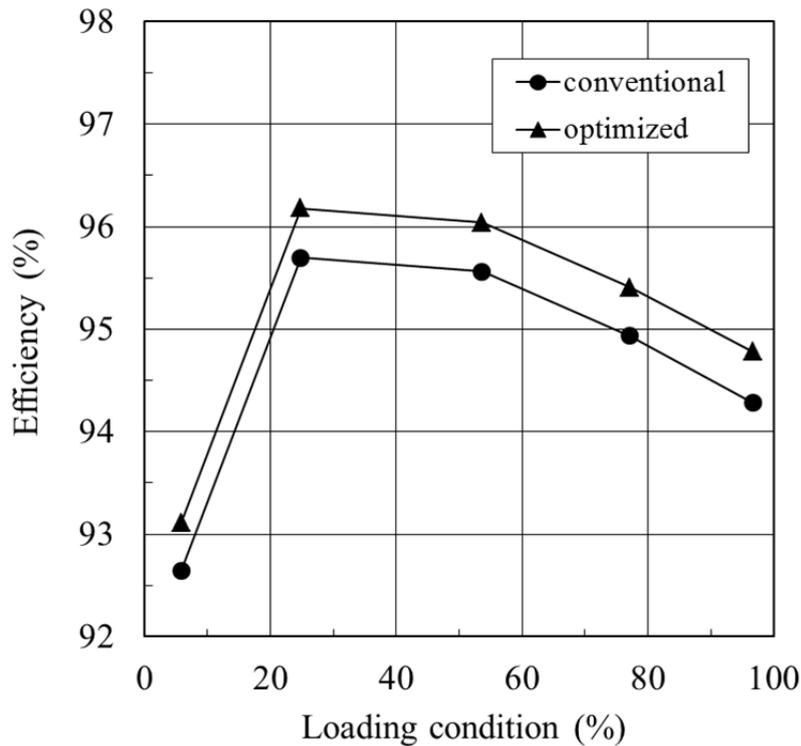


図2.23 最適化構造と従来型構造を搭載した400W-ATX電源での効率比較

2.4 まとめ

トレンチゲート構造とストライプ型の SJ 構造とが平行な SJ-MOSFET と直交な SJ-MOSFET の数値解析を行い、その理論限界を試算した。数値解析の理論値は、シミュレーションとよい一致を示し、数値解析の妥当性を示した。SJ 構造が同じ設計ルールで製造される場合、トレンチゲートのセルピッチを SJ ピッチの 1/2 以下にすることで直交型トレンチゲート SJ-MOSFET の $R_{ON}A$ を平行型より小さくできることを明らかにした。また、高耐圧クラスより低耐圧クラスの方が効果は大きく、今後シリコンリミットを大幅に超える $R_{ON}A$ の低減が期待される。

ターンオフ損失の低減に関しては、MOS構造の最適化により、 E_{OFF} とターンオフ dV/dt のトレードオフを改善し、デバイスの低損失化を図った。 C_{GD} を増加させ、かつ V_{TH} を低く抑えることにより、 E_{OFF} とターンオフ dV/dt のトレードオフが改善されることをシミュレーション及び試作サンプルで検証した。ターンオフ dV/dt の値が10kV/ μ sにおいて、試作した最適化構造のターンオフ損失は160 μ J/pulseであり、従来型構造の E_{OFF} に対し約40%改善することに成功した。また、400W-ATX電源の力率改善回路に、本最適化構造のSJ-MOSFETを搭載して電源効率の評価を行った結果、電源効率は負荷が10%~100%

の範囲で従来型構造のSJ-MOSFETに対し約0.5%改善し、負荷が20%~90%の範囲においては95%以上の電源効率を達成した。

縦型SJ-MOSFETの低損失化は、 $R_{ON}A$ 及びスイッチング損失の低減の両者で進められていくことが予想される。原理的には少なくとも1/10~1/100までは可能な $R_{ON}A$ の低減を考えると、現状の $R_{ON}A$ は1/7程度までしか低減されておらず、更なる低 $R_{ON}A$ 化に十分な余地が残されていると考える。

参考文献

- [2.1] T. Fujihira, "Theory of Semiconductor Superjunction Devices," Jpn. J. Appl. Phys. 36, p. 6254, 1997.
- [2.2] P. L. Hower, T. M. S. Heng and C. Huang, "Optimum design of power MOSFETS," Int. Electron Device Meet. Tech. Dig., p. 87, 1983.
- [2.3] C. Hu, "A Parametric Study of Power MOSFETs," Proc. Power Electronics Specialist Conf., p. 385, 1979.
- [2.4] D. Hoyniak and E. Nowak, "Channel electron mobility dependence on lateral electric field in field-effect transistors," J. Appl. Phys. 87[2], p. 876, 2000.
- [2.5] T. Tamura, M. Sawada, Y. Onishi, S. Watanabe, T. Shimatou, and T. Kobayashi, "A Low Switching Loss Superjunction MOSFET (Super J-MOS) by Optimizing Surface Design," Proc. Power Conversion Intelligent Motion Asia, p. 102, 2011.
- [2.6] B. J. Baliga : Modern Power Devices, John Wiley & Sons, Inc., p. 305, 1987.
- [2.7] ECOS Consulting : <http://www.80plus.org>

第 3 章

横型 SJ-MOSFET の低損失化

第3章 横型 SJ-MOSFET の低損失化

3.1 はじめに

パワーIC は、信号処理を行う機能と、負荷に電力を供給する出力機能を兼ね備えたデバイスであり、大きくは IC 領域と横型パワーデバイス領域から構成される。特に、出力段の横型パワーデバイスは比較的大きな電力を処理するため低損失化が求められている。また、横型パワーデバイスはパワーIC の主要面積を占めるため小型化の要求も強い。横型 SJ-MOSFET においても、低オン抵抗($R_{ON}A$)化に向け、トレンチゲートを用いた構造が提案され、シミュレーションではあるがシリコンリミットを超える特性が報告されている。しかし、提案されているトレンチゲート構造は、いずれも深いチャネル領域 (p ベース領域) を必要とし、実デバイスとして製造するには難しい構造であった。3.2 節では、プレーナーゲート構造において SJ 厚を深くしても $R_{ON}A$ の低減が困難であることをデバイスシミュレーションで明らかにし、 $R_{ON}A$ の低減にトレンチゲートが有効であることを示す。続いて、3.3 節で横型 SJ-MOSFET の低損失化として、従来プロセスで製造できることを前提に $R_{ON}A$ の低減を可能とする構造を提案する。検討する構造は通常のプレーナーゲート構造にトレンチゲートを集積した構造であり、シリコンリミットを超える特性が期待される。

3.2 従来型プレーナーゲート SJ-LDMOSFET

図 1.12 に示すように、電流を流す方向に対し垂直となる面にソースとドレインを備え、ソース側は Schottky 接合、ドレイン側はオーミック接合を取る理想的な横型 SJ 構造のドリフト層のオン抵抗は、参考文献[3.3]より、(3.1)式で表される。

$$R_D \cdot A = 4.08 \times 10^{-6} \cdot T_{SJ}^{-1} \cdot d^{\frac{17}{12}} \cdot V_B^2 \quad (3.1)$$

ここで、 d は n 型領域および p 型領域の幅、 T_{SJ} は SJ 厚、 V_B は耐圧を示す。(3.1)式に示されるように $R_D \cdot A$ は d の 17/12 乗及び T_{SJ} の -1 乗、 V_B の 2 乗に比例して低減される。一般に、SJ ピッチに関しては、製造工程のプロセスデザインルールによって制限されるが、 T_{SJ} はエピ厚もしくは SOI の厚膜化が可能であることから、厚膜化による $R_D \cdot A$ の低減が期待される。そこで、図 3.1 に示す従来型プレーナーゲート横型 SJ-MOSFET(SJ-LDMOSFET)にて、 T_{SJ} をパラメータにシミュレーションを行った。なお、図 3.1 において、 L_{SJ} は SJ 長、 N_D と N_A は SJ 構造の n 型、p 型領域の不純物濃度、 T_{OX}

はゲート酸化膜厚、 L_{CH} はチャネル長、 L_{ACC} は蓄積層長を示す。シミュレーションでは、80VクラスのプレーナゲートSJ-LDMOSFETとして、次の寸法、不純物濃度を用いた。 $d=0.5\mu\text{m}$ 、 $L_{SJ}=3.5\mu\text{m}$ 、 $N_D=7\times 10^{16}\text{cm}^{-3}$ 、 $T_{OX}=20\text{nm}$ 、 $L_{CH}=0.5\mu\text{m}$ 、 $T_{SJ}=2\sim 4\mu\text{m}$ 、 $\text{BOX}=1\mu\text{m}$ 、p基板不純物濃度 $=1\times 10^{14}\text{cm}^{-3}$ 。不純物濃度は、解析を簡単するためにコンスタントプロファイルを用いている。図3.2に各 T_{SJ} に対する $V_{GS}=5\text{V}$ 、 $J_D=100\text{Acm}^{-2}$ での $R_{ON}\cdot A$ の抵抗成分分布を示す。なお、 V_{TH} はいずれも1.3V前後である。 $R_{CH}\cdot A$ はチャネルが表面に形成されており、チャネル幅が一定であることから、SJ厚に関係なく一定である。一方、 $R_D\cdot A$ は(3.1)式とは異なり、 T_{SJ} が深くなってもほとんど低減していない。この原因を明らかにするために、 $T_{SJ}=4\mu\text{m}$ でのプレーナゲートSJ-LDMOSFETのオン状態における電子電流密度分布を調べた。その結果を図3.3に示す。プレーナゲート構造では、電子電流は電流経路の短いドリフト層の表面側に集中して流れており、深さ方向にはほとんど流れていない。そのため、 T_{SJ} を深くしても電子電流が流れる領域が制限されるため、 $R_D\cdot A$ はほとんど変わらないことになる[3.1]。従って、プレーナゲート型構造では、SJ構造によってn型領域の不純物濃度を高めることが出来ても、 T_{SJ} に対しては $R_D\cdot A$ の低減効果を得ることは難しいと言わざるを得ない。ドリフト層の深さ方向を有効に活用するためには深さ方向に電子電流の供給源を作る必要がある。

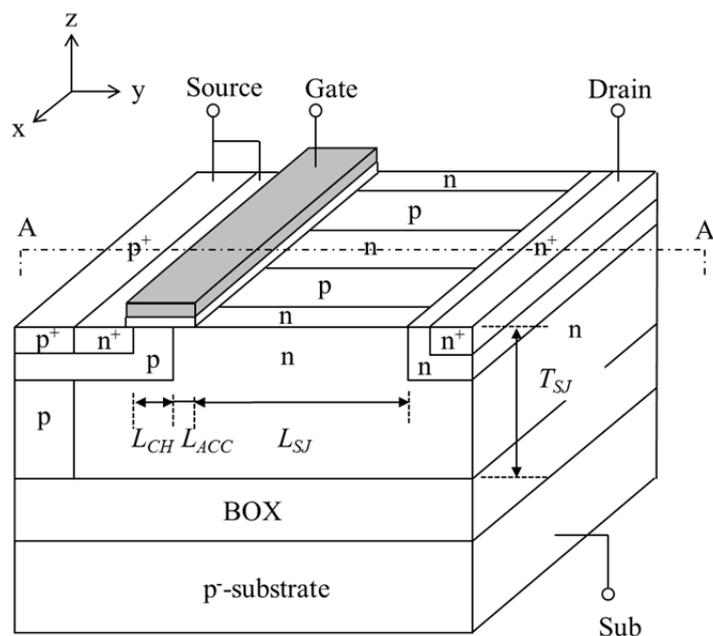


図 3.1 従来型プレーナゲート SJ-LDMOSFET 構造

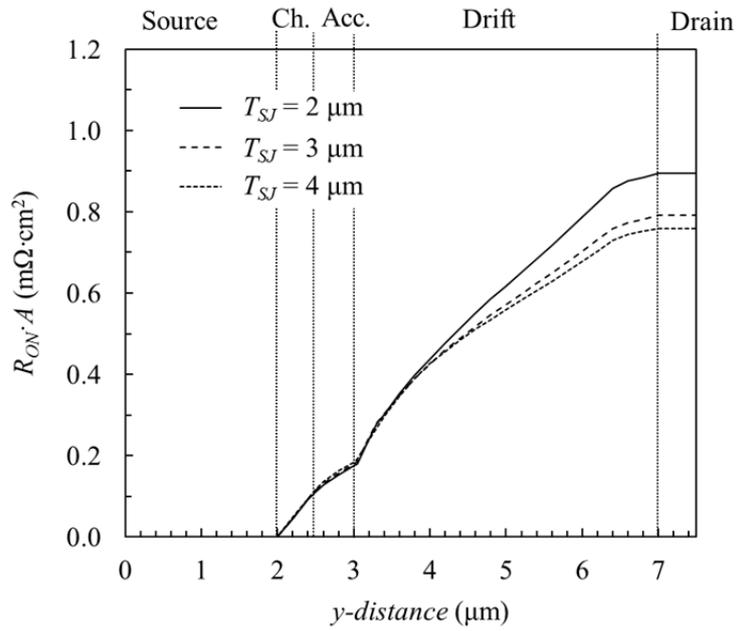


図 3.2 従来型プレーナゲート SJ-LDMOSFET のオン抵抗成分分布

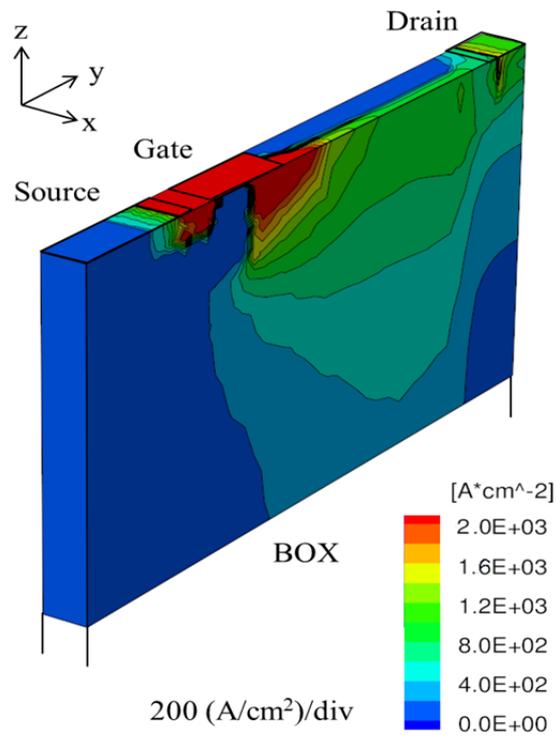


図 3.3 従来型プレーナゲート SJ-LDMOSFET のオン状態での電子電流密度分布

3.3 トレンチゲートインテグレートッド SJ-LDMOSFET

図 3.4 にトレンチゲートインテグレートッド SJ-LDMOSFET を示す。トレンチゲートインテグレートッド SJ-LDMOSFET 構造は、図 3.1 の従来型プレーナゲート SJ-LDMOSFET 構造にトレンチゲートを集積した構造である。トレンチゲートは浅い p 型チャンネル領域を貫通し、BOX まで到達するように SJ 構造の n 型領域内に形成される。本構造のコンセプトはプレーナゲート構造をベースにトレンチゲートの蓄積層を電子電流の供給源として活用し、 $R_D \cdot A$ の低減を図ろうとしたところにある。トレンチゲートの幅は $0.3\mu\text{m}$ 、ゲート酸化膜厚 T_{OX} 、チャンネル長 L_{CH} はプレーナゲート部と同じ 30nm 、 $0.5\mu\text{m}$ をとる。なお、トレンチ部以外の各部の寸法、不純物濃度は図 3.1 のプレーナゲート SJ-LDMOSFET と同じである。

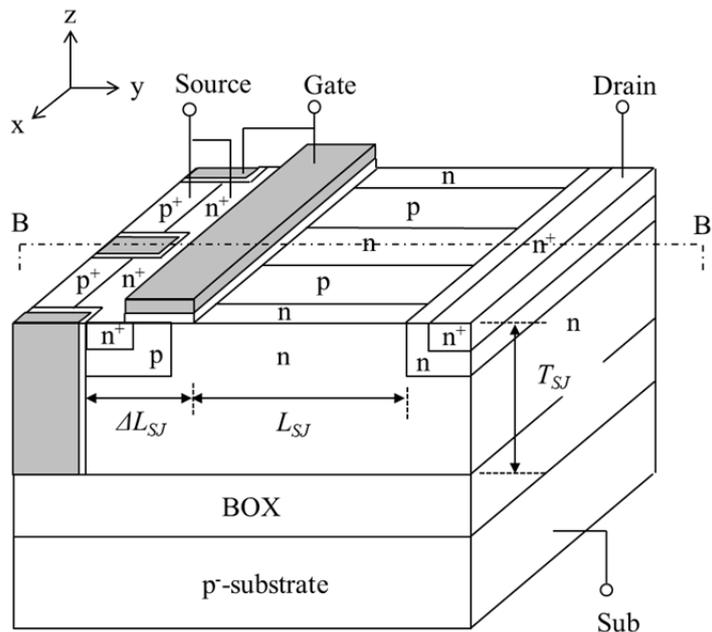


図 3.4 トレンチゲートインテグレートッド SJ-LDMOSFET 構造

3.4 シミュレーションによる低オン抵抗化の検証

まず、トレンチゲートインテグレートッド SJ-LDMOSFET で V_B が確保できることを確認するために、 V_B とチャージバランス条件を計算した。図 3.5 は n 型領域の不純物濃度をプレーナゲート SJ-LDMOSFET と同じ $6 \times 10^{16} \text{cm}^{-3}$ とし、p 型不純物濃度とのチャージインバランスに対する V_B の関係を示したものである。 T_{SJ} をパラメータとしているが、 T_{SJ} が大きくなるに従い、 V_B が最大となるチャージバランス条件が $(N_A - N_D)/N_D = -10\%$ から 0% にシフトしていることがわかる。これは、基板アシスト効果によるものであり、

基板の不純物濃度がBOXを介しSJ構造のチャージバランスに影響を与えていることを示唆する[3.4]。なお、トレンチゲートインテグレートッドSJ-LDMOSFET構造では、基板アシスト効果を緩和するためにドレイン側にn型バッファ層を入れている。その効果もあり、チャージバランス条件はnリッチ側にシフトしているものの、いずれも100Vに近い V_B を確保できている。図3.6に $T_{SJ}=4\mu\text{m}$ で V_B が最大となるチャージバランス条件でのポテンシャル分布を示す。SJ構造内をポテンシャルが均一に分布しており、理想に近いポテンシャル分布になっていることが確認できる。

次に、先に求めた T_{SJ} が2~4 μm におけるチャージバランス条件において、トレンチゲートインテグレートッドSJ-LDMOSFETのオン状態のオン抵抗分布を調べた。その結果を図3.7に示す。 $R_{ON}\cdot A$ の T_{SJ} 依存性はプレーナーゲートSJ-LDMOSFETと異なり、 T_{SJ} が深くなるに従い低減している。 $R_D\cdot A$ の低減効果を確認するために、トレンチゲートインテグレートッドSJ-LDMOSFETの T_{SJ} が4 μm におけるオン状態の電子電流密度分布を図3.8に示す。トレンチゲートインテグレートッドSJ-LDMOSFETの電子電流密度分布は、ドリフト層の深さ方向にも電子電流が流れていることを示している。これは、トレンチゲートの電子電流が蓄積層を介して深さ方向に電子電流を供給しているおかげであり、深いチャンネル領域(pベース領域)が形成されていなくとも良いことを表している。また、トレンチゲートはチャンネル幅、蓄積層幅を増やすことから、 $R_{CH}\cdot A$ 、 $R_{ACC}\cdot A$ も低減する効果がある。

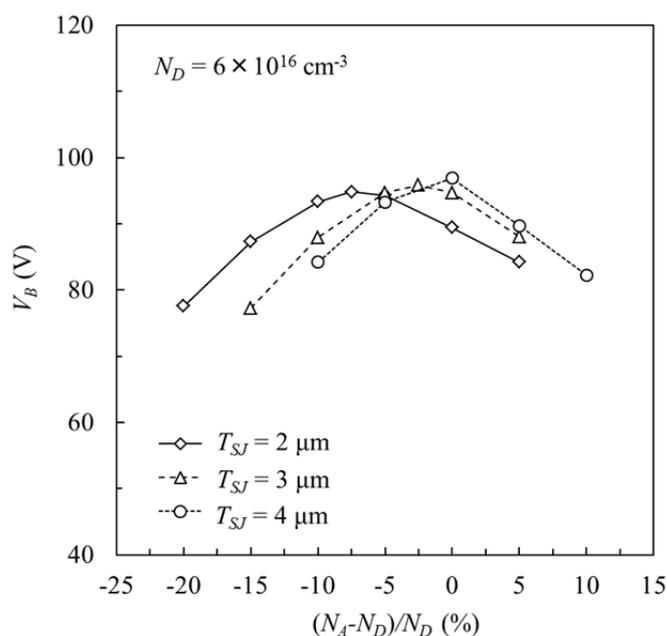


図 3.5 V_B とチャージバランス $[(N_A - N_D) / N_D]$ との関係 ($T_{SJ}=2\sim 4\mu\text{m}$)

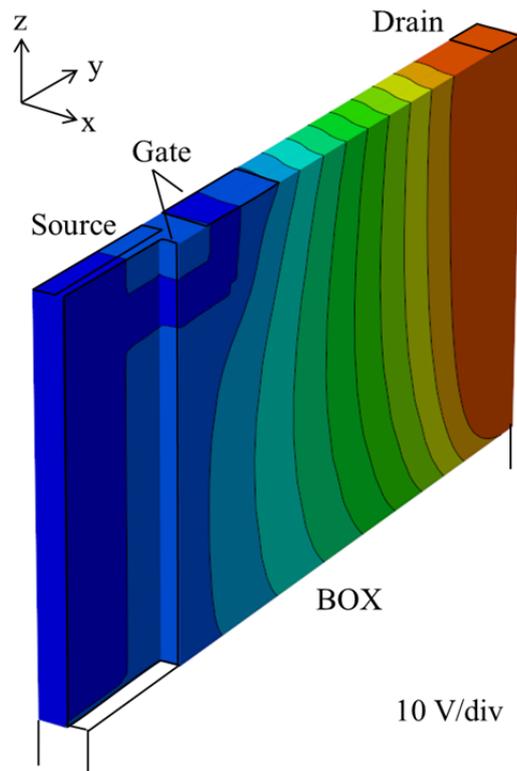


図 3.6 チャージバランスにおけるオフ状態の等電位線分布($N_D=6 \times 10^{16} \text{cm}^{-3}$, $T_{SJ}=4 \mu\text{m}$)

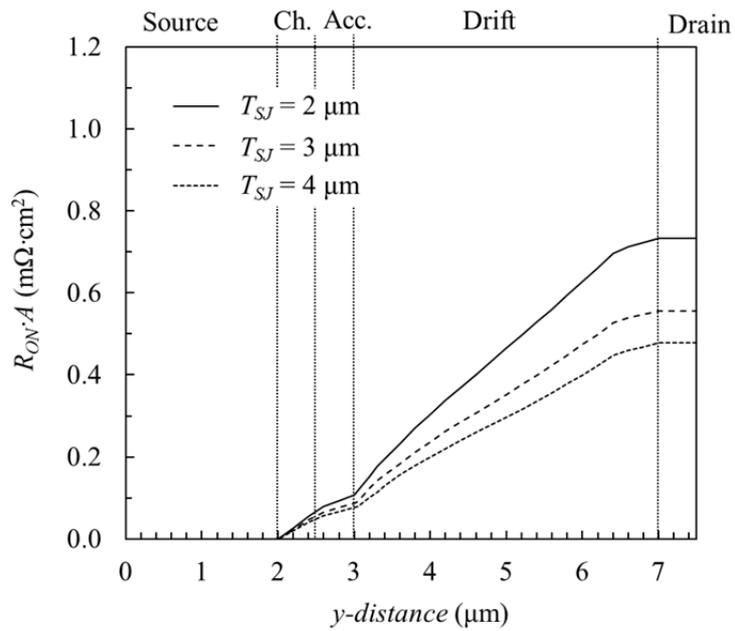


図 3.7 トレンチゲートインテグレートッド SJ-LDMOSFET のオン抵抗成分分布

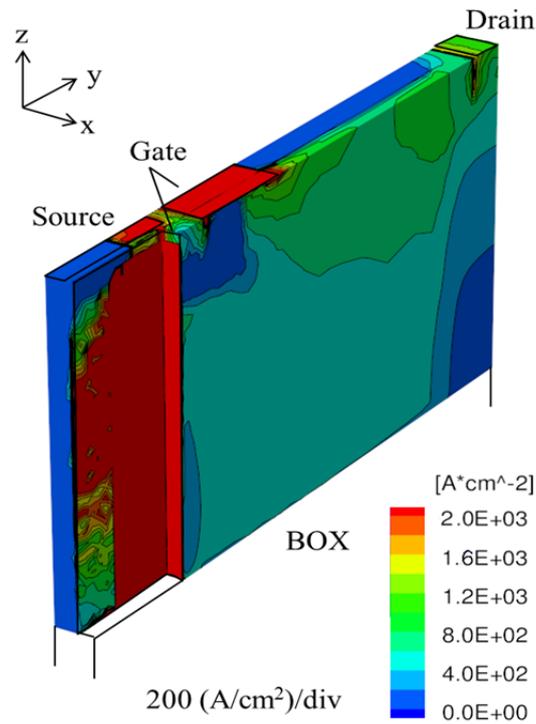


図 3.8 トレンチインテグレートド SJ-MOSFET のオン状態での電子電流密度分布

図 3.9 に T_{SJ} が $2\sim 4\mu\text{m}$ のトレンチゲートインテグレートド SJ-LDMOSFET と T_{SJ} が $4\mu\text{m}$ のプレーナゲート SJ-LDMOSFET の V_B と $R_{ON}A$ のトレードオフを示す。参考までに BCD プロセスで形成された実デバイスの報告結果と、これまでに発表されているトレンチゲート SJ-LDMOSFET のシミュレーション結果もあわせて記載した[3.1, 3.2, 3.5, 3.6]。トレンチゲートインテグレートド SJ-LDMOSFET は、 T_{SJ} が $4\mu\text{m}$ の場合に $V_B=97\text{V}$ 、 $R_{ON}A=0.47\text{m}\Omega\cdot\text{cm}^2$ となり、シリコンリミットを超える性能を達成している。これは、これまで報告されているトレンチゲート SJ-LDMOSFET のシミュレーション結果と同等レベルにある。

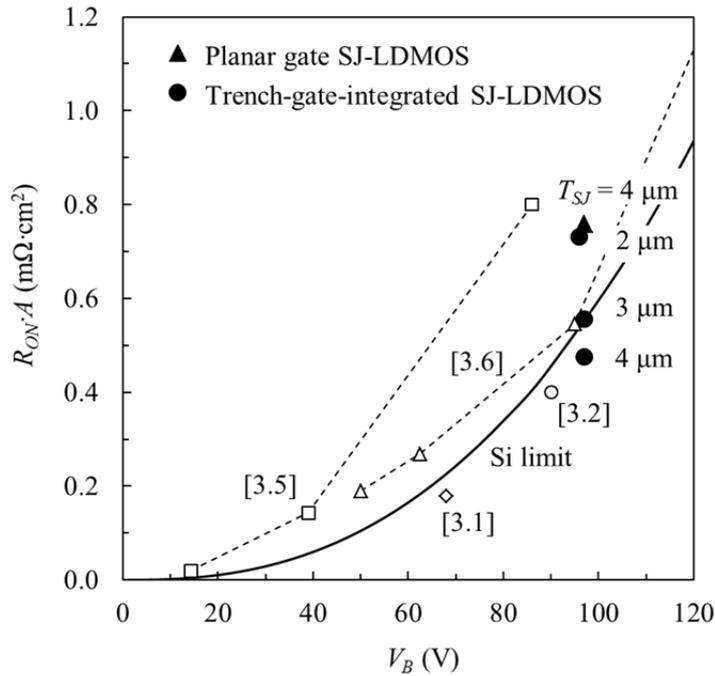


図 3.9 V_B と $R_{ON} \cdot A$ の関係

トレンチゲートインテグレートド SJ-LDMOSFET のトレンチゲートによる $R_{ON} \cdot A$ 低減効果を定量的に解析するために、プレーナゲート部とトレンチゲート部の抵抗分担をシミュレーションで計算した。抵抗分担が試算できるように、シミュレーションでは n^+ ソース領域をトレンチゲート部とプレーナゲート部とに分割し、各 n^+ ソースコンタクト領域より配線でソースに接続させた図 3.10 に示す構造を用いた。また、トレンチゲート部とプレーナゲート部の電流は各コンタクト領域より抽出し、オン抵抗はドレイン-ソース間電圧とトレンチゲート部とプレーナゲート部を流れる電流より算出している。プレーナゲート部の電子電流 (I_{Planar}) は表面側のチャネルを介してドリフト層に流れるが、トレンチゲート (I_{Trench}) の電子電流はチャネルを介し、蓄積層を深さ方向に流れ、蓄積層からドリフト層に流入することになる。図 3.11 にシミュレーションから試算したトレンチゲート部とプレーナゲート部の $R_{ON} \cdot A$ と T_{SJ} の関係を示す。 T_{SJ} が $2\mu\text{m}$ の場合、プレーナゲート部の $R_{ON} \cdot A$ がトレンチゲートの $R_{ON} \cdot A$ より小さいことから、電子電流はプレーナゲート側を主に流れていることになる。これは、トレンチゲート部におけるドリフト長の増分 (ΔL_{SJ}) がトレンチゲート部を流れる電子電流を低減させてしまっているためと考えられる。なお、 T_{SJ} が $2\mu\text{m}$ の従来型プレーナゲート SJ-LDMOSFET の $R_{ON} \cdot A$ に比べると、トレンチゲートインテグレートド

SJ-LDMOSFETの方が小さくなっていることから、トレンチゲートによる $R_{ON}A$ 低減効果はあるといえる。一方、 T_{SJ} が $4\mu\text{m}$ の場合、トレンチゲート部の $R_{ON}A$ がプレーナー部より小さくなっていることから、電子電流はトレンチゲート側を主に流れていることになる。このように、 T_{SJ} が深い場合にトレンチゲートによるドリフト層の深さ方向への電子供給効果が高くなるといえる。また、 T_{SJ} が深くなるに従い、プレーナー部の $R_{ON}A$ は飽和傾向にあるが、トレンチ部の $R_{ON}A$ は低減し続け、トータルの（トレンチゲート部とプレーナーゲート部を並列接続で試算した） $R_{ON}A$ に近づいている。これは、 T_{SJ} が深い場合には、トータルの $R_{ON}A$ はトレンチゲート部の $R_{ON}A$ でほとんど決定されることを示唆している。

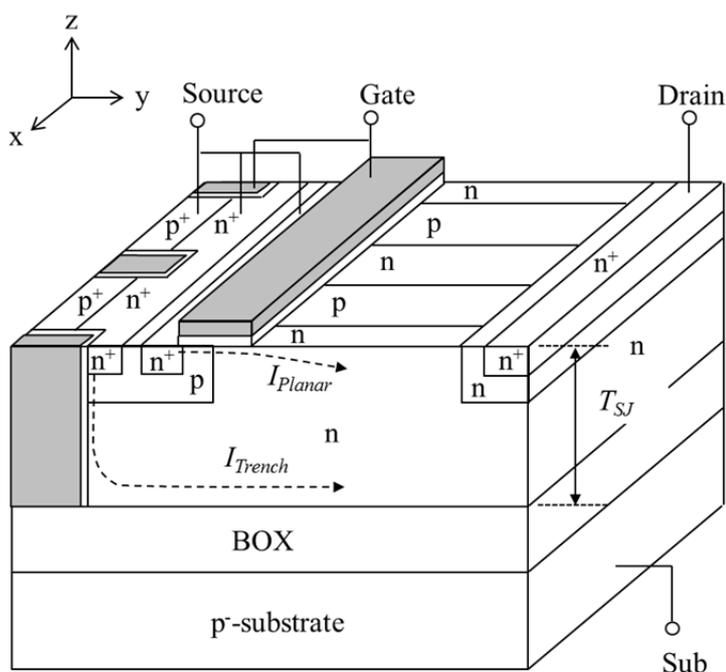


図 3.10 $R_{ON}A$ 分担調査に用いたトレンチゲートインテグレートッド SJ-LDMOSFET

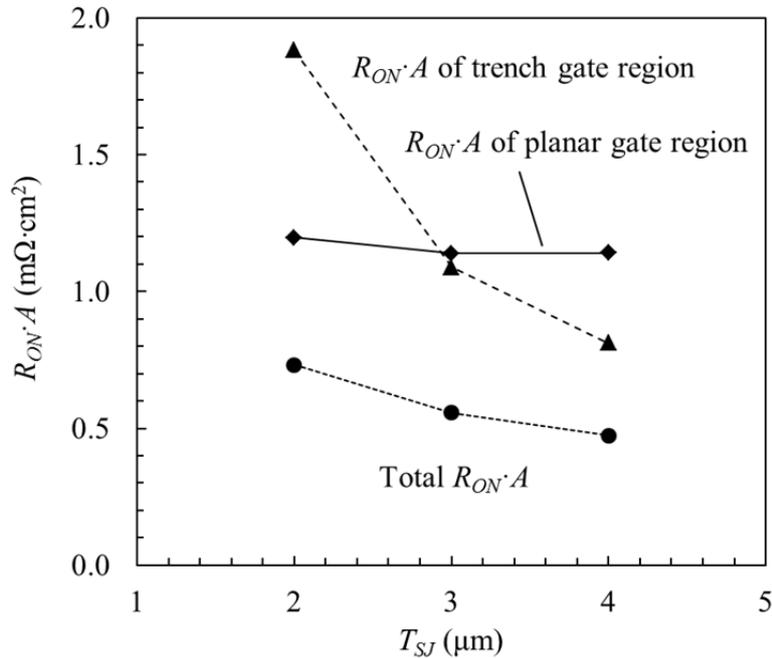


図 3.11 トレンチゲート、プレーナーゲート部における $R_{ON} \cdot A$ の T_{SJ} 依存性

上述したように、トレンチゲートにより電子電流の一部がプレーナーゲート部からトレンチゲート部に流れることになる。そのため、プレーナーゲート部の電流が少なくなり、プレーナーゲート側の抵抗は高くなるが、トレンチゲート部に流れる電流により電流経路が増えることになり、トータルの $R_{ON} \cdot A$ は低減される。これは、電流経路として活用されていなかった深さ方向のドリフト領域を活用すること、すなわち電子電流の流れる断面積を増やすということに相当する。言い換えると、当初のコンセプト通りトレンチゲートの蓄積層がドリフト層の深さ方向での電子電流の供給源となり、ドリフト層の電子電流密度を均一に近づけようと作用しているからである。また、理論式である (3.1) 式は、電子電流密度が深さ方向で均一な場合を仮定しており、 T_{SJ} が深くなるに従い電流の流れる断面積が増えることから $R_{ON} \cdot A$ が低減される。プレーナーゲート SJ-LDMOSFET の場合、電子電流は表面側に集中するため、(3.1) 式と合致しないことになる。一方、トレンチゲートインテグレートッド SJ-LDMOSFET では、電子電流を深さ方向にある程度の電流密度で流すことができるため、(3.1) 式に近づくことになる。

従来型プレーナーゲート SJ-LDMOSFET に対するトレンチゲートインテグレートッド SJ-LDMOSFET の $R_{ON} \cdot A$ 低減度合いを定量比較するために、 $T_{SJ}=4\mu\text{m}$ での抵抗成分比較を行った。その結果を表 3.1 に示す。なお、チャージバランス状態での従来型プレー

プレーナーゲート SJ-LDMOSFET とトレンチゲートインテグレートッド SJ-LDMOSFET の V_B は、それぞれ 96V と 97V であり、ほぼ同等の値である。トレンチゲートインテグレートッド SJ-LDMOSFET の $R_D \cdot A$ 、 $R_{CH} \cdot A$ 、 $R_{ACC} \cdot A$ は、プレーナーゲート SJ-LDMOSFET に対し、いずれも 69%、41%、44%まで低減されており、トレンチゲートの効果が表れている。なお、 $R_{CH} \cdot A$ 、 $R_{ACC} \cdot A$ の低減率が $R_D \cdot A$ より大きい、 $R_{ON} \cdot A$ に対する $R_D \cdot A$ 成分の占有率が高いため、 $R_{ON} \cdot A$ の低減率は概ね $R_D \cdot A$ の低減率で決定される。

最後に提案構造の製造方法について検討する。トレンチゲートインテグレートッド SJ-LDMOSFET の製造上のメリットは、製造が容易というところにある。図 3.12 に CMOS 標準プロセスとトレンチインテグレートッド SJ-LDMOSFET を製造するためのオプションプロセスとの関係を示す。トレンチインテグレートッド SJ-LDMOSFET は、CMOS 標準プロセスに SJ 構造形成プロセスとトレンチ形成プロセスを追加しただけで作製することができる。特に SJ 構造形成プロセスを有する標準 CMOS プロセスに対しては、トレンチ形成プロセスを追加するだけなので、プロセスの負荷が小さい。特に、深いチャネル形成を必要としないので、ウェルイオン注入やサーマルバジェットの変更も必要としない。図 3.13 に具体的なトレンチインテグレートッド SJ-LDMOSFET のプロセスフロー案を提示する。形成するトレンチは特異な形状ではないので、犠牲酸化などでトレンチのダメージ層を除去後、ゲート酸化膜を横 MOS と同時に形成すればよい。その後、トレンチを Poly-Si で埋め込み、エッチバックで不要部分を除去すれば、通常のプレーナー-LDMOSFET と同じ工程で作製することが可能となる。なお、通常のプレーナー-LDMOSFET へのトレンチゲート構造の集積化は既に行われており、トレンチゲートの集積化は特別なことではない[3.7]。

表 3.1 $T_{SJ}=4\mu\text{m}$ における 80V クラスプレーナーゲート SJ-LDMOSFET とトレンチゲートインテグレートッド SJ-LDMOSFET の抵抗成分比較。各括弧内の値は $R_{ON} \cdot A$ に対する比率を示す。

	Planar gate SJ-LDMOSFET	Trench gate integrated SJ-LDMOSFET	Ratio
$R_{CH} \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	0.13 [17%]	0.05 [11%]	0.41
$R_{ACC} \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	0.06 [7%]	0.02 [5%]	0.43
$R_D \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	0.57 [76%]	0.40 [84%]	0.69
$R_{ON} \cdot A$ ($\text{m}\Omega \cdot \text{cm}^2$)	0.76 [100%]	0.47 [100%]	0.63

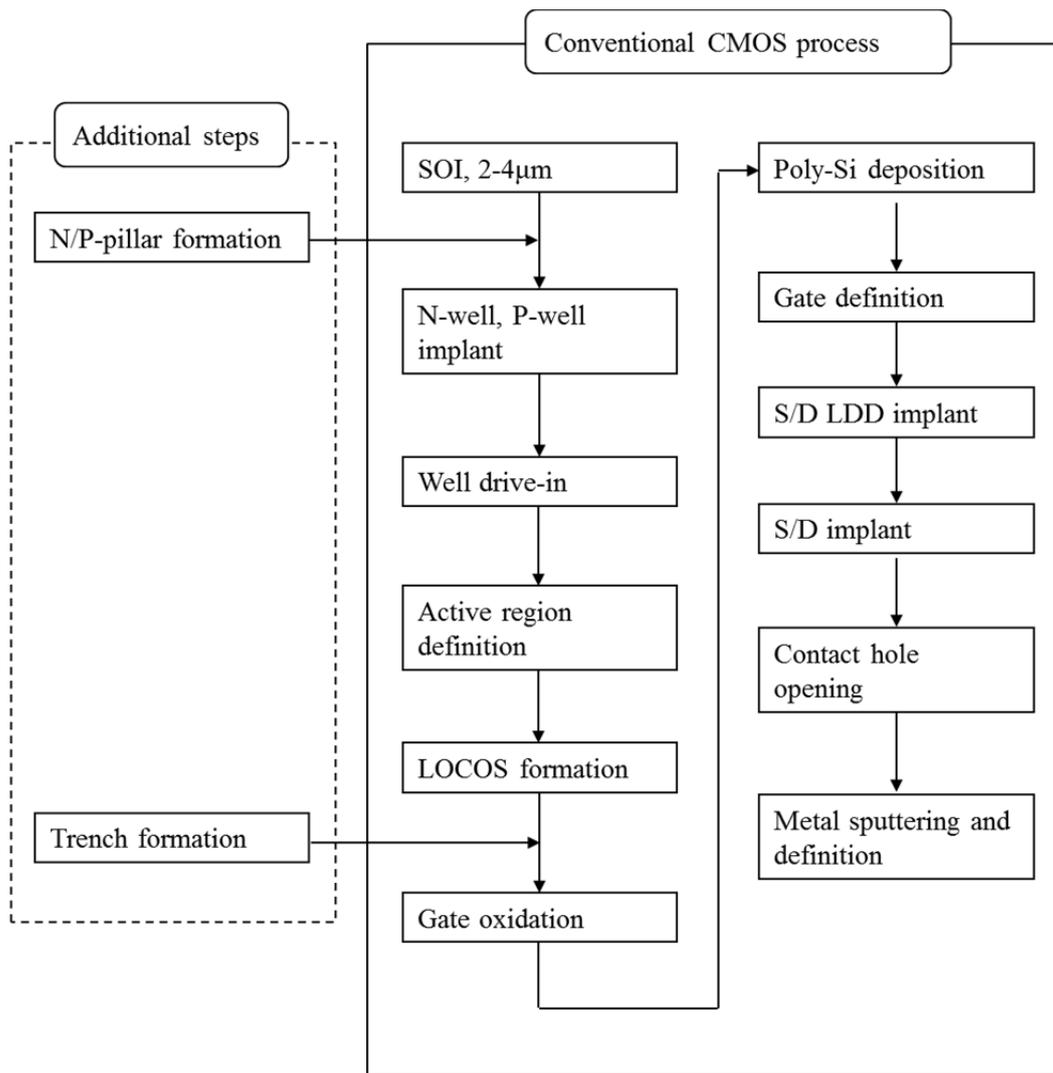
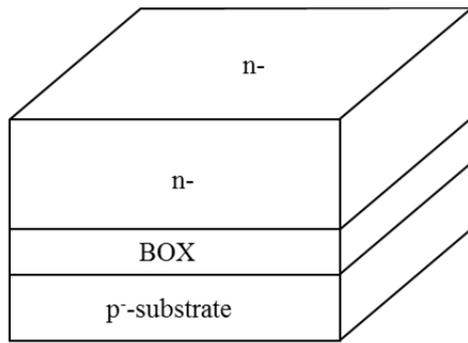
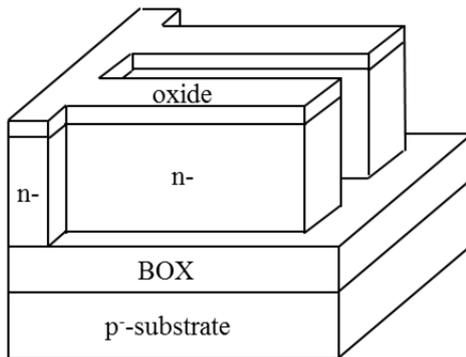


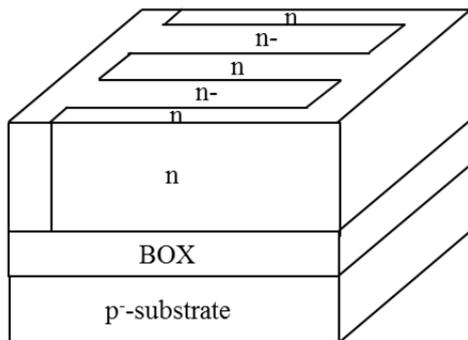
図3.12 CMOS標準プロセスとトレンチインテグレートッドSJ-LDMOSFETを製造するためのオプションプロセスとの関係



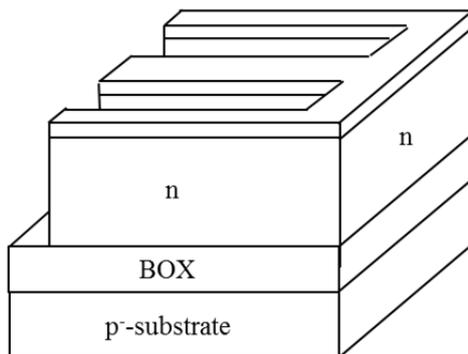
- Starting material
(n-type SOI wafer: 3um)



- Mask oxide
- n-type pillar definition
- Oxide etching: RIE
[Reactive ion etching]
- Si etching: RIE

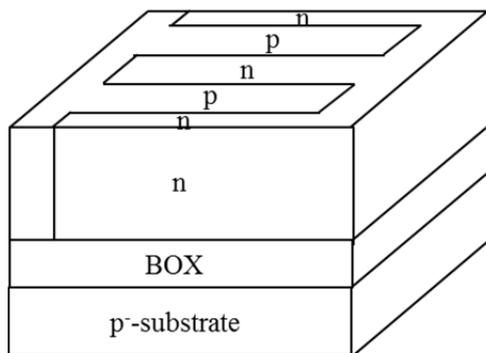


- n-type epitaxial growth
- Oxide removal
- CMP
[Chemical mechanical polishing]

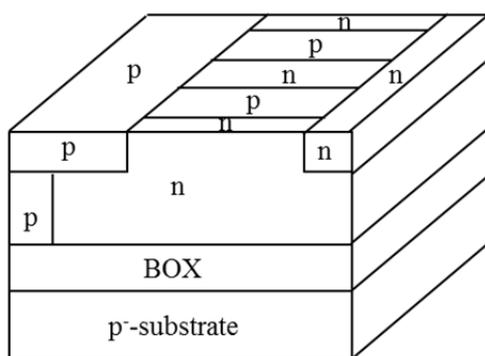


- Mask oxide
- p-type pillar definition
- Oxide etching: RIE
- Si etching: RIE

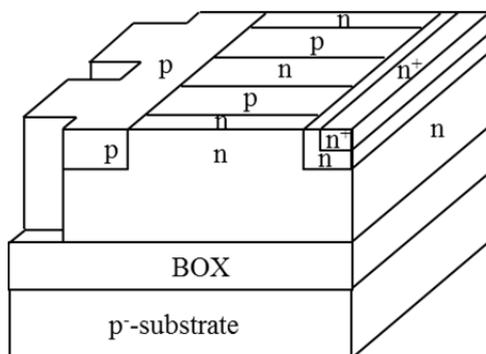
図 3.13 トレンチインテグレートッド SJ-LDMOSFET のプロセスフロー案(1/3)



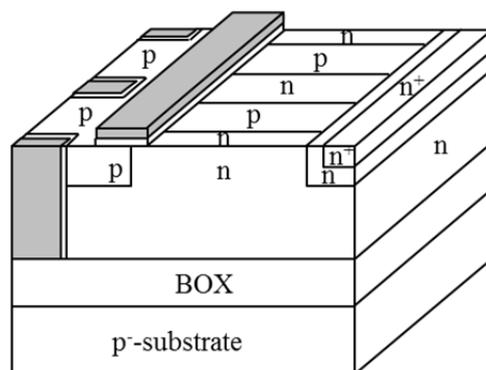
- p-type epitaxial growth
- Oxide removal
- CMP



- N-well definition
- P⁺ ion-implantation
- Photoresist removal
- P-well definition
- B⁺ ion-implantation
- Photoresist removal
- Drive-in

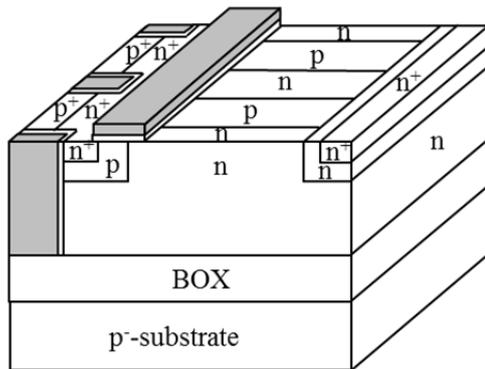


- HTO deposition
- Trench definition
- Oxide etching: RIE
- Si etching: RIE
- Oxide removal
- Soft etching
- Sacrificial oxide

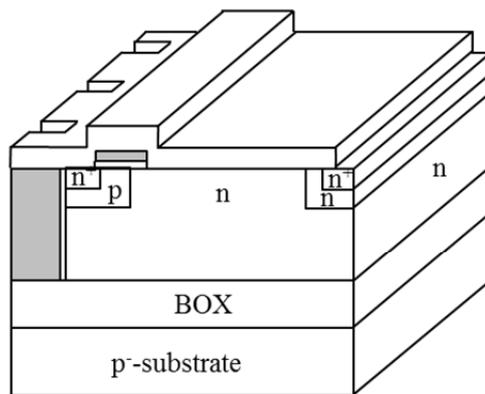


- Gate oxidation
- Poly-Si deposition
- Gate poly-Si definition

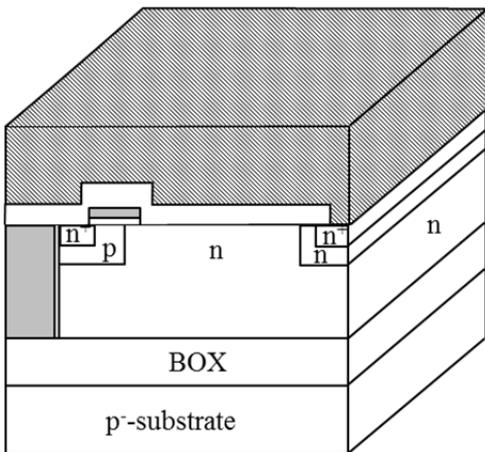
図 3.13 トレンチインテグレートッド SJ-LDMOSFET のプロセスフロー案(2/3)



- n^+ source/drain definition
- As^+ ion-implantation
- Photoresist removal
- p^+ source definition
- B^+ ion-implantation
- Photoresist removal



- BPSG deposition
- Contact hole definition
- BPSG etching



- Metal sputtering
- Metallization definition
- Dry etching

図 3.13 トレンチインテグレートッド SJ-LDMOSFET のプロセスフロー案(3/3)

3.5 まとめ

新しい低耐圧横型 SJ-MOSFET 構造を提案し、シミュレーションにおいて従来型プレーナーゲート SJ-MOSFET より大幅な $R_{ON}A$ 低減が可能なことを確認した。提案したトレンチゲートインテグレートッド SJ-LDMOSFET は、通常のプレーナーゲート構造にトレンチゲートを集積した構造であり、トレンチゲートによって $R_{CH}A$ を低減するとともに、トレンチゲートの蓄積層によりドリフト層の深さ方向に電子電流を供給し、 $R_D A$ を低減したデバイスである。トレンチゲートインテグレートッド SJ-LDMOSFET は、 T_{SJ} が厚くなるほど $R_{ON}A$ が低減され、 T_{SJ} が $4\mu\text{m}$ の場合に $V_B=97\text{V}$ 、 $R_{ON}A=0.47\text{m}\Omega\cdot\text{cm}^2$ となることをデバイスシミュレーションで確認した。この値は従来型プレーナーゲート SJ-LDMOSFET の $R_{ON}A$ より 37%低く、シリコンリミットより 14%低い値である。

また、本トレンチゲートインテグレートッド SJ-LDMOSFET は、製造が容易であることが特長であり、今後の実デバイスによる検証と更なる低損失化が期待される。

参考文献

- [3.1] Y. Onishi, H. Wang, H. P. E. Xu, W. T. Ng, R. Wu, and J. K. O. Sin, "SJ-FINFET: A New Low Voltage Lateral Superjunction MOSFET," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 111, 2008.
- [3.2] A. Yoo, Y. Onishi, E. Xu, and W. T. Ng, "Low Voltage Lateral SJ-FINFETs with Deep Trench p-Drift," Region IEEE Electron Devices Letters 30, p. 858, 2009.
- [3.3] T. Fujihira, "Theory of Semiconductor Superjunction Devices," Jpn. J. Appl. Phys. 36, p. 6254, 1997.
- [3.4] S. G. Nassif-Khalil, L. Z. Hou, and C. A. T. Salama, "SJ/RESURF LDMOST," IEEE Trans. Electron Devices 51, p. 1185, 2004.
- [3.5] H.-L. Chou, P. C. Su, J. C. W. Ng, P. L. Wang, H. T. Lu, C. J. Lee, W. J. Syue, S. Y. Yang, Y. C. Tseng, C. C. Cheng, C. W. Yao, R. S. Liou, Y. C. Jong, J. L. Tsai, J. Cai, H. C. Tuan, C.-F. Huang, and J. Gong, "0.18 μm BCD Technology Platform with Best-in-Class 6 V to 70 V Power MOSFETs," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 401, 2012.
- [3.6] H. Yang, J. Zuo, Z. Zhang, W. Min, X. Lin, X. Cheng, M.-L. Ger, P. Hui, and P. Rodriguez, "Approach to the Silicon Limit: Advanced NLD MOS in 0.13 μm SOI Technology for Automotive and Industrial Applications up to 110V," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 357, 2013.

- [3.7] Y. Toyoda, H. Katakura, T. Ooe, M. Iwaya, and H. Sumida, "60V-Class Power IC Technology for an Intelligent Power Switch with an Integrated Trench MOSFET," Proc. Int. Symp. Power Semiconductor Devices and ICs, p. 147, 2013.

第 4 章

結論

第4章 結論

本研究は、縦型及び横型 SJ-MOSFET の低損失化を目的として、縦型 SJ-MOSFET におけるオン抵抗($R_{ON}A$)の理論式、低 $R_{ON}A$ 化を可能にする条件と構造、そしてターンオフ損失を低減するための表面 MOSFET 構造のゲート長、しきい値の最適値を明らかにし、さらには横型 SJ-MOSFET では製造が可能で $R_{ON}A$ の低減が期待できる新規構造の提案を行い、シミュレーションもしくは実デバイスで検証を行った。以下に本研究の成果を要約し、本論文の結論とする。

第2章では、トレンチゲート構造とストライプ型の SJ 構造とが平行な SJ-MOSFET と直交な SJ-MOSFET の数値解析を行い、その理論限界式を算出した。数値解析の理論値は、シミュレーションとよい一致を示し、数値解析の妥当性を確認した。数値解析より、SJ 構造が同じ場合、トレンチゲートのセルピッチ(W_C)が SJ ピッチ($2 \cdot d$)の 1/2 以下であれば、直交型トレンチゲート SJ-MOSFET の $R_{ON}A$ が平行型より小さくなることを明らかにした。また、高耐圧クラスより低耐圧クラスの方が効果は大きく、今後シリコンリミットを大幅に超える $R_{ON}A$ の低減が期待される。

ターンオフ損失の低減に関しては、デバイス構造の最適化により、 E_{OFF} とターンオフ dV/dt のトレードオフ関係を改善し、SJ-MOSFET の低損失化を図った。 C_{GD} の増加と V_{TH} の低減により、 E_{OFF} とターンオフ dV/dt のトレードオフが改善されることを試作サンプルで実証した。ターンオフ dV/dt の値が $10\text{kV}/\mu\text{s}$ において、試作した最適化構造の SJ-MOSFET のターンオフ損失は $160\mu\text{J}/\text{pulse}$ であり、従来型構造に対し R_G を約 40% 低減することに成功した。また、400W-ATX 電源の力率改善回路に、本最適化 SJ-MOSFET を搭載して電源効率の評価を行った結果、負荷が 20%~90% の範囲において電源効率が 95% 以上になることを確認した。今後、本ターンオフ損失低減技術による電源（電力変換装置）の更なる高効率化を期待する。

第3章では、トレンチゲートを有する新しい低耐圧横型 SJ-MOSFET 構造を提案し、シミュレーションにて従来型プレーナゲート SJ-LDMOSFET より劇的な $R_{ON}A$ 低減が可能であることを確認した。提案したトレンチゲートインテグレートッド SJ-LDMOSFET は、トレンチゲートによって $R_{CH}A$ を低減するとともに、トレンチゲートの蓄積層によりドリフト層の深さ方向に電子を供給し、 $R_D A$ を低減したデバイスで

ある。トレンチゲートインテグレートド SJ-LDMOSFET は、 T_{SJ} が厚くなるほど $R_{ON}A$ が低減され、 T_{SJ} が $4\mu\text{m}$ の場合に耐圧(V_B)=97V、 $R_{ON}A=0.47\text{m}\Omega\cdot\text{cm}^2$ となることを確認した。この値はシリコンリミットより 14%低い値である。また、本トレンチゲートインテグレートド SJ-LDMOSFET は、製造が容易であることが特長であることから、今後は実デバイスによる検証と T_{SJ} の厚膜化による更なる低損失化を期待する。

縦型 SJ-MOSFET の低損失化は、 $R_{ON}A$ 及びスイッチング損失低減の両者で進められていくことが予想される。原理的には少なくとも 1/10~1/100 までは可能な $R_{ON}A$ の低減を考えると、現状の $R_{ON}A$ は 1/7 程度までしか低減されておらず、更なる低 $R_{ON}A$ 化に十分な余地が残されている。また、ドリフト層抵抗以外の抵抗成分の低減として、トレンチゲートの微細化も今後重要となってくる。それゆえ、さらなる低 $R_{ON}A$ 化を実現する微細加工技術と高精度な不純物量制御技術の進展に期待が寄せられる。

横型 SJ-MOSFET は如何に実用化につなげていくかが今後課題である。そのためにも実デバイスによる低損失化の実証が待たれる。

謝辞

本論文を結ぶにあたり、多くの方々のご指導、ご鞭撻を頂きまして、ここに本論文をまとめることができましたことを深く感謝致します。特に、国立大学法人信州大学大学院総合工学系研究科 橋本佳男教授には、ご親切なご教示と卓越したご指導を頂き、本論文の御査読を賜りましたことに心からの感謝の意と御礼の言葉を申し上げます。また、本論文の作成にあたり、ご指導、ご高配を賜りました国立大学法人信州大学大学院総合工学系研究科 佐藤敏郎教授、宮地幸祐准教授、番場教子准教授、上村喜一教授、阿部克也准教授、国立大学法人筑波大学大学院教理物質科学研究科 岩室憲幸教授に深く感謝の意を表します。

本研究を遂行するにあたり、終始、深いご理解とご指導、ご支援を頂きました富士電機株式会社 技術開発本部 電子デバイス研究所 次世代デバイス開発センター長 渡邊雅英博士、次世代デバイス開発センター SiC 開発部長 木村浩様に深く感謝致します。

また、本研究の機会を与えて頂くとともに推進にあたって多大なるご指導とご支援を頂きました富士電機株式会社 技術開発本部 電子デバイス研究所長 藤平龍彦博士に深く感謝致します。

本研究は 2008 年から 2015 年において行われたものであり、多くの方々のご協力を頂きました。本研究の SJ-MOSFET の開発・設計に関しまして様々な議論をさせて頂きました武井学様、澤田睦美様、田村隆博博士、島藤貴行様、渡邊荘太様、また、シミュレーションにおいて多くのご助言を頂きました山田昭二様に深く感謝致します。

最後に、本研究の遂行を温かく見守り、全面的に支えてくれた家族に心から感謝致します。

研究業績

査読付き論文

- [1] Y. Onishi and Y. Hashimoto, “Numerical analysis of specific on-resistance for trench gate superjunction MOSFETs,” Jpn. J. Appl. Phys. **54**, 024101, 2015.
- [2] Y. Onishi and Y. Hashimoto, “Trench-gate-integrated superjunction lateral double-diffused MOSFET with low specific on-resistance,” Jpn. J. Appl. Phys. **54**, 084101, 2015.

発表

- [1] T. Tamura, M. Sawada, Y. Onishi, S. Watanabe, T. Shimatou, and T. Kobayashi, “Reduction of Turn-off Loss in 600V-class Superjunction MOSFET by Surface Design,” Power Conversion Intelligent Motion Asia, p. 102, 2011.
- [2] Abraham Yoo, Yasuhiko Onishi, Edward Xu, and Wai Tung Ng, “Low Voltage Lateral SJ-FINFETs with Deep Trench p-Drift Region,” IEEE Electron Device Letters, Vol. 30, No. 8, 2009.
- [3] Y. Onishi, H. Wang, H. P. E. Xu and W. T. Ng, R. Wu and J. K. O. Sin, “SJ-FINFET: A New Low Voltage Lateral Superjunction MOSFET,” Proceedings of the International Symposium on Power Semiconductor Devices & ICs (ISPSD’08), p. 111, 2008.

特許

- [1] 大西 泰彦, 半導体装置 (出願中).
- [2] 大西 泰彦, 西村 武義, 新村 康, 井上正範. 半導体素子. 特許第 5652409 号. 2015.
- [3] 大西 泰彦, 北村 睦美, 杉 祥夫, 武井 学. 半導体装置および半導体装置の製造方法. 特許第 5652407 号. 2014.
- [4] 大西 泰彦, 藤平 龍彦. 半導体素子. 特許第 5482701 号. 2014.
- [5] 大西 泰彦, 半導体装置. 特許第 5664142 号. 2014.
- [6] 大西 泰彦, 半導体装置およびその製造方法. 特許第 5509908 号. 2014.
- [6] 大西 泰彦, 西村 武義, 新村 康, 井上正範. 半導体素子. 特許第 4967236 号. 2012.

US Patents

- [1] Y. Onishi, “semiconductor device,” U.S. Patent 8742500B2, 2014.
- [2] Y. Onishi, “semiconductor device with superjunction structure,” U.S. Patent 8735982B2, 2014.

- [3] Y. Onishi, “semiconductor device and a method of manufacturing the same,” U.S. Patent 8432013B2, 2013.
- [4] Y. Onishi, M. Kitamura, A. Sugi and M. Takei, “semiconductor device,” U.S. Patent 2013/0026560A1, 2013.
- [5] Y. Onishi, “semiconductor device with superjunction structure,” U.S. Patent 2012/0112306A1, 2012.
- [6] Y. Onishi, “semiconductor device,” U.S. Patent 2012/0098064A1, 2012.
- [7] Y. Onishi, “semiconductor device and a method of manufacturing the same,” U.S. Patent 2012/0204469A1, 2012.