

学位論文の審査結果の要旨

大西氏の学位論文では、インバータなどの電力変換装置に導通（オン）と絶縁（オフ）を切り替えるスイッチングデバイスとして使用されるトランジスタのうち、シリコン製のスーパージャンクションを設けたMOSFET (SJ-MOSFET) の低損失化を目指した理論的、実験的研究がまとめられている。電流を上下に流す縦型SJ-MOSFETと水平方向に流す横型SJ-MOSFETを検討し、それぞれ1報ずつの査読付き論文にて筆頭著者として発表した内容をまとめている。

縦型SJ-MOSFETにおいてはトランジスタを導通状態としたときの残留抵抗の面積で規格化した値（オン抵抗、 $R_{ON}\cdot A$ ）の数式的な検討による定式化を行い、動作時の損失低減につながる構造を提案した。さらにトランジスタをオフにする瞬間のエネルギー損失（ターンオフ損失、 E_{OFF} ）を低減する最適化を行った。また、この縦型デバイスについては、実デバイスで損失の軽減を実証した。

一方の横型SJ-MOSFETでは製造時のプロセスの可能性も十分検討のうえ $R_{ON}\cdot A$ の低減が期待できる新規構造の提案を行い、シミュレーションとの比較検討を行ったものである。

SJ-MOSFETは、大電流駆動用のMOSFETのドリフト層において高不純物濃度のp型領域とn型領域とを交互に繰り返し配置した構造であり、この繰り返しの間隔（SJピッチ）を狭め、不純物濃度を上げることで、導通状態のドリフト抵抗を劇的に低減するデバイスである。本申請者らは、これに対してチャンネル抵抗、蓄積層抵抗等を考慮したトレンチゲートSJ-MOSFETの $R_{ON}\cdot A$ 解析（一部既報文献の実験式を用いているが、数式を用いた理論的解析）を行い、低 $R_{ON}\cdot A$ 化に優位な構造を明確にした。すなわち、トレンチゲートのセルピッチ(W_C)がSJピッチ($2\cdot d$)の1/2以下という条件下で、直交型とすることで、トレンチゲートSJ-MOSFETの $R_{ON}\cdot A$ が小さくなることを明らかにした。

縦型SJ-MOSFETの低スイッチング損失化には、ゲートドレイン間に貯める電荷量を軽減することが有利であるが、オフに変更する際の電圧変化速度を適正值に保つとオフ時のエネルギー損失が増大してしまう問題があった。本申請者らは、これに対し構造の最適化によりデバイスの

低損失化を図り、従来構造に対し約40%低減されることを実証した。さらには、パソコン用電源（400W-ATX電源）に搭載し、電源効率が95%以上（従来より0.5%向上）になることを確認した。

本申請者らは、横型SJ-MOSFETにおいて、製造が容易であるトレンチゲートを有する新しい低耐圧横型SJ-MOSFET構造を提案し、大幅な $R_{ON,A}$ 低減が可能なことをシミュレーションで検証した。SJ厚が深くなるほど $R_{ON,A}$ が低減され、従来構造より37%低い値となった。

以上に記載の内容は、新規のモデル化を含む数式解析、実デバイスでの実証、シリコンデバイスシミュレータの信頼度などから学術的に価値の高い論文であり、シリコンパワーデバイスのさらなる発展に寄与するものである。

大西氏の学位論文ではその第1章序論において、近年研究の進むSiC等のデバイスとの比較を含め本研究のシリコンSJ-MOSFETの立ち位置を示してあり、パワーデバイスの高性能化に寄与する研究としてまとめられている。また、第2章に縦型デバイスの研究を、第3章に横型デバイスの研究をそれぞれまとめ、第4章を結論とする構成であるが、各デバイスの背景から丁寧にまとめられており、学位論文として十分な内容である。

申請学位論文は申請者を筆頭著者とする審査付原著論文（英文）2報に基づいてまとめられており、学位論文の認定基準を満たすとともに、上述の通り学術的価値も高く、パワー半導体の分野での貢献も大きく期待できる。そのため、審査委員全員一致の意見として、本論文は博士（工学）の学位論文として十分な内容であると判断した。

公表主要論文名

・ Yasuhiko Onishi and Yoshio Hashimoto, “Numerical analysis of specific on-resistance for trench gate superjunction MOSFETs,” Jpn. J. Appl. Phys. **54**, 024101, 7 pages (2015).

・ Yasuhiko Onishi and Yoshio Hashimoto, “Trench gate integrated superjunction lateral double-diffused MOSFET with low specific on-resistance,” Jpn. J. Appl. Phys. **54**, 084101, 6 pages (2015).