

氏名(本籍・生年月日) 大西泰彦(長野県 昭和44年2月2日)

学位の種類 博士(工学)

学位記番号 甲第643号

学位授与の日付 平成27年9月30日

学位授与の要件 信州大学学位規程 第5条第1項該当

学位論文題目 パワーデバイスの高性能化に関する研究

論文審査委員 主査 教授 橋本佳男 准教授 番場教子

教授 佐藤敏郎 准教授 宮地幸祐

教授 岩室憲幸(筑波大学)

## 論文内容の要旨

本研究では、インバータなどの電力変換装置にスイッチングデバイスとして使用されているシリコンSuperjunction(SJ)-MOSFETの低損失化を目的に、縦型SJ-MOSFETにおいてはオン抵抗( $R_{ON}A$ )の理論式、低 $R_{ON}A$ 化を可能にする条件と構造、そしてターンオフ損失( $E_{OFF}$ )を低減するためのデバイス構造の最適値を明らかにし、さらに横型SJ-MOSFETでは製造が可能で $R_{ON}A$ の低減が期待できる新規構造の提案を行い、シミュレーションもしくは実デバイスで検証を行った。

SJ-MOSFETは、従来パワーMOSFETのn<sup>-</sup>ドリフト層を高不純物濃度のp型領域とn型領域とを交互に繰り返し配置した構造であり、SJピッチを狭くすることによって各領域の不純物濃度を上げることができるので、ドリフト抵抗を劇的に低減することが可能となる。近年では、SJピッチの微細化のほか、トレンチゲートの適用により、縦型SJ-MOSFETの低 $R_{ON}A$ 化が進められている。しかし、チャンネル抵抗、蓄積層抵抗等を考慮したトレンチゲートSJ-MOSFETの $R_{ON}A$ 解析は行われておらず、理論的境界が明確になっていない。そこで、低 $R_{ON}A$ 化に優位な構造を明確にするために、トレンチゲート構造とSJ構造とが平行なSJ-MOSFETと直交なSJ-MOSFETの数値解析を行い、その理論限界式を算出し、シミュレーションにて検証を行った。数値解析より、SJ構造が同じ場合、トレンチゲートのセルピッチ( $W_C$ )がSJピッチ( $2 \cdot d$ )の1/2以下であれば、直交型トレンチゲートSJ-MOSFETの $R_{ON}A$ が平行型より小さくなることを明らかにした。 $W_C=2\mu\text{m}$ 、 $2 \cdot d=8\mu\text{m}$ の場合、80Vクラスにおいて、直交型トレンチゲートSJ-MOSFETの $R_{ON}A$ は、平行型より約30%低減すると予測される。また、高耐圧クラスより低耐圧クラスの方が効果は大きく、今後更なる $R_{ON}A$ の低減が期待される。

縦型SJ-MOSFETの低スイッチング損失化は、ゲートドレイン間チャージ( $Q_{GD}$ )の

低減が進められてきた。しかし、SJ-MOSFETのように $Q_{GD}(C_{GD})$ が小さくなり過ぎるとゲート抵抗によるターンオフ $dV/dt$ の制御性が確保できず、制御性を持たせるためにゲート抵抗を大きくすると、逆にターンオフ損失( $E_{OFF}$ )が大きくなってしまう問題（トレードオフの関係）があった。これはSJ-MOSFETで顕著であり、 $E_{OFF}$ とターンオフ $dV/dt$ のトレードオフを改善することが重要となる。そこで、デバイス構造の最適化により、 $E_{OFF}$ とターンオフ $dV/dt$ のトレードオフ関係を改善し、SJ-MOSFETの低損失化を図った。ゲートドレイン間容量の増加と閾値の低減により、 $E_{OFF}$ とターンオフ $dV/dt$ のトレードオフが改善されることを実デバイスで明らかにし、ターンオフ $dV/dt$ の値が $10\text{kV}/\mu\text{s}$ において、作製した最適化構造の $E_{OFF}$ が従来構造に対し約40%低減されることを実証した。さらには、400W-ATX電源の力率改善回路に、本最適化構造を搭載して電源効率の評価を行った結果、負荷が20%~90%の範囲においては電源効率が95%以上になることを確認した。

横型SJ-MOSFETの低 $R_{ON}\cdot A$ 化は、トレンチゲートを用いるにより理論限界であるシリコンリミットを超えるところまでシミュレーションで確認されている。しかし、これまで提案されているトレンチゲート構造においてはチャンネルを深く形成しなければならないプロセス的な課題があり、デバイスの作製を難しくしていた。そこで、製造が容易であるトレンチゲートを有する新しい低耐圧横型SJ-MOSFET構造を提案し、従来プレーナゲートSJ-MOSFETより大幅な $R_{ON}\cdot A$ 低減が可能であることをシミュレーションで確認した。提案したトレンチゲートインテグレートッドSJ-MOSFETは、トレンチゲートによってチャンネル抵抗を低減するとともに、トレンチゲートの蓄積層によりドリフト層の深さ方向に電子を供給し、ドリフト層抵抗を低減したデバイスである。提案構造は、SJ厚が深くなるほど $R_{ON}\cdot A$ が低減され、SJ厚が $4\mu\text{m}$ の場合に $V_B=97\text{V}$ 、 $R_{ON}\cdot A=0.47\text{m}\Omega\cdot\text{cm}^2$ となることを確認した。この値は従来構造の $R_{ON}\cdot A$ より37%低く、シリコンリミットより14%低い値である。今後は実デバイスによる検証とSJ構造の厚膜化による $R_{ON}\cdot A$ の更なる低損失化が期待される。

最後に、原理的には少なくとも1/10~1/100までは可能な $R_{ON}\cdot A$ の低減を考えると、現状の $R_{ON}\cdot A$ は1/7程度までしか低減されておらず、更なる低 $R_{ON}\cdot A$ 化に十分な余地が残されている。それゆえ、より一層の低 $R_{ON}\cdot A$ 化を実現する微細加工技術と高精度な不純物量制御技術の進展に期待が寄せられる。