

信州大学審査学位論文

ゲート駆動用パワーIC 技術の
高性能化に関する研究

2016年3月

山路 将晴

目 次

第 1 章 緒論

1.1 はじめに	2
1.2 パワーIC の用途と構成	3
1.3 パワーIC に要求される性能	13
1.4 素子分離技術	15
1.5 本論文の目的	18
1.6 本論文の構成	20

第 2 章 600V クラス自己分離方式ゲートドライバ IC の高性能化

2.1 序言	23
2.2 従来の高耐圧 IC 技術	23
2.3 システム小型化に寄与するパワーマネジメント IC 技術	28
2.4 高速化に向けた低寄生容量レベルシフト技術	37
2.5 P-分離型自己遮蔽方式によるノイズ耐量の改善	45
2.6 結言	56

第 3 章 1200V クラス自己分離方式ゲートドライバ IC の高性能化

3.1 序言	58
3.2 レベルダウン素子内蔵による高機能化技術	58
3.3 横型高耐圧デバイスの高温保証化技術	78
3.4 結言	86

第 4 章 誘電体分離方式ゲートドライバ IC の高性能化

4.1 序言	88
4.2 高電位配線下における高耐圧化技術	88
4.3 さらに高耐圧化に向けた考察	102
4.4 結言	105

第 5 章	アイソレータ方式ゲートドライバ IC の高性能化	
5.1	序言	107
5.2	従来の高耐圧デジタルアイソレータ技術	107
5.3	超高耐圧マイクロトランス技術	111
5.4	結言.....	121
第 6 章	結論	123
	参考文献	125
	発表論文一覧	129
	謝辞	132

第 1 章

緒論

第1章 緒論

1.1 はじめに

現在の世界におけるエネルギー事情は、米国、中国、日本を初めとする経済大国の電力大量消費や中南米、中東諸国など新興国の急速な経済成長により、水質汚染や大気汚染、さらには温室効果ガス排出による地球温暖化といった地球規模の環境負荷をもたらし、深刻な問題になっている。

このような時代背景においてパワーエレクトロニクスの果たす役割は非常に大きく、大きな期待が寄せられている。パワーエレクトロニクスという言葉は、1973年頃から使われるようになり、半導体、電力、制御の3つの領域を結びつける技術分野の総称である。その応用分野は、電力送変電、太陽光発電システムなどの分散型電源・貯蔵システムから、モータドライブなどの産業用システム、鉄道などの公共交通システム、情報通信(IT)システム、無停電電源システム(UPS)、インバータエアコン・薄型ディスプレイパネル(FPD)・照明・冷蔵庫・洗濯機などの民生用家電、電子化・ハイブリッド化(EV/HEV)の進む車載電源システムに至るまで、我々の日常生活に関わるあらゆるものに関係している。たとえば、2006年から2011年までの5年間に米国では、IDC(Internet Data Center)の総電力消費量が約2倍となり、原子力発電所10基の新規建設を必要とするほどになっている。日本国内では、2025年のデータセンタのエネルギー消費量は、今後の技術革新による抑制効果がないと仮定すると、2005年の約4倍の600億kWh/年にも達すると予測されている^[1]。

地球温暖化防止にとって、IDCの省エネルギー化は重要な取り組みの1つであり、省エネ・高効率を目指したグリーンIDC化の推進が図られている。具体的なグリーンIDC化の取り組みとしては、IT機器の電力変換部のインバータ化を推し進め、システムの電源効率向上、低待機電力化が図ることで省エネに大きく貢献することなどが挙げられる。そのために、電力変換システムに用いられているIGBTやMOSFETなどのパワーデバイス、それらを駆動するパワーICといったパワー半導体製品の重要性は今後ますます高まるものと予想される。特にパワーICに要求されることは、パワーデバイスの駆動を最適なタイミングで誤動作なく行うことに加えて、パワーデバイス側の過電流・過熱・短絡などの異常情報をマイクロコンピュータに伝える保護機能や、従来外付け部品として構成していた受動素子や能動素子をパワーICに内蔵することによりシステムの高機能化や小型化を図ることである。システムの高

信頼化、低コスト化を図ることで、インバータ制御のパワーエレクトロニクス技術が家庭用や産業用、車載用の機器に広く普及すると考えられる。

本論文では、パワーICの中でも民生・産業・車載分野と広く適用されるゲートドライバIC、特に600Vから1200V耐圧を保証可能な高耐圧IC(High-Voltage IC)にフォーカスし、ゲートドライバICに求められる要求性能について、課題や物理現象に関する解析を行い、そこから得られた解析結果をもとに新規デバイス構造などを考案し、要求性能の実現化に向けた実験試作と評価および、その効果と有効性を示す。また、次世代のパワーエレクトロニクス技術として期待されている完全絶縁型のゲートドライバであるデジタルアイソレータICについても要素プロセス技術の検討を行い、その検討結果をもとに実験試作して得られた効果と有効性などを交えながら、その将来性について考察する。

1.2 パワーICの用途と構成

本項ではパワーエレクトロニクスによる電力変換とスイッチング制御などに用いられるパワーICの概要と、代表的なパワーICの応用例として、4種類のハーフブリッジ・ゲートドライバ方式の基本回路構成、および各々の特徴について説明する。

(1) パワーデバイスとパワーICの概要

大電流(数百Aレベルなど)、高電圧(数kVクラスなど)を制御するための半導体素子をパワーデバイスと呼ぶのに対し、パワーデバイス(MOSFET、IGBTなど)と保護回路や制御回路をワンチップ上に形成したものをパワーICと呼ぶ。パワーICは、パワーデバイスが一般に高電圧・大電流を扱うため、通常のCMOS、Bipolar集積回路技術だけでは実現が困難であり、高耐圧分離技術など特別なプロセス技術を用いる必要があった。そのため、パワーICの実用化は1980年前後から中電圧(60-200V程度)・中電流(数Aレベル)の車載用やディスプレイ駆動用のシステムの実現に向けて開発が進められた^[2]。

図1-1にパワーデバイスとパワーIC技術開発の歴史と今後の動向を示す。パワーエレクトロニクスの進展は、パワーデバイスの進歩と共に進んできた。パワーデバイスの応用製品の例をとると、大容量Siダイオード(pin Diode)は、1960年頃より国鉄の電車用整流装置などに採用された。大容量サイリスタは、1970年頃から鉄鋼用直流電動機に採用され、その後、高速サイリスタや逆導通サイリスタは無停電電源や電車用チョップ装置向けに、光サイリスタ

(Light Triggered Thyristor)は直流送電用として開発された^[3]。また、ゲート電流を供給することでオン・オフできる自己消弧型素子である GTO(Gate Turn-Off)サイリスタやバイポーラパワーランジスタなども出現した。特に、GTO サイリスタは、高速化・高耐圧化・大容量化・低損失化に向いており、電車などの交流機において転流回路が不要になり、回路の簡素化が図られた。しかし、GTO サイリスタは、遮断に大きな電流を必要とするため、ゲート駆動回路が大きくなり、素子を保護するためのスナバ回路も必要となるなどの欠点もある。その後、パワーエレクトロニクスを大きく進展させたのは、ゲート電圧を供給することでオン・オフできる自己消弧型素子である MOSFET (Metal Oxide Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) の出現である^[4]。電圧制御型の MOSFET は、電子(もしくは正孔)電流のみで動作するユニポーラデバイスであり、スイッチング速度が速く、低電圧領域での変換効率が高い特長を持つため、600V 以下(AC100-250V 系)の領域のスイッチング電源や、DCDC コンバータ等のアプリケーションに用いられる。一方、数百ボルトを超える領域では、MOSFET のオン抵抗が高くなるため、電子と正孔で動作するバイポーラデバイスである IGBT が低オン抵抗の大電流素子として、産業用や鉄道用などの電力変換素子として用いられている。これらの素子は、ゲート・ソース間もしくは、ゲート・エミッタ間を電圧で駆動することができるため、ゲート駆動回路を大幅に簡素化・小型化できる。IGBT は、1980 年代後半から 600 V、1200V 耐圧の素子開発が行われ、1990 年代には産業用インバータやエアコン、冷蔵庫、洗濯機などの白物家電、エレベータ、ロボット、工作機等のインバータに採用されており、これまで 1.7kV、3.3kV、6.5kV などの高耐圧製品まで実用化されている。

一方、パワー IC の応用製品を例にとると、1980 年代からカーエレクトロニクスの進展に伴い、車載用バッテリー(12V 系)を VDD 電源とし、負荷に 1.0A 程度の出力電流を供給する 60~75V 耐圧のパワー MOSFET に保護回路や駆動回路をワンチップ上に内蔵した IPS(Intelligent Power Switch)などがエンジンやトランスミッション、ブレーキなどの自動車電装システム向けに技術開発された。また、ディスプレイ駆動用としては、負荷へ供給する出力電流は 200mA 程度と比較的少ないが、100~400V 程度の横型パワー MOSFET や横型 IGBT を内蔵した EL ディスプレイドライバ、プラズマディスプレイパネル(PDP)ドライバにパワー IC が使われてきた。また、同時期には、IGBT や FWD、ゲート駆動回路チップなどを 1 モジュールに内蔵した IPM(Intelligent Power Module)に適用されるゲートドライバ IC が技術開発された。このゲートドライバ IC は、マイクロコンピュータからの入力信号を IGBT に伝える

ためのものであり、マイクロコンピュータとゲートドライバ IC の間にフォトカプラを介して電気的な絶縁を行い、20V 程度の電源電圧で数 A 程度の出力電流を IGBT のゲートへ供給する低耐圧・大電流のゲートドライバ IC である。ちなみに、フォトカプラは 1960 年末頃から絶縁信号伝達素子として開発され、現在もなお、主に小容量帯から中容量帯の電力変換システムに使われている電子部品である。

そして、1980 年代中期から 1200V クラスまでの高耐圧 IC の技術開発が進められ^[5]、1990 年初期には、マイクロコンピュータからの入力信号を内蔵した高耐圧のレベルシフトデバイスで耐圧を持たせ、ダイレクトに上下アームの IGBT ゲートを制御することの可能な高耐圧 IC が登場する。高耐圧 IC は IPM やインバータシステムが簡素化・小型化できるとして、AC100-250V 系の民生機器に適用される 600V/20A(20A はパワーデバイス電流容量)以下の高耐圧 IC から普及し、その後の開発により、AC400V 系の産業機器にも適用可能な 1200V/50A までのパワーデバイスを駆動する高耐圧 IC が製品化されている。

(2) パワー IC の構成

上述したように、パワー IC は、パワーデバイス(MOSFET、IGBT など)と半導体集積回路をワンチップ上に形成したものである。その構成は、アプリケーションによって異なるが、一般的な構成例を図 1-2 に示す。

パワー IC の構成としては、マイクロコンピュータからの入力信号を、パワー IC の制御回路内の入力回路部で受け、レベルシフト回路または、インダクタ・コンデンサなどの受動素子をインターフェースとし、ドライブ回路、保護回路、検出回路などの様々な回路で信号をやり取りし、出力回路や制御回路から出力される。出力部には、パワーデバイスや負荷があり、それらを駆動することでドライバ IC としての機能を果たしている。機能や特性を満たすため、ワンチップだけではなく、2 チップ、3 チップなどのマルチチップ構成とすることもある。

ここで、レベルシフト回路に使用されるレベルシフトデバイスは、高耐圧の横型 MOSFET(通常、レベルアップ機能は、Nch-MOSFET、レベルダウン機能は Pch-MOSFET)を用いて構成される。また、インダクタやキャパシタなどの受動素子をインターフェースとする場合は、絶縁体材料で素子間絶縁された高耐圧トランスやコンデンサを用いて構成される。

本研究で対象とするパワー IC は、モータなどの負荷を駆動するパワーデバイス(IGBT、MOSFET)のゲートを駆動するための IC、つまり、ゲートドライバ IC である。

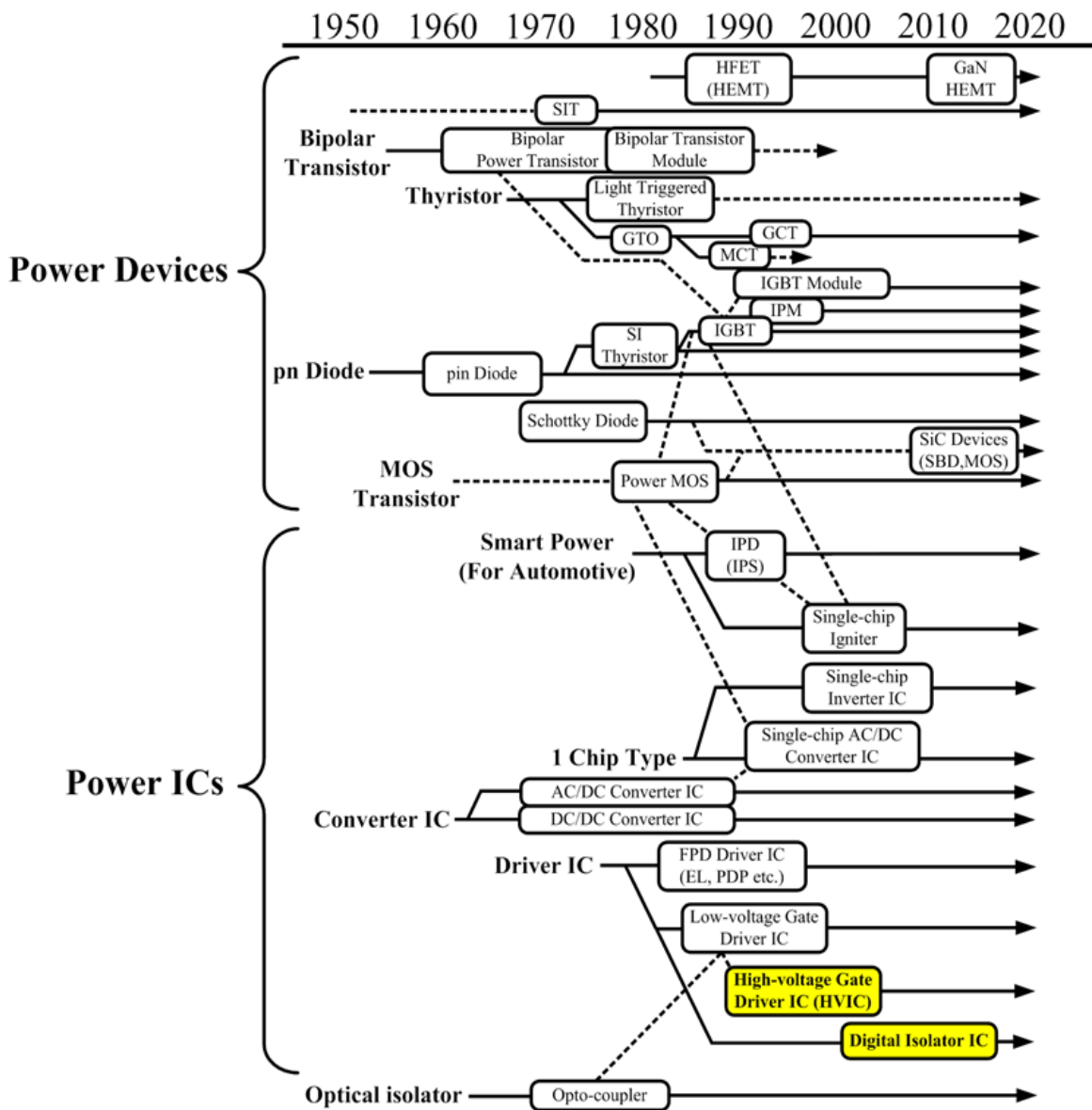


図 1-1. パワーデバイスとパワーIC 技術開発の歴史と今後の動向

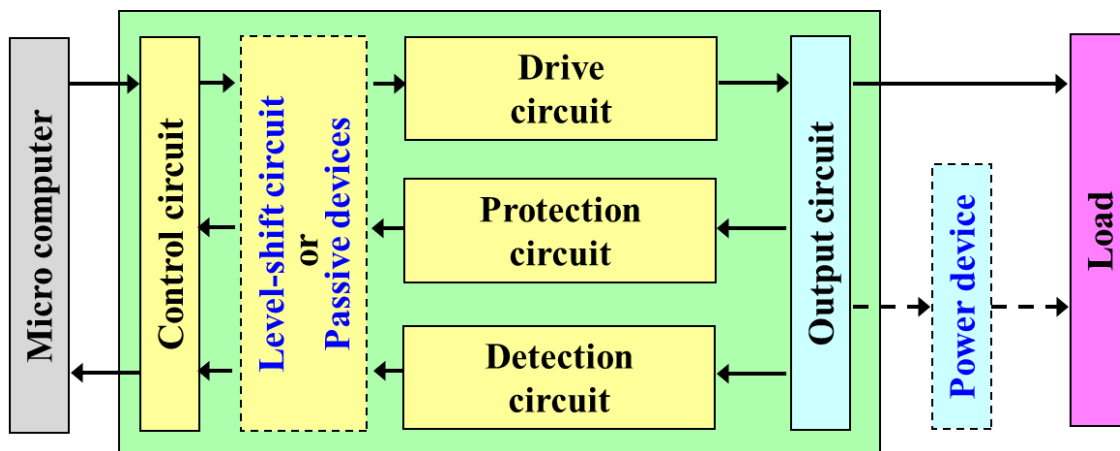


図 1-2. パワーIC の構成例

(3) ハーフブリッジ・ゲートドライバシステムの各種基本回路構成と特徴

パワーデバイスの駆動回路には様々な構成がある。中でもハーフブリッジ構成のパワーデバイスの上アーム、つまり、ハイサイド側のゲートドライブ方式は、その構成によって長所・短所があり、アプリケーションを考慮して最適な方式を選択する必要がある。次に、ハーフブリッジ・ゲートドライバシステムにおける代表的な4つのドライブ方式を示す。

- ① フォトカプラドライブ方式
- ② パルストランスドライブ方式
- ③ 高耐圧 IC ドライブ方式
- ④ デジタルアイソレータ IC ドライブ方式

以下に、それぞれの方式における特徴を述べる。

【①フォトカプラドライブ方式】

1960年代から絶縁信号伝達素子として開発され、産業用や車載用インバータから小・中・大容量 IPM に至るまで広範囲の製品適用実績を持つ。図 1-3 に、モータを負荷として接続された3相ハーフブリッジ構成のパワーデバイス(IGBT)をフォトカプラで駆動する場合の簡略化した構成図を示す。ハイサイドとローサイドにそれぞれ、2つのフォトカプラとゲートドライバ IC を用いたデュアル・フォトカプラのハーフブリッジ・ゲート・ドライブ方式である。マイクロコンピュータとゲートドライバ IC 間をフォトカプラでガルバニック絶縁することによって、ハイサイドとローサイドの干渉という問題を回避でき、高耐圧化も容易である。しかし、1相あたり各2つのゲートドライバ IC とフォトカプラに加え、ハイサイド電源(フローティング電源)用トランスも別途必要となり、部品点数が増え、電源ボードの実装面積が大きくなる。また、フォトカプラの応答速度は、1次側発光ダイオードの電流容量によって制限される。フォトカプラの伝達遅延(最大 500ns 程度)と立ち上がり/立ち下がり時間(最大 100ns 程度)が影響するため、MHz オーダーのスイッチング周波数で動作するのは困難といえる。フォトカプラを高速で動作させるには、発光ダイオードの出力電流を 10mA 以上にする必要がある、これによって消費電力が増大し、フォトカプラ自体の寿命と信頼性が低下するというリスクもある。特に、100°C以上の高温環境ではその傾向が顕著となる。

機能面では、保護機能として、ハイサイド側の IGBT の過電流・過熱保護検出機能を内蔵するためには、さらに専用のフォトカプラが必要になるなど、高機能化する際には部品点数

の増加は避けられない。ただし、最近では簡易的な保護機能として、マイクロコンピュータには異常信号通知できないが、IGBT のコレクタ・エミッタ間の過電流状態を検出し、自動的にゲートを遮断する保護機能 (DESAT 機能と呼ぶ) を内蔵したフォトカプラ製品も展開されている。

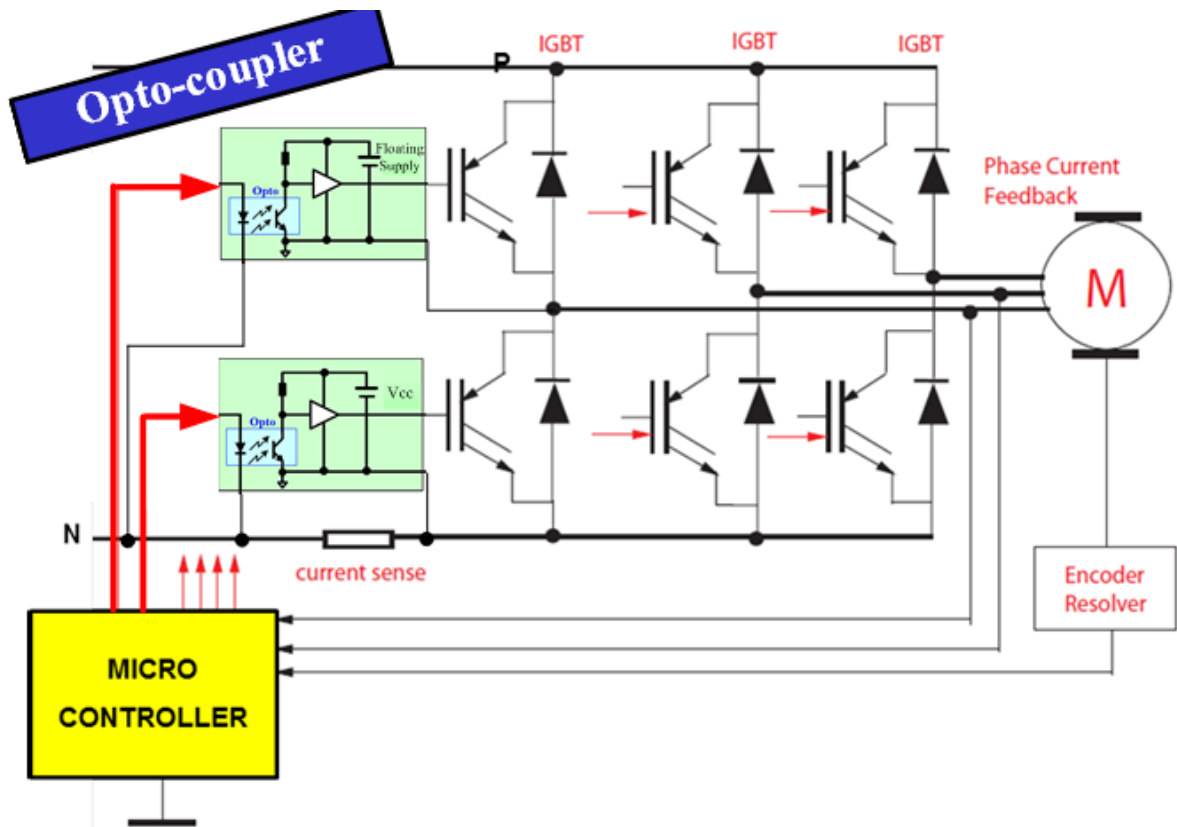


図 1-3. デュアル・フォトカプラのハーフブリッジ・ゲートドライバ構成図

【②パルストランスドライブ方式】

フォトカプラ同様、長い製品適用実績を持つパルストランス方式は、風力発電装置、太陽光発電装置、燃料電池などのエネルギー関連から充放電装置、蓄電池システム、急速充電器、UPS などのバッテリー機器、高圧、鉄道用インバータ、ロボット、工作機械など、主に大容量帯のパワーデバイス駆動に使用される。図 1-4 に、モータを負荷として接続された 3 相ハーフブリッジ構成のパワーデバイス(IGBT)をパルストランスで駆動する場合の簡略構成図を示す。トランス結合は伝達遅延が小さく、オン・オフ制御のタイミングが正確であるため、高

速動作における応答面で優れている。パルストランスの1次側を差動で駆動するためのバッファ素子となるゲートドライバの電流能力を大きくすれば、MHz オーダーのスイッチングも可能である。2つの2次巻線は、ハーフブリッジの上下アームのゲートを駆動するが、この場合、パルストランスは2次側のハイサイド IGBT 駆動に絶縁電源が不要という利点もある。しかし、大きな過渡ゲート駆動電流(di/dt ノイズ)が誘導コイルに流れるとリングングが発生し、ゲート信号が誤動作して、パワーデバイスの破壊に至ることがある。また、トランスが AC 信号伝達のみであるため、電圧と時間のバランスを維持するためにハーフ・サイクルごとにコア磁束をリセットする必要がある。そのため、オン・オフの Duty サイクルが 50% 以上は困難という制約もある。さらに、パルストランスの磁心と絶縁巻線が比較的大きいため、ゲートドライバ IC と合わせると、非常に大きなゲート駆動回路となり、電源ボードの大面積化は避けられない。

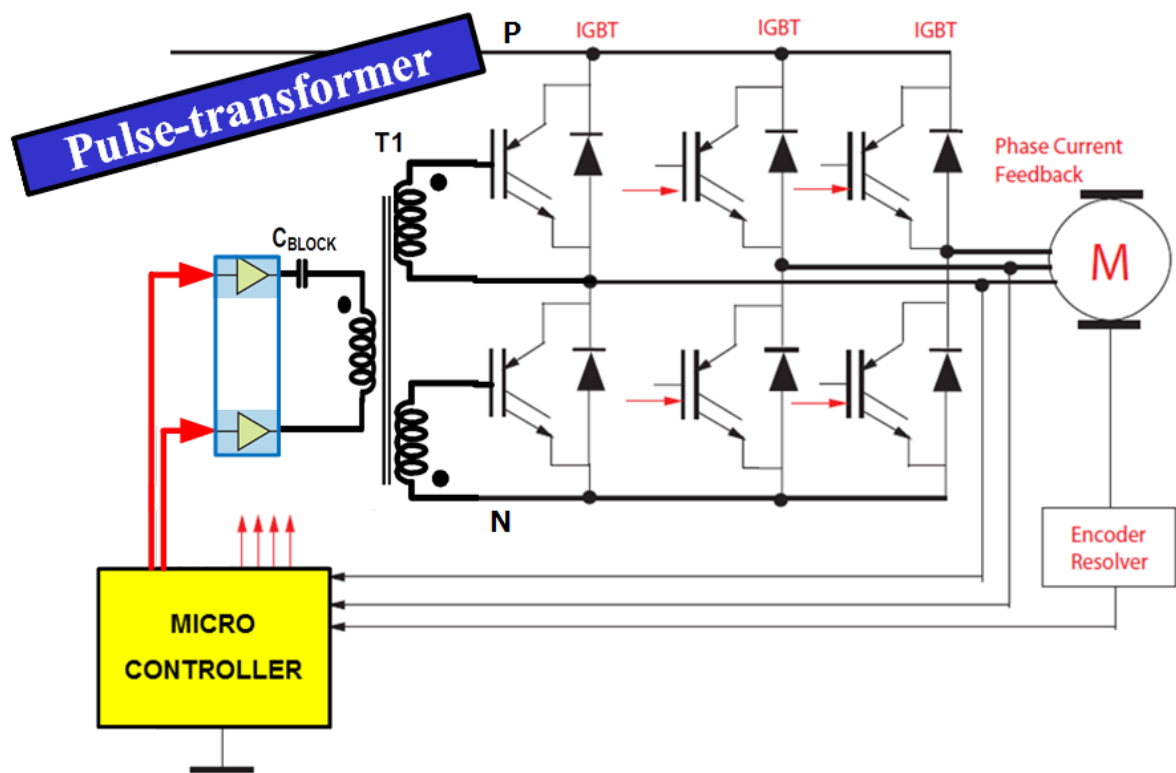


図 1-4. パルストランスのハーフブリッジ・ゲートドライバ構成図

【③高耐圧 ICドライブ方式】

高耐圧 ICドライブ方式は、1990年代からパワーデバイス定格電流 30A 以下の IPM やファン・ポンプなどの産業用インバータに普及し、照明、液晶パネル、エアコンなどの民生分野など、主に比較的容量帯の小さいパワーデバイス駆動に使用される。図 1-5 に、モータを負荷として接続された 3 相ハーフブリッジ構成のパワーデバイス(IGBT)を高耐圧 IC で駆動する場合の簡略構成図を示す。ブートストラップ回路構成を用いるため、ハイサイド電源トランスが不要であり、ハイサイド・ローサイドのパワーデバイスをマイクロコンピューターからダイレクト駆動できるため、回路を簡素化できる。また、高耐圧 IC 内部にはレベルシフト回路が必要となり、高耐圧デバイスであるレベルシフト(HVNMOS)でハイサイド側への信号伝達を行う。レベルシフトの寄生容量成分により、若干の伝達遅延(数十 ns~100ns 程度)が生じるが、500kHz 程度の高周波スイッチング動作が可能である。また、ハイサイド側 IGBT の過電流・過熱検出機能として、マイクロコンピューターへ異常信号通知可能なレベルダウン機能も内蔵することができ、高機能化による部品点数の増加を抑えることができる。保証温度も 150°C 保証可能な IC もあり、高温環境下でも使用できる。

しかし、高耐圧 IC 自体にはガルバニック絶縁がなく、ローサイドとハイサイドの分離を IC の接合分離で行っているため、安全規格(UL 規格など)の厳しいアプリケーションには適用できない、もしくは絶縁バッファとしてフォトプラなどを介さなければならない、などの制約が生じる。特定のパワエレシステムに絶縁が必要な理由には、ユーザー・インターフェースにつながる回路を交流電源や高電圧回路から切り離して感電を防止することや、高電圧回路とマイクロコンピューターなどの低電圧回路を切り離し、低電圧回路の誤動作や故障を防ぐことなどがある。

また、IGBT に付随する寄生インダクタンスや誘導電流によって、上アームと下アームの midpoint である VS ラインがスイッチング時に GND 電位を大きく下回る(負電圧サージ)現象があり、このとき高耐圧 IC がラッチアップや誤動作して破壊やシステム損傷を招くことがある。こうした理由から、高耐圧 IC 方式は民生用電源や小容量 IPM など特定のアプリケーションに限定される。

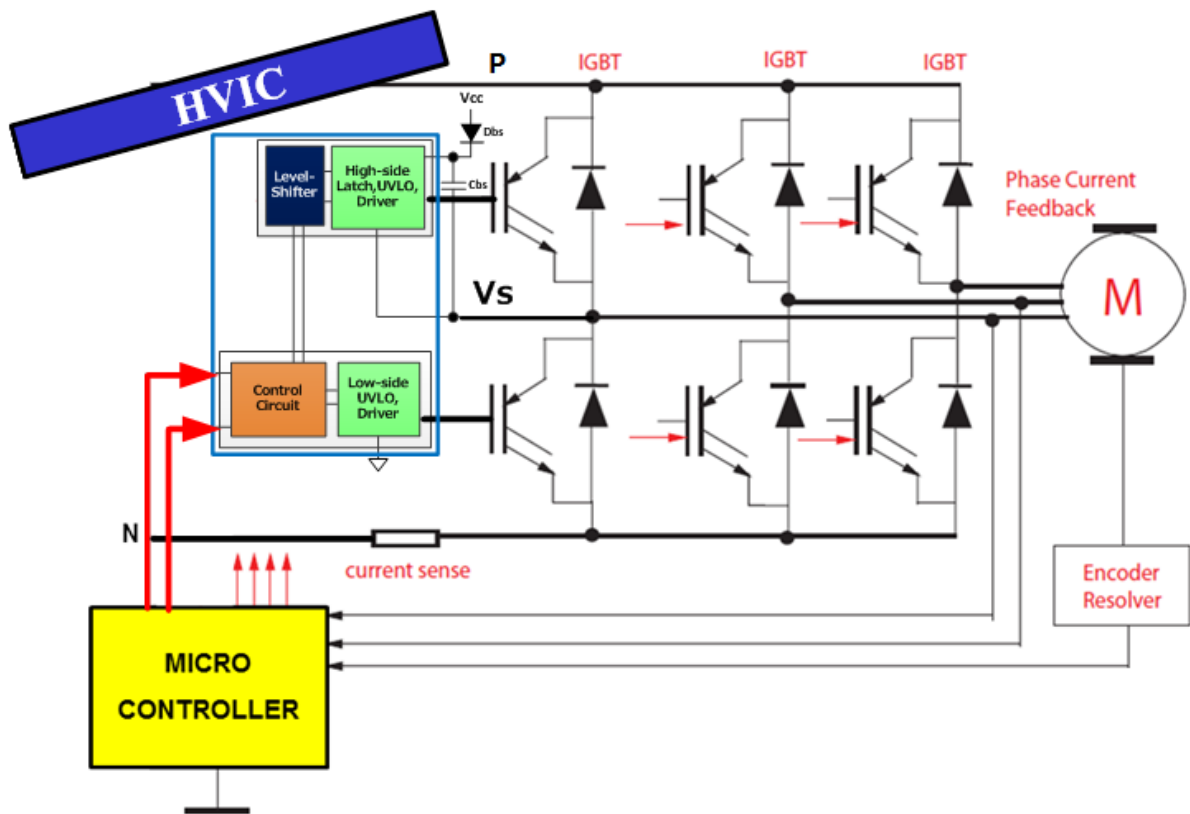


図 1-5. 高耐圧 IC のハーフブリッジ・ゲートドライバ構成図

【④デジタルアイソレータ IC ドライブ方式】

デジタルアイソレータ IC ドライブ方式は、2000 年初期から製品化された比較的歴史の浅い方式であり、これまでに FPD(フラットパネルディスプレイ)などの家電用途や EV/HEV などの車載モータ向けインバータ、絶縁の必要な産業機器、医療機器用のインバータなどに適用されている。図 1-6 に、モータを負荷として接続された 3 相ハーフブリッジ構成のパワーデバイス(IGBT)をデジタルアイソレータで駆動する場合の簡略構成図を示す。

デジタルアイソレータ IC は、絶縁体(ポリイミドやプラズマ酸化膜など)を挟んで対向させた 2 個のマイクロトランス(または、コンデンサ)を利用して、磁気結合方式(または、容量結合方式)によって信号を伝送する。2 個のマイクロトランス(または、コンデンサ)は、Si チップ表面に半導体プロセス技術で作成される。1 次側送信コイルに信号を印加することで生じる磁界の変化を、2 次側の受信コイルで検出することで信号を受け渡す。フォトカプラと同じガバナニク絶縁で、少ない電力で信号伝達できるため、低消費電力である。また、マイクロトランスの場合、1 次側端子に接続した送信 (TX) チップにおいて入力されたデジタル信号を微小な

時間間隔でサンプリングすることで立ち上がり・立ち下がりエッジを検出して 1 次側コイルに印加する。2 次側コイルはこれらのパルス信号による磁界の変化を検出し、2 次側端子に接続した受信(RX)チップにパルス信号が送られる。伝達遅延は小さく、MHz オーダーの高速スイッチング動作も可能である。ただし、Si チップ上に形成する送信(TX)、受信(RX)チップを作り込む半導体プロセスと、マイクロランスやコンデンサを作り込む半導体プロセスを兼用することが困難であり、多くの場合は 2 チップや 3 チップといったマルチチップ構成となるため、高耐圧 IC やフォトカプラと比較すると製品コストは高めである。また、5kVrms 以上の高耐圧仕様では、マイクロランスやコンデンサの絶縁性能を高めるため、絶縁体の膜厚を 10 μm 以上に厚くする必要がある。この絶縁体の厚膜化により、マイクロランスの製造工程におけるウェハの反りやダイシング等の制約が生じるため、5kVrms 以上の耐圧クラスは未だ製品化されていない。近年、マイクロランスの積層方法や絶縁材料を工夫して、7kVrms 耐圧のデジタルアイソレータの研究報告がなされており^[6]、車載・産業用モータドライブシステムの高信頼化や SiC(Silicon Carbide)デバイス駆動に向けた、“超高耐圧”絶縁型受動素子を内蔵したパワーIC の研究開発も、より一層増えると思われる。

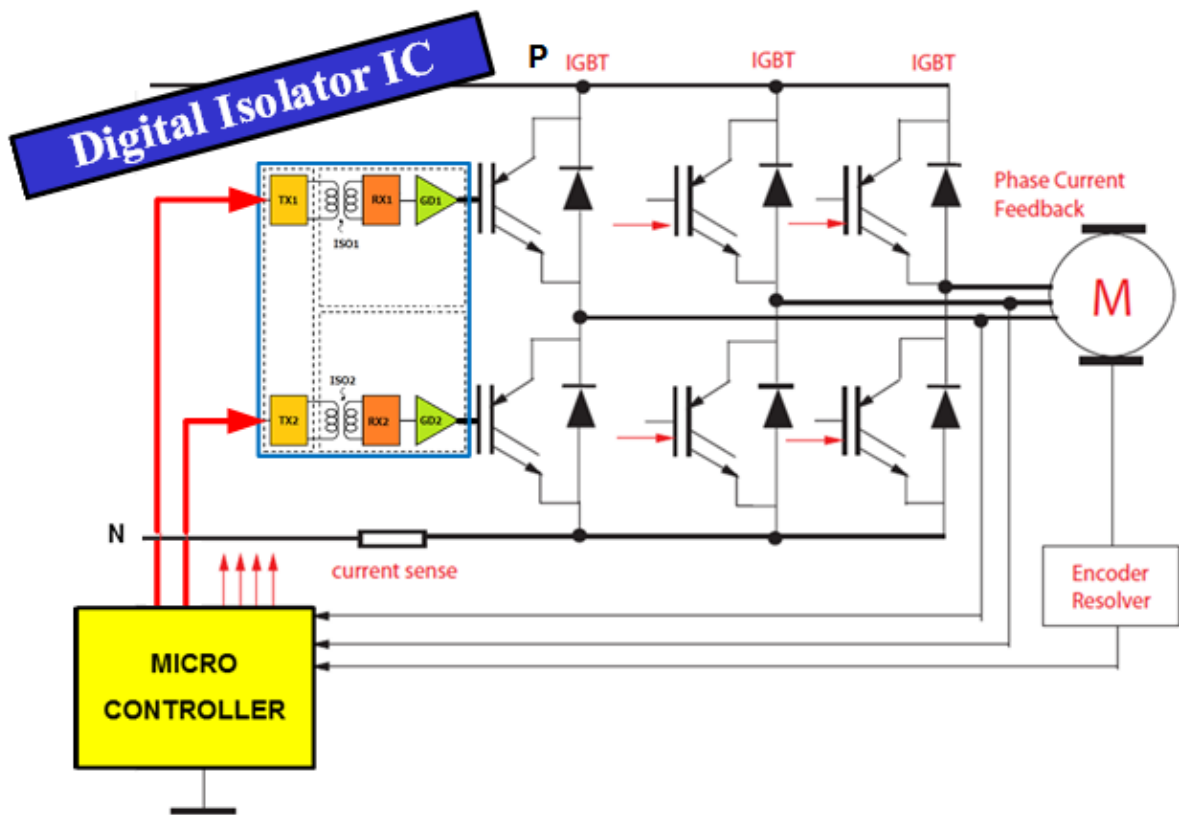


図 1-6. デジタルアイソレータのハーフブリッジ・ゲートドライバ構成図

1.3 パワーIC に要求される性能

本項ではパワーエレクトロニクスによる電力変換とスイッチング制御などに用いられるパワーICに関する要求項目、要求性能について説明する。

パワーIC に要求される性能を考えるうえで、パワーエレクトロニクス製品のアプリケーションとしての要求項目と、パワーIC とは切っても切れないパワーデバイスの要求仕様を把握する必要がある。近年のパワーエレクトロニクス技術の進展により、パワーデバイスのアプリケーションは広範囲に及んでおり、主なアプリケーションとして、発電・送配電システム(太陽光・揚水式発電や電力系統・設備など)、自動車(EV/HEV など)、自動車以外の輸送機器(電車・航空機など)、産業機器(FA 機器など)、民生・家電機器(AV 機器・FPD・エアコン・照明などの SW 電源)などに区分することができる。図 1-7 に、SiC デバイスを含めたパワーデバイスのアプリケーションと要求性能の概念図を示す^[7]。アプリケーションによって、パワーデバイスに対する主要な要求仕様は異なることが分かる。パワーデバイスへの要求をまとめると、「低損失」「高耐圧」「高温動作」「高破壊耐量」「高速動作」「大電流」などの性能向上に対するものが主である。これに加え、アプリケーションシステム側からの基本的な要求として「安全」「高信頼」「高効率」や「小型」「安価」などのコストダウン要求もある。これら要求に関連し、パワーIC への要求としては、図 1-8 に示した、「低消費電力」「高機能」「高耐圧」「高温動作」「高ノイズ耐量」「高速応答」「絶縁」「小型」「安価」などの要求項目があり、これらに対応することでパワーデバイスの特性を最大限に引き出し、パワーデバイスへの要求を満足し、ひいてはインバータシステムまたは、IPM などのパワーエレクトロニクス製品の価値向上に寄与することが期待されている。

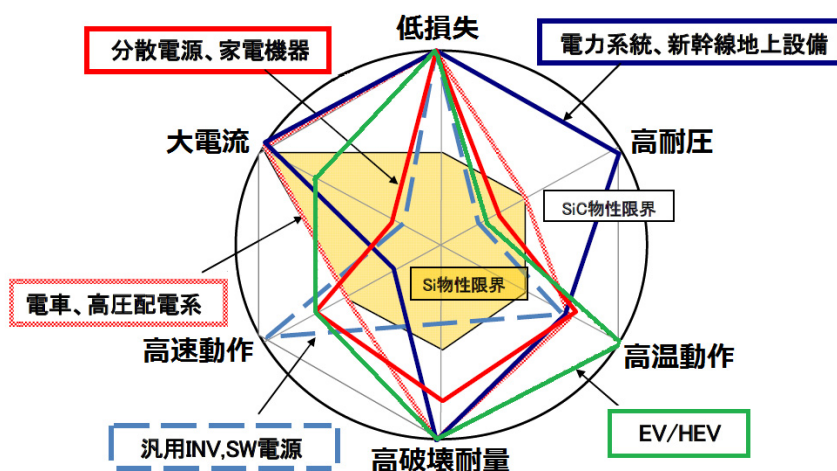


図 1-7. パワーデバイスのアプリケーションと要求性能の概念図

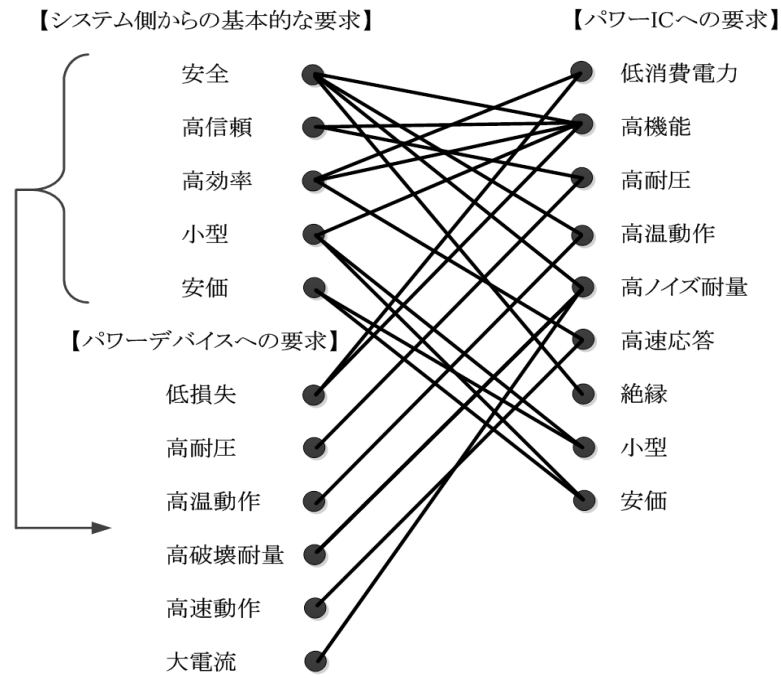


図 1-8. パワエレシステム・パワーデバイスとパワーIC の要求項目の関係

パワーIC への要求項目の具体的な内容については、第 2 章以降で各要求項目に対する高性能化の事例とともに述べる。

また、パワーIC に要求される性能を左右するのは、図 1-9 に示した各要素技術である。基板や素子間分離に関わる分離技術、高耐圧から低耐圧素子または、受動素子、能動素子全ての特性を決めるデバイス技術、それらを作り込むためのプロセス技術、作り込んだデバイスを組み合わせて仕様に対して最適な機能や動作を決める回路技術と集積化・レイアウト技術、チップの保護だけでなく、チップの性能を最大限に引き出す実装・パッケージ技術、これら 6 つの要素技術の進展により、パワーIC の高性能化は実現する。

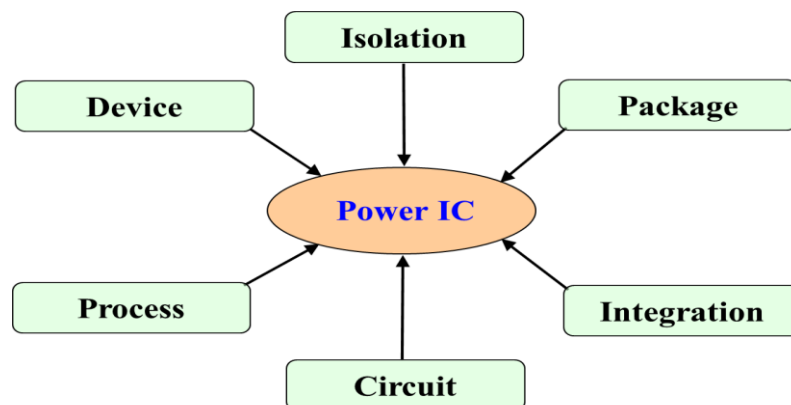


図 1-9. パワーIC を構成する必要技術

1.4 素子分離技術

本項では、半導体集積回路に用いられる素子分離技術について説明する。

パワーICを形成する素子分離技術には、自己分離(Self-isolation)技術、pn接合分離(PN junction isolation)技術、そしてSOI(Silicon On Insulator)プロセスを用いた誘電体分離(Dielectric isolation)技術がある^[8]。パワーICを形成する素子分離技術の簡易断面構造図を図1-10に、それぞれの分離方式における特徴を表1-1に示す。

自己分離は、デバイス構造そのもので素子間を分離する構造で、拡散層もしくは基板を表面露出し、デバイスと逆バイアス状態になるようにして分離する構造となっており、最もシンプルな素子分離方法である。基板は、スイッチング電源などの民生用では安価なCZ(Czochralski)結晶を、車載・産業用には結晶欠陥の少ないFZ(Floating Zone)結晶が用いられることが多い。3つの分離方法の中では、最も低コスト化が可能な方法である。この分離方法は、1970年代からDC/DCコンバータIC、AC/DCコンバータICや車載用ハイサイドスイッチなどに用いられ、P型基板、N型基板に関わらず、P型基板やP型拡散層でそのまま分離される。縦型パワーデバイスを内蔵しない場合は、P型基板を用いることが多く、基板がGND共通電位となる。縦型パワーデバイス(たとえばパワーMOSFET)を内蔵する場合は、N型基板を用いることが多く、基板がドレインと共通電位となる。そのため、ICの設計自由度に乏しく、また、素子分離面積が拡散層の拡散深さ、横方向拡散長、接合耐圧などで決まるため、分離に必要な面積は比較的大きくなる。寄生ダイオード、寄生バイポーラ、寄生サイリスタなどの寄生構造が多く存在するため、ノイズによる干渉、誤動作、破壊が発生しやすいというデメリットがあるが、蓄積された寄生効果抑制のためのデバイス技術、レイアウト技術のノウハウを生かすことで回避可能である^[9]。

pn接合分離は、逆バイアス状態のpn接合でデバイスを囲んで分離する方法である。基板にはエピタキシャル基板や埋め込み層を用いているため、自己分離よりチップコストは高くなる傾向にある。この分離方法は、1980年代からELディスプレイ駆動用ICなどに用いられ^[10]、例えば、P型基板に選択的にアンチモンなどの不純物をドーピングし、その上にエピタキシャル成長することで高濃度n+埋め込み層とPepi層(もしくはNepi層)を形成する。次に、分離領域に深いN型拡散層(Niso層)もしくはP型拡散層(Piso層)を形成して構成される。n+埋め込み層をnpnバイポーラのコレクタとして用いることができるため、バイポーラ混載のBCD(Bipolar CMOS DMOS)プロセスとして、幅広いアプリケーションに利用されている。し

かし、自己分離と同様、寄生構造が存在するため、ノイズなどでICが誤動作、破壊する可能性もある。これについては、埋め込み層や拡散層の電位関係や接続構成などをうまく組み合わせることで回避可能である。例えば、n+埋め込み層などを利用して、寄生 pnp の hFE を下げることができるため、深さ方向の寄生効果をコントロールしやすい分、自己分離よりもラッチアップ耐性やノイズ耐性は高いと言える。

誘電体分離は、デバイスを誘電体(トレンチ酸化膜や LOCOS、埋め込み酸化膜などの絶縁体)で完全に囲み、分離する方法である。1964年のEPIC(Epitaxial Passivated Integration Circuit)法の研究開発に始まり^[11]、1970年から1980年代にかけて耐放射線ICや通信用スイッチングパワーICなどで実用化された^[2]。EPIC法は、互いに電氣的に絶縁された単結晶シリコンの島が多結晶シリコンの支持基板によって保持されている構造である。しかし、この方法は、数十マイクロンの深いV溝分離構造など複雑な分離プロセスであるためにウェハコストが高く、ウェハの反りの影響から、6インチ以上の大口径化が困難という問題があった。そのため、EPIC法と比較すると高耐圧化や大口径化しやすい、貼り合わせ法やSIMOX(Silicon Implanted Oxidation)法^[12]を用いたSOI基板が現在では主流となっている。貼り合わせ法は、図1-10に示したトレンチ分離技術と組み合わせて使用されることが多い。貼り合わせSOI基板は、2枚のシリコン基板が酸化膜を介して貼り合わされており、一方のシリコン基板に素子が形成される。素子が形成される基板側をSOI層と呼び、もう一方の基板を支持基板と呼ぶ。また、貼り合わせに用いた酸化膜を埋め込み酸化膜(Buried OXideを省略してBOX)と呼ぶ。

パワーICにおける誘電体分離を採用することのメリットは主に3つある。まず、第一にデバイス間が完全に絶縁分離されていることによる寄生効果の防止である。支持基板や異なる電位の隣接領域からトレンチ酸化膜やBOXで仕切られているため、寄生サイリスタ構造ができにくく、ノイズによるICの誤動作が起りにくいという特徴がある。このことは、横型IGBTなどの大電流出力デバイスや、ブートストラップ回路構成におけるブートストラップダイオードを内蔵した際の寄生効果によるICの誤動作やリーク電流も抑制できるため、外付け部品や機能を比較的容易に集積できるということにも繋がる。第二に、分離に用いるトレンチ酸化膜、あるいはLOCOS酸化膜分離は、自己分離やpn接合分離よりも比較的狭い分離長で分離可能であるため、各回路部や高耐圧の終端領域における分離面積を小さくでき、高集積化が実現できる。高耐圧の終端領域には、複数のトレンチ酸化膜を環状に配置し、容量結合

させて囲うことで、数百ボルト程度の分離性能が容易に維持できる。第三に、高温動作に優れていることが挙げられる^[13]。自己分離や pn 接合分離では、pn 接合面積が大きく、高温でのリーク電流が大きい。一方、誘電体分離では、デバイス周辺における横方向・縦方向の pn 接合がなく高温時の接合リーク電流が少なくできるため、接合温度(Tj)として 200℃付近の高温まで動作が可能となる。しかし、誘電体分離には、1000V 以上の高耐圧仕様において、BOX として 5 μ m 以上の膜厚が必要であり、ウェハの反りなどの問題からレベルシフトなどの能動素子の高耐圧化は困難である。そのため、SOI 基板上的 pn 接合耐圧は現状では 600V までに制限される。また、自己分離や pn 接合分離に比べ、基板や分離プロセスなどのコストが高いという欠点がある。

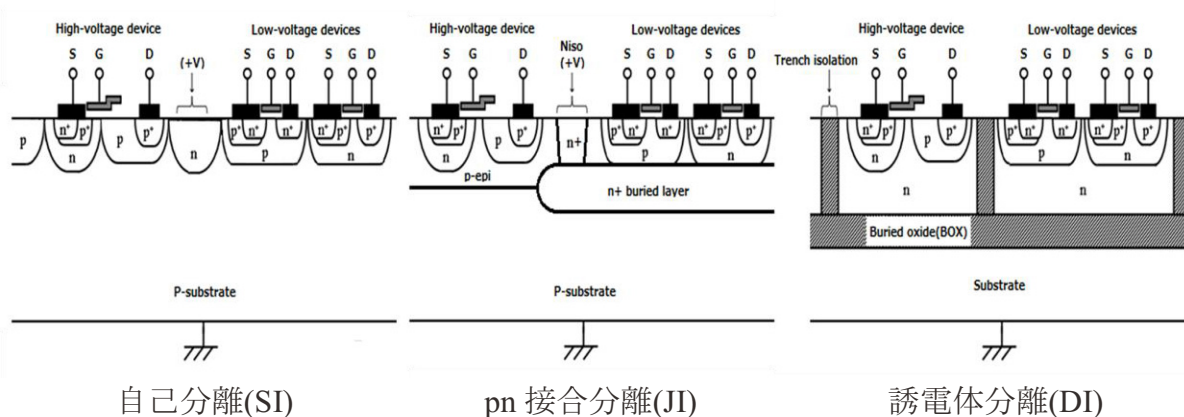


図 1-10. パワーIC を形成する素子分離技術

表 1-1. パワーIC を形成する各素子分離方式の特徴

	Self isolation	PN junction isolation	Dielectric isolation
Substrate	CZ or FZ	Epitaxial wafer	SOI
Method	PN junction using diffusions in device	PN junction using diffusions for isolation	Silicon dioxide film
Process	Simple	Long	Complex
Restriction on integration	Output devices Output circuits Boot-strap diode	Output devices Output circuits Boot-strap diode	Nothing
Isolation area	Large	Medium	Small
Chip cost	Low	Moderate	High
Harmful effect by parasitic devices	Large	Medium	Small
Blocking capability of the level-shift device	$\leq 2\text{kV}$ (1200V guaranteed)	$\leq 2\text{kV}$ (1200V guaranteed)	$\leq 1\text{kV}$ (600V guaranteed)

1.5 本論文の目的

本研究では、AC100-250V 系のエアコン、照明、FPD などの民生用電源システムやサーバ電源などの情報通信(IT)システムを初め、AC400V 系の小・中容量帯 IPM が適用される産業用インバータシステムまでの電力変換装置を第一の研究対象とする。図 1-8 に示したインバータやパワーモジュールなどのシステム側からの要求(小型化、低コスト化、高効率化、高信頼化)を満たすための、パワーデバイスのゲート駆動用パワーICに必要なデバイス技術、集積化技術、および回路技術を確立することを目的とする。ここでいうパワーIC は、600V から1200V 耐圧クラスの高耐圧IC(ゲートドライバIC)を指す。従来の高耐圧IC は、ノイズ耐量が低く、破壊しやすいため、信頼性が要求されるパワエレシステムには適用することができないなどの課題があった。この高耐圧IC 特有の課題の克服は勿論、システム側からの他の要求項目も含め、高耐圧IC 技術が適用できるアプリケーション範囲や性能限界の見極めも行う必要がある。高耐圧IC の高性能化に寄与するデバイス技術、集積化技術、回路技術の確立に関しては、具体的に下記の目的を設定し、研究を遂行した。

- ① 電源システムの小型化、高効率化要求に応じるゲートドライバ技術をベースとした新規電流共振型パワーマネジメントICについて、集積化技術による電源システムの部品点数削減や低消費電力化の効果を明らかにする。
- ② 電源システムの小型化要求に応じるドライバIC の高速化を実現するため、レベルシフトデバイスの寄生容量とIC の伝達遅延時間の関係を明らかにしたうえで、遅延時間短縮を可能とする新規レベルシフトデバイス構造を提案し、その効果と有効性を示す。
- ③ パワエレシステムの高信頼化に寄与するドライバIC の高ノイズ耐量化に関し、負電圧サージに対するIC 内部の挙動を解析したうえで、高ノイズ耐量化につながる新規デバイス構造を考案し、実験によりノイズ耐量の改善効果と有効性を実証する。
- ④ パワエレシステムの高信頼化、高機能化要求に応じるハイサイド側の過電流保護などの異常検出機能に関し、本機能をIC に搭載するうえでキーとなる異常信号伝達素子、高耐圧 Pch-LDMOSFET のオン耐圧仕様を満たすためのデバイス条件を導く。
- ⑤ パワエレ機器の高温動作要求に応じるドライバIC 技術として、1200V クラス高耐圧デバイスの高温時における耐圧低下メカニズムの解析と改善方法を提案し、その効果を明らかにする。
- ⑥ パワエレシステムの高耐圧化要求に応じたSOIドライバIC 技術として、トレンチ酸化膜

上を介した高電位配線による Nch-LDMOSFET 素子の耐圧低下について解析し、それを克服する新規デバイス構造に必要なデバイス条件を示す。また、SOI 基板上の 1200V 保証化についても考察する。

民生用電源システムでは、要求耐圧は最大 800V 保証(一般には 600V 保証)であり、産業用では最大 1200V 保証が要求される。これら高耐圧 IC には、低コスト化要求が非常に厳しいため、上記の①から⑤に関しては、低コスト分離技術である自己分離技術をベースとして研究に取り組んだ。特に、③の高ノイズ耐量化の取り組みを通して、これまでパワーデバイスの電流定格 50A 以下の小容量分野に限定されていた高耐圧 IC(HVIC)の適用分野を、50A 以上(600V/75A、600V/100A など)の中容量分野へ拡大することが本研究の狙いである。また、上記の⑥に関しては、高温動作や高ノイズ耐性などに優れてはいるが 600V 以上の高耐圧化が困難である誘電体分離技術をベースとした高耐圧 IC について、誘電体分離技術の課題の一つである高耐圧化へ向けた実験・評価および考察を行った。

次に、本研究における第二の研究対象として、システム側からの安全性要求に対応した、“絶縁型”ドライバ IC の要素技術研究を行う。産業用や医療用機器などの各種装置は、電氣的絶縁性を必要とするものが多く存在する。例えば、高電圧制御される電気機器には、機器に取り込まれた信号が外部に伝達される時やユーザが操作盤を直接操作したときに電気ショックなどの影響を人体に与えないように、信号絶縁器(アイソレータ)が搭載されている。アイソレータは、機器間や回路ブロック間の電位差が大きい場合に、高電圧部と低電圧部間に大電流が流れないように電氣的絶縁した状態で、低電圧部から高電圧部、または高電圧部から低電圧部へ信号を絶縁伝送する機能である。

近年、DC1500V 架線対応の鉄道車両用インバータや無効電力補償装置、高圧直流送電システム(HVDC)、揚水式発電システムなどの高電圧機器の電力変換部には、1.7kV から 3.3kV、6.5kV の高耐圧 IGBT が電力変換素子として使用されており、モータ、インバータの高効率化やパワーモジュールの小型化に向け、Si デバイスを SiC デバイス(SiC-SBD、-MOSFET、-IGBT)に置き換える研究開発が進められている^[14]。SiC デバイスの場合、Si デバイスに比べて絶縁破壊電界強度が約 10 倍高いため、Si では成し得なかった 12kV、22kV などの“超高耐圧”デバイスが実現可能^{[15] [16]}であり、より高い変換電圧でシステムを構成できる。その一方で、5kVrms 以上の“超高耐圧”デバイスに対応したゲート駆動方式は、絶縁耐圧の面で駆動回路面積の大きいパルストランス方式が主流であるため(フォトカプラの絶

縁耐圧は最大 6.5kVrms)、システムの高効率化、小型化を推し進めるうえで、この方式に代わるものが求められている。

これらの背景を受けて、本研究では、次世代のパワーエレクトロニクス技術として注目されているデジタルアイソレータ IC の高性能化に寄与するプロセス技術(絶縁化技術)を確立することを目的とする。ここでいうデジタルアイソレータ IC は、フェライトなどの磁性体を用いない2つの平面状コイルで構成されたトランスを備えたデジタルアイソレータを指す。既存のデジタルアイソレータICよりも高耐圧を実現できるマイクロトランスの要素技術の研究を行う。プロセス技術(絶縁分離技術)の確立に関しては、具体的に下記の目的を設定し、研究を遂行した。

- ⑦ “超高耐圧”ゲートドライバ IC への取り組みとして、5kVrms 以上の絶縁性能に向けたマイクロトランスデバイスの製造方法を提案し、実験によって絶縁酸化膜の厚膜化に対する新しい製造方法の有効性とトランスの伝達特性までを確認し、その実現可能性を示す。

1.6 本論文の構成

本論文は6章から構成されている。第2章と第3章および第4章は、“非絶縁型”ゲートドライバ IC の高性能化について述べ、第5章は、“完全絶縁型”ドライバ IC の高性能化について述べる。以下、各章の概要について述べる。

第2章 600V クラス自己分離方式ゲートドライバ IC の高性能化

第2章では、低コストの自己分離技術をベースとした600Vクラス高耐圧ICの高速化、高集積化、高ノイズ耐量化技術の確立について述べる。ここでは、高性能化に必要なデバイス技術を明確にしたうえで独自のデバイス構造を考案し、デバイスシミュレーション解析などでデバイスの最適条件を導くとともに、実際の試作および電氣的評価によって、その有効性を明らかにした。その中で、高耐圧ICの高ノイズ耐量化による中容量帯IPMへの適用可能性についても述べる。

第3章 1200V クラス自己分離方式ゲートドライバ IC の高性能化

第3章では、同じく自己分離技術をベースとした、1200Vクラスの高耐圧ICの高機能化、

高温動作化技術の確立について述べる。保護機能として、ハイサイド側 IGBT の過電流・過熱などの異常情報をマイクロコンピュータに伝えるために必要なレベルダウン素子のデバイス特性の改善について、解析式を用いて最適なデバイス条件を導き、その効果を確認した。また、高耐圧デバイスの高温動作に有効なチップ構成を提案し、実際にその効果を確認した。

第 4 章 誘電体分離方式ゲートドライバ IC の高性能化

厚膜 SOI 基板上に形成したレベルシフトデバイスである Nch-LDMOSFET を 600V クラスのゲートドライバ IC に適用する場合、ドレインからハイサイド回路領域へ接続する高電位配線がハイサイド回路領域を囲うトレンチ分離構造の上を跨ぐことで、高電位配線下の Si 表面電界がきつくなり、耐圧低下が発生する。そこで、厚膜 SOI 基板上に形成した高耐圧 Nch-LDMOSFET の高耐圧化技術の確立を目的とし、高耐圧化に必要なデバイス構造と最適条件を導いた。また、SOI 基板上の単一素子耐圧としては難しい 1200V クラスの高耐圧デバイスについて、具体的事例とともにその実現可能性を考察する。

第 5 章 アイスレータ方式ゲートドライバ IC の高性能化

本研究では、マイクロトランスの層間絶縁膜として、半導体製造プロセスで実績のある酸化膜を用いることで、デジタルアイソレータ IC の高耐圧化、高信頼化に寄与するためのプロセス技術の確立を行う。鉄道分野や送電線、発電システム用途の高耐圧 SiC デバイス駆動を視野に入れた 5kVrms 以上の絶縁性能を持つ“超高耐圧”マイクロトランスを実現するには、絶縁膜の厚膜化が必須であるが、一般に酸化膜などの絶縁膜の厚膜化には、製造工程におけるウェハの反りの問題が生じる。そこで、本研究では、このウェハの内部応力(反り)を緩和しながら、酸化膜を厚く堆積するプロセス技術を考案し、厚膜化の実験を行った。ここでは、その実験結果と超高耐圧マイクロトランスの実現可能性について述べる。

第 6 章 結論

本章では、第 2 章から第 5 章までの研究結果を総括して結論とする。

第 2 章

600V クラス自己分離方式ゲートドライバ IC の 高性能化

第2章 600V クラス自己分離方式ゲートドライバ IC の高性能化

2.1 序言

本章では、P 型基板上にトリプルウェル構造を形成した自己分離方式の 600V クラス高耐圧 IC における高性能化に関わる技術の確立に取り組んだ。

近年、電源システムの高効率化、低ノイズ化の観点から、大画面 FPD やサーバ電源などのスイッチング電源に LLC 電流共振型制御 IC^{[17][18]}が盛んに用いられている。本章の前半(2.3 節)では、この LLC 電流共振型制御 IC に 600V 高耐圧 IC 技術と 600V 高耐圧 JFET(接合型 FET)デバイス技術を融合することで、電源システムの小型化に寄与するパワーマネジメント IC を開発した結果を述べる。また、さらなる電源システムの小型化への取り組みとして、高周波動作(最大 1MHz)を可能とすることで、トランスサイズおよび出力コンデンサの設置面積をより小さくできる。この高速化に向け、2.4 節では高速応答可能な低寄生容量レベルシフト素子の開発を目的とし、内蔵化技術の確立を行った結果と有効性を述べる。

本章の後半(2.5 節)では、パワーシステムの高信頼化への取り組みとして、高耐圧 IC の課題であるスイッチング時に発生する負電圧サージに対するノイズ耐量の改善について、P-分離型自己遮蔽方式のデバイス技術の確立を行った。その結果から、小容量帯から中容量帯の IPM および汎用インバータへ適用範囲の拡大についての実現性を述べる。

2.2 従来の高耐圧 IC 技術

従来の高耐圧 IC の構成

高耐圧 IC は、ハーフブリッジ回路構成のパワーデバイスのゲートを駆動するゲートドライバ IC で、上アームと下アームのパワーデバイスの中点電位が、上アームのパワーデバイスのスイッチング時に数百 V の高電位に上昇するため、IC 内部にも高耐圧が求められる。また、フォトカプラやパルストランスを使用した駆動方式に比べ、電源システムの小型化、高効率化に寄与するため、主に民生用電源や情報通信電源システム、小容量帯の IPM に用いられる。図 2-1 に従来の高耐圧 IC の回路ブロック図を示す。高耐圧 IC には、ハイサイドおよびローサイド駆動回路とレベルシフト回路、インピーダンス変換(誤動作防止)回路、UVLO (Under Voltage Lock Out)回路、入力制御回路などを搭載している^[19]。

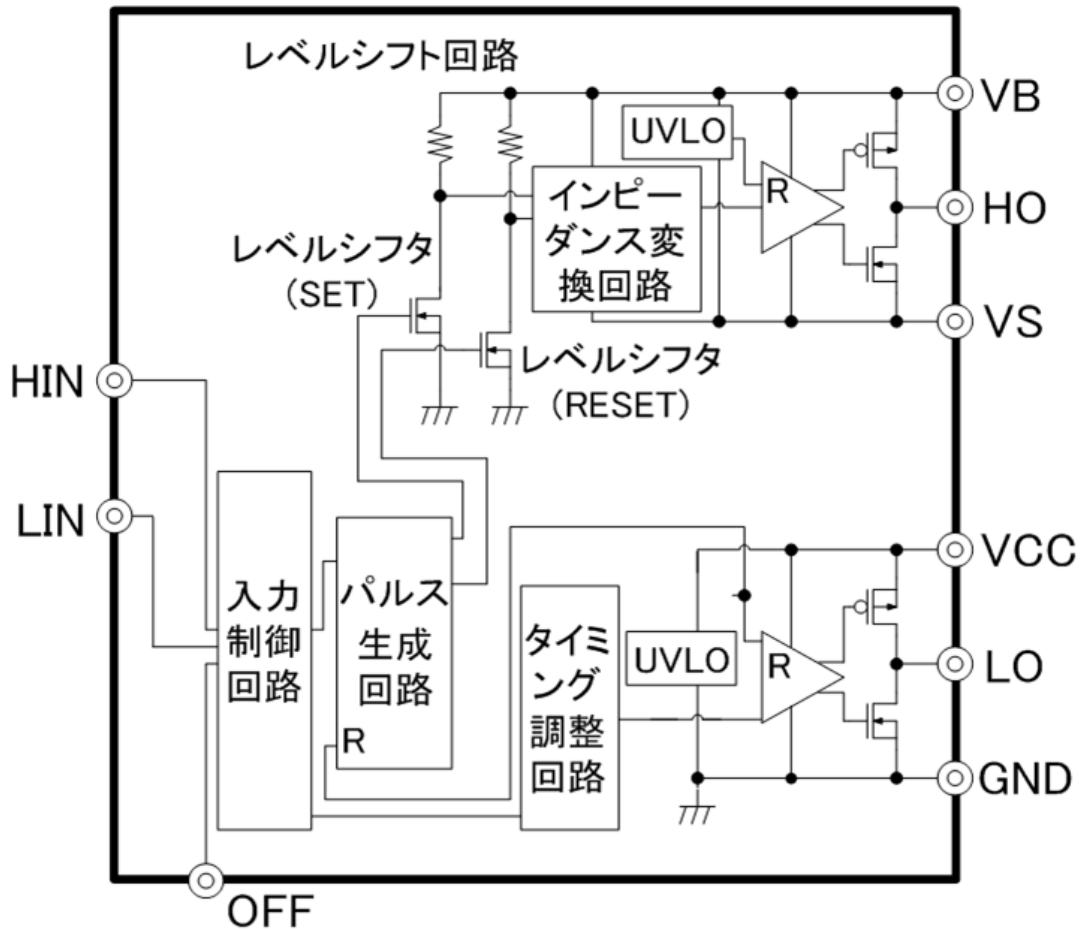


図 2-1. 従来の高耐圧 IC の回路ブロック図

図 2-2 に、AC100-250V 電源機器向けに適用可能な自己分離方式 800V 耐圧クラス (600V クラスと兼用)の高耐圧 IC のチップ外観写真を示す。チップの上側は、上アーム(ハイサイド側)の駆動回路を構成している。チップの下側は、下アーム(ローサイド)の駆動回路や入力制御回路などを構成している。チップの左上にある2つの円形デバイスがレベルシフトデバイスである。この従来の高耐圧 IC では、チップの低コスト化を目的として、高耐圧用 BiCMOS (Bipolar CMOS) プロセスの自己分離方式を採用している。表 2-1 に、この高耐圧 IC を構成している要素デバイスの一覧を示す。ハイサイドデバイスとして、30 V 系の中耐圧 MOSFET を備えている。また、ESD (Electrostatic Discharge) 保護用ダイオードは、パッケージ組立て時の ESD サージや電源ボードに印加されるスイッチングノイズに対し、IC の I/O 端子を保護するために開発した低アバランシェ動作抵抗の ESD 保護デバイスである。

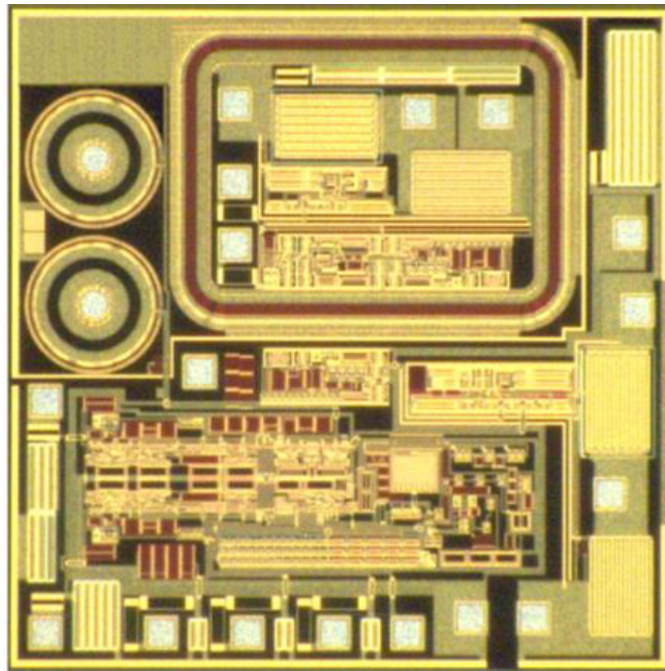


図 2-2. 従来の高耐圧 IC のチップ外観写真

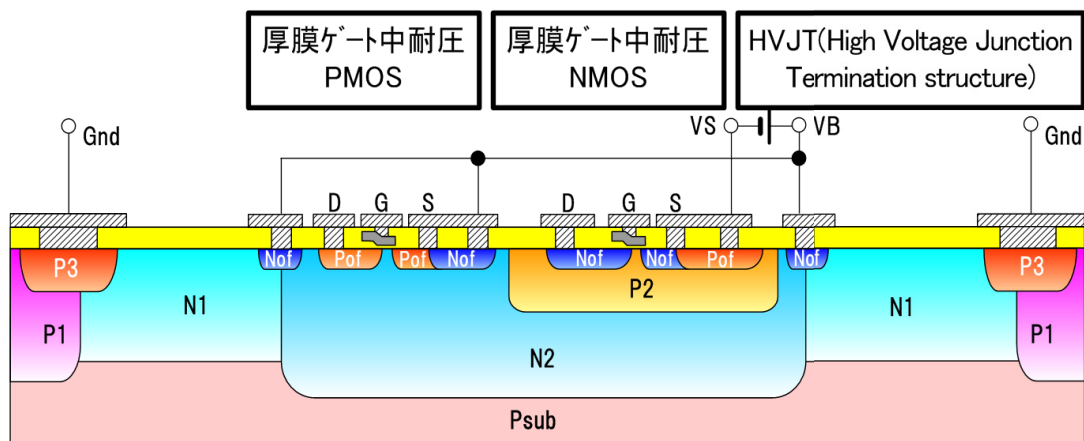
表 2-1. 高耐圧 IC を構成している要素デバイス一覧

分類	名 称	使用目的
能動素子	7 V 保証薄膜ゲート低耐圧 n-MOSFET	パルス生成回路 など
	7 V 保証薄膜ゲート低耐圧 p-MOSFET	
	30 V 保証薄膜ゲート中耐圧 n-MOSFET	ハイサイドおよび ローサイド出力段 ドライバ, UVLO, ラッチ回路用 ロジック
	30 V 保証厚膜ゲート中耐圧 p-MOSFET	
	30 V 保証厚膜ゲート中耐圧 n-MOSFET	
	800 V 保証レベルシフト用 HVNMOSFET	
	30 V 保証 NPN バイポーラ	内部電源回路など
	30 V 保証 PNP バイポーラ	
	30 V 保証 ESD 保護用ダイオード	ESD 保護回路など
	5 V/7 V 保証ツェナーダイオード	
受動素子	高抵抗用ポリシリコン抵抗	インピーダンス 変換 回路など
	低温係数ポリシリコン抵抗	
	MOS 容量	ノイズフィルタ など
	ポリシリコン容量	

従来の高耐圧 IC のデバイス・プロセス技術

図 2-3 に、従来の高耐圧 IC における、ハイサイド、ローサイド駆動回路部のデバイス断面構造図を示す。ハイサイドロジック部とローサイドロジック部との間には、グラウンド電位と 800V 電位とを接合終端する構造の HVJT(High Voltage Junction Termination structure)領域を備えている。また、ハイサイドトリプルウェル領域は図 2-3 の N2 拡散層の電位が 800V に上昇した際に、P 型基板(Psub)とハイサイド駆動回路部の N2 拡散層の接合から伸びる空乏層が、ハイサイド電源電圧 30V に逆バイアスされた N2 拡散層と P2 拡散層の接合から伸びる空乏層と接しない、つまりパンチスルーしないように設計されている。本 IC の製造プロセスでは、ハイサイド駆動回路部に、上述した深い N2 拡散層を備えた高耐圧トリプルウェル構造を形成するため、1100°C以上の高温かつ長時間の拡散をウェル形成工程において行っている。

ハイサイド駆動回路部



ローサイド駆動回路部

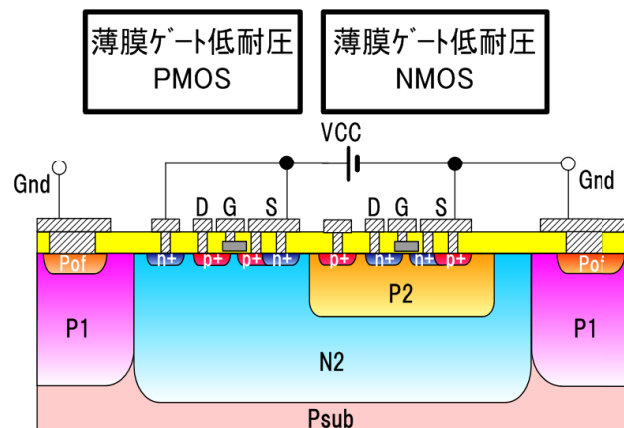


図 2-3. 従来の高耐圧 IC の構成デバイス断面図

高耐圧 IC の基本動作

高耐圧 IC の基本動作について、図 2-1 のブロック図とともに説明する。高耐圧 IC の入力端子 HIN と LIN は低電圧で動作するマイクロコンピューターなどと接続し、出力端子 HO と LO はハーフブリッジ構成された IGBT または MOSFET のゲート端子に接続する。図 2-4 に、高耐圧 IC の動作タイミングチャートを示す。ハイサイド制御信号 HIN は、立上り・立下りエッジをもとに入力制御回路にて SET 信号と RESET 信号に変換されて、SET 信号側と RESET 信号側のレベルシフタを介してハイサイド回路ブロックに信号入力され、出力ドライバ回路から HO 信号として出力される。一方、ローサイド制御信号 LIN は、入力制御回路を経てそのままローサイド回路ブロックに入力され、出力ドライバ回路から LO 信号として出力される。ハイサイド回路はハーフブリッジ回路の出力ノードを VS 基準電位とする。その結果、上アーム側と下アーム側のパワーデバイスが交互にオン・オフ動作することにより、0V から 800 V(max)の間で VS 基準電位が変動するため、急速な VS 電位の立ち上り・立ち下りに対する dV/dt 耐性と、立下り時に発生するアンダーシュート耐性(負電圧サージ耐量)が求められる。また、電力制御システムの高効率化と小型化の実現のため、高耐圧 IC のターンオン・オフ伝達遅延時間の短縮が市場から求められている。

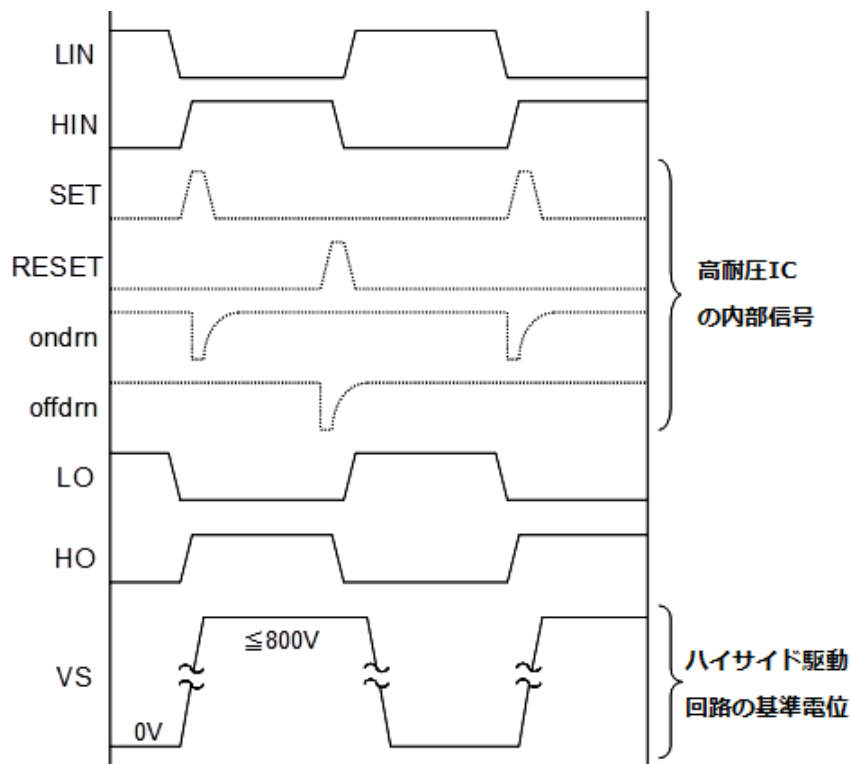


図 2-4. 高耐圧 IC の動作タイミングチャート

2.3 システム小型化に寄与するパワーマネジメント IC 技術

LLC 電流共振方式

ここではまず、LLC 電流共振方式について説明する。近年、FPD の大画面化に伴い、40 型以上の液晶テレビやサーバ電源などにおいて、従来のフライバック電源方式では、出力電力の増大や薄膜化による高効率化が困難となっており、これら要求を満たせるハーフブリッジ全波電流共振方式を用いた LLC 電流共振コンバータが主流となっている。

LLC 電流共振コンバータとは、インダクタとコンデンサの共振動作を利用した電流共振方式で、出力電圧を周波数制御で安定化することができる。図 2-5 に、LLC 電流共振回路とその等価回路を示す。1 次側インダクタンス(共振用インダクタ L_r +励磁用インダクタンス L_m)と共振コンデンサ C_r の共振周波数 f_r より高い周波数で動作するように設計する。図 2-6 に、入出力電圧特性のグラフを示す。出力状態をフィードバックし、電流共振コンバータのスイッチングを制御することで、共振周波数 f_r から f_o の範囲で使用する。周波数を f_r から遠ざけると出力電力が小さくなり、周波数を f_r に近づけると出力電力が大きくなる。

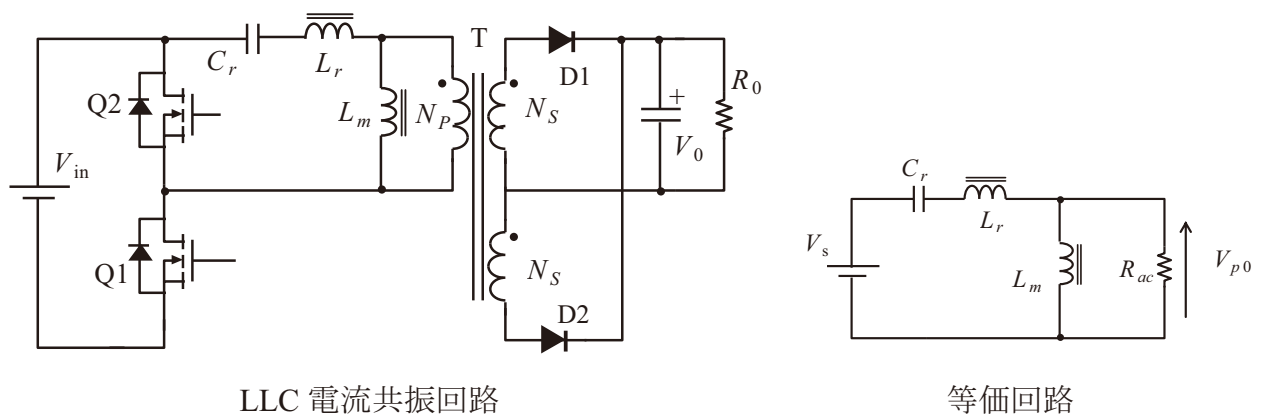


図 2-5. LLC 電流共振回路とその等価回路

電流共振方式の特徴を以下にまとめる。

- ① 共振動作により、スイッチング損失が小さい
- ② ハーフブリッジ構成なので、フライバックコンバータに比べ、耐圧の低い低オン抵抗の MOSFET を入力 1 次側に使用できるため、電力損失が小さい
- ③ ハーフブリッジ構成なので、トランス部には交流電圧が印加されるため、フライバックコンバータに比べ、トランスの利用率が 2 倍となり、出力電力を大きくしやすい

- ④ ZVS(Zero Voltage Switching)、ZCS(Zero Current Switching)といったソフトスイッチングモードであるため、ノイズの発生量が小さい
 - ⑤ 多出力コンバータ(5V,12V,24V 系)に用いる際、フライバックコンバータより他の出力の負荷変動に対する自身のクロスレギュレーション特性が良い
- などが挙げられる^[20]。

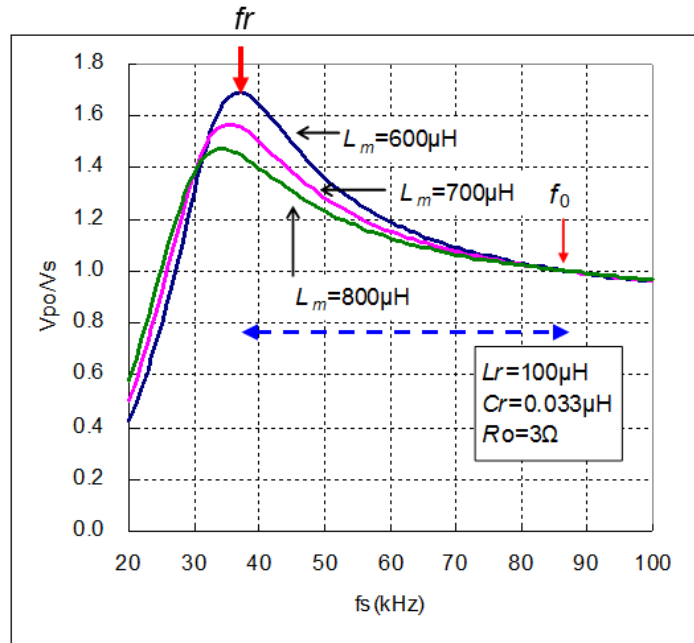


図 2-6. LLC 電流共振コンバータの入出力電圧特性

LLC 電流共振型制御 IC

次に、本研究で開発した、LLC 電流共振型制御 IC と周辺回路のブロック図を図 2-7 に示す。従来の LLC 電流共振方式を利用した電源システムに対し、ハーフブリッジ構成のパワー MOSFET を駆動するハイサイド・ローサイドドライバに加え、LLC 電流共振回路に適したスイッチング電源制御回路(起動回路、入力電圧センス機能、過電流・過負荷・過熱・過電圧の各種保護機能、低待機電力モードなど)をワンチップに集積化した高機能のパワーマネジメント IC(製品型式:FA5760)である^[21]。本 IC は、前述した自己分離方式の高耐圧 IC 技術をベースとし、民生用電源に適した徹底した低コスト化と高集積化が求められている。

その低コスト化と高集積化の取り組みの一つとして、自己分離方式の高耐圧 IC 技術を活かし、高機能アイテムの一つである電源起動時に VCC 電圧をセルフ充電する起動回路部に必要な高耐圧 JFET デバイスを、製造プロセスの追加なく、IC に内蔵することを目指した。

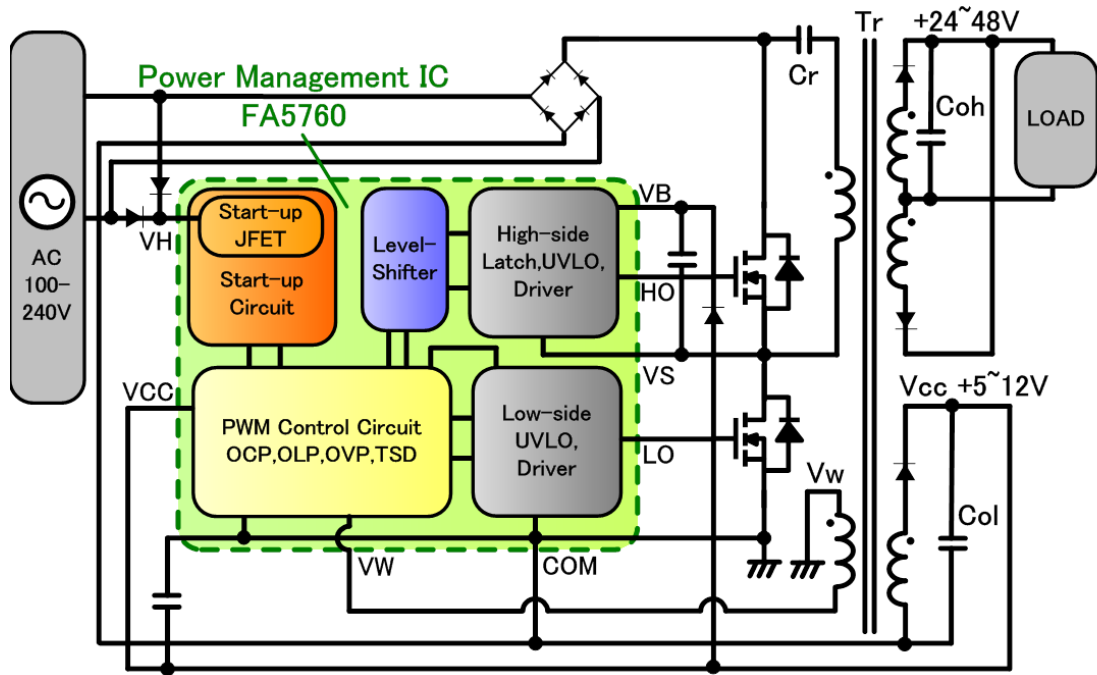


図 2-7. LLC 電流共振型制御 IC(FA5760)と周辺回路ブロック図

起動回路の構成と起動素子 600V 高耐圧 JFET の構造および要求特性

図 2-8 に、本 IC に内蔵される起動回路のブロック図を示す。起動回路は、IC 初期状態において、VCC 電圧を供給するための回路である。VH 端子に高電圧が入力されると、VCC 端子に外付けされたコンデンサ C1 に充電するための起動電流が、起動素子 S2、スイッチデバイス M1(中耐圧 n チャンネル MOSFET)を介して流れる。図 2-7 に示した、AC100-240V 商用電源をダイオードブリッジで全波整流し、VH 端子には最大で過渡的に 600V の高電圧がかかる。そのため、図 2-8 に示した起動素子 S1、S2 の JFET には 600V の高耐圧が求められる。また、制御回路の電源電圧となる VCC を充電する際に、スイッチ M1 のソースドレイン間耐圧よりも、JFET のソース領域におけるカットオフ電圧が低くなければならない。同時に、VCC を充電しきるまでは、JFET が十分な充電電流を供給しなければならないため、例えば、VCC=18V の時でも数 mA オーダーの電流能力が必要となる。また、スイッチ M1 は、VCC 電圧が充電されて高くなると、バックゲート状態となるため、しきい値電圧が高くなる。そのため、バックゲート状態でも十分な充電電流を流すには、スイッチ M1 のゲート電圧が 25V 以上でなければならない。図 2-9 に、起動素子 600V-JFET のデバイス平面図を示す。上述した動作条件を満たすため、JFET のカットオフ電圧が 25V から 30V の範囲に収まるように、デバイス設計を行った。

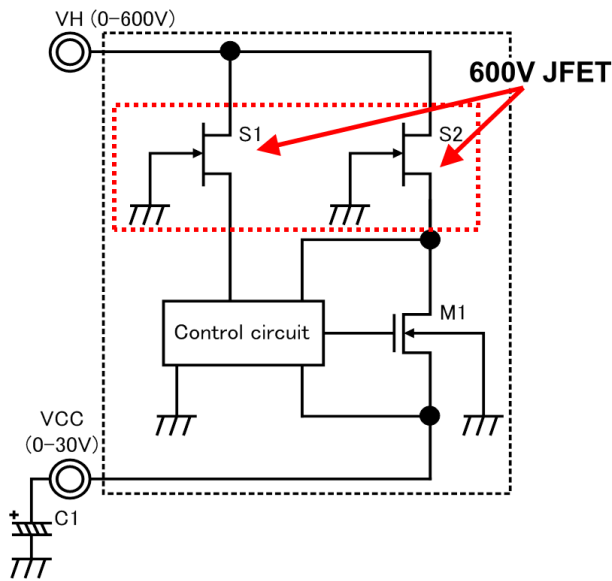


図 2-8. 起動回路のブロック図

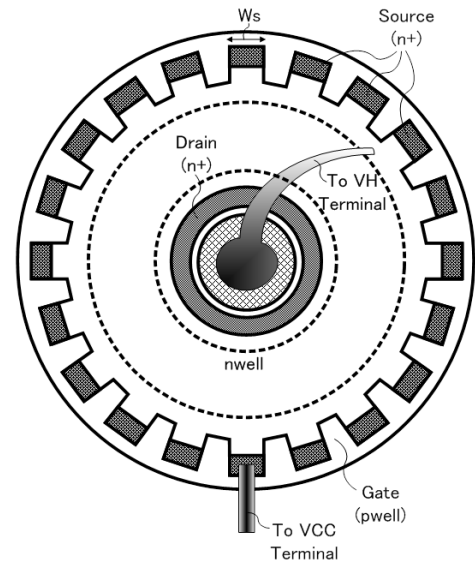


図 2-9. 起動素子 600V-JFET の平面図

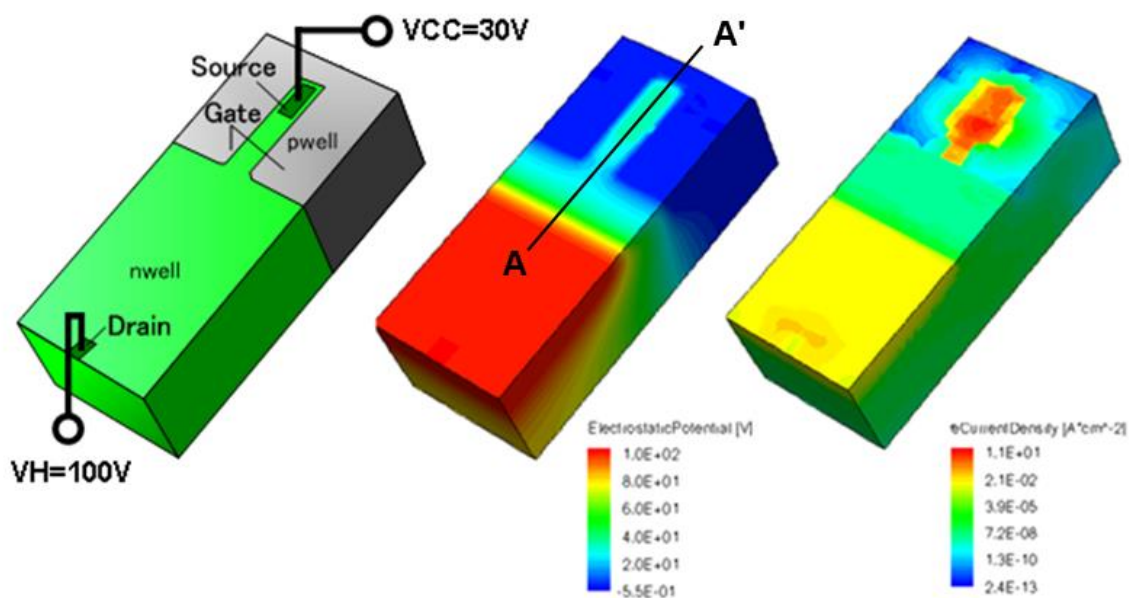
600V 高耐圧 JFET のデバイスシミュレーション結果と実測結果

起動素子を設計するうえで重要なポイントは、カットオフ電圧特性を要求された 25V から 30V の電圧範囲に収めるとともに、起動電流も確保することである。JFET のカットオフ電圧を決めるパラメータとしては、主に Gate 領域に当たる Pwell 層と、Drain のドリフト領域に当たる Nwell 層の不純物濃度と拡散深さ、および図 2-9 に示したソース領域幅 W_s の長さである。本研究では、3次元デバイスシミュレーションを用いて、JFET のカットオフ電圧の W_s 長依存性と耐圧特性を確認した。前述したように、従来の高耐圧 IC プロセスをベースに、レベルシフトデバイスなどに使用している、図 2-3 の、P1 層、P3 層、N1 層を兼用して、要求された JFET デバイス特性を実現することに取り組んだ。

図 2-10 に、JFET の 3次元シミュレーション結果(印加条件、電位分布、電子電流密度)を示す。Drain に 100V を印加し、Source を 30V、Gate を GND(0V)とした時の様子である。3次元構造でシミュレートすることで、Source 領域の空乏化現象を高精度に模擬できる。図 2-11 に、図 2-10 の A-A'カットライン部に当たる、JFET デバイス断面の Drain が 100V、Source が 20V、Gate が 0V の状態時における電位分布を示す。Source が 20V 印加時に、Gate 直下で空乏層がつながり、カットオフ(ピンチオフ)されている様子が分かる。

図 2-12 に、JFET のカットオフ電圧 W_s 長依存性とカットオフ電圧波形($V_{sg}-I_{ds}$)、耐圧波形($V_{ds}-I_{ds}$)について、デバイスシミュレーションと実際に作製したデバイスの実測結果を合

わせて示した。この結果から、JFET デバイスのシミュレーションと実測がほぼ整合が取得しており、目標仕様であるカットオフ電圧や起動電流特性も得られた。結果、JFET デバイスを LLC 電流共振型制御 IC に内蔵するにあたり、プロセス工数の追加なく、ワンチップ上に集積することができた。



印加条件 電位分布 電子電流密度

図 2-10. JFET の 3 次元デバイスシミュレーション図

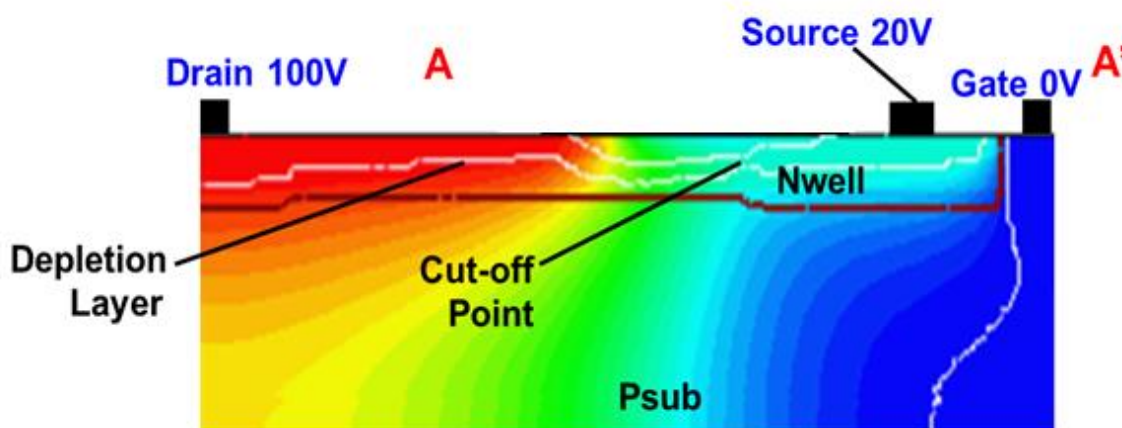


図 2-11. JFET のデバイス断面における電位分布図

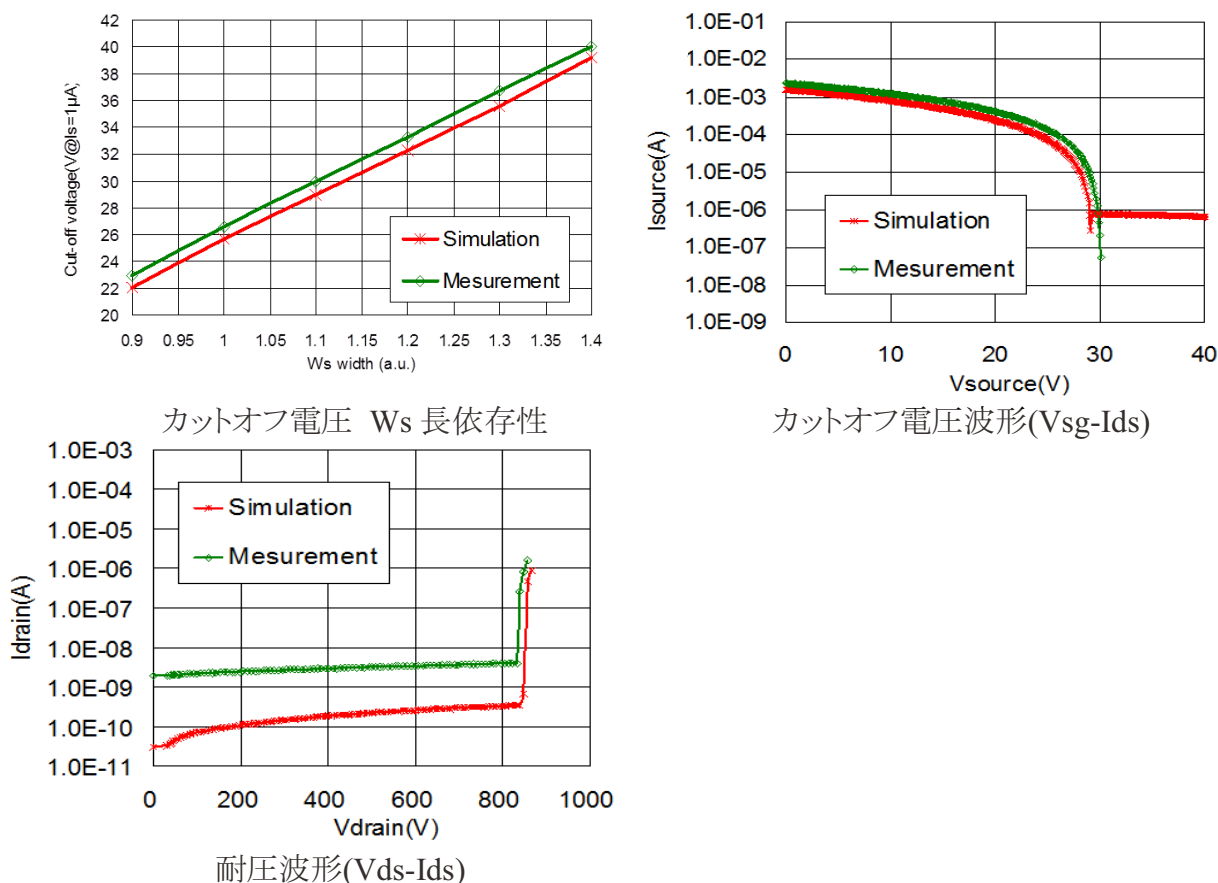


図 2-12. JFET デバイス特性グラフ(シミュレーションと実測結果)

開発した LLC 電流共振型制御 IC の特性

開発した LLC 電流共振型制御 IC FA5760 の外観写真を図 2-13 に示す。ハイサイド・ローサイドドライバ、制御回路、起動回路、各種保護回路を備えており、16 ピンの SOP パッケージを使用している。図 2-14 に、FA5760 の起動回路部における $V_H=100V$ 、 $V_{CC}=12V$ の印加条件で測定した起動電流の温度依存性を示す。起動電流は、JFET のドリフト抵抗とソース領域のピンチ抵抗で決まり、負の温度係数を持つため、高温時の起動電流特性が重要である。開発した JFET の W_s 長、ソースの個数を調整することで、 $-40^\circ C$ から $125^\circ C$ の温度範囲で目標仕様である $3.0mA$ 以上の起動電流を確保できている。

図 2-15 には、FA5760 の電力効率特性を示す。AC230V の入力電源において、2 次側の負荷電力が $100W$ 出力の時に効率 91.5% が得られており、フライバックコンバータ方式よりも 5% 程度高い効率が得られる。また、図 2-16 には、スタンバイ時における入力電力(待機電力)特性を示す。ここでは、ハイサイドのゲートドライバを内蔵していない富士電機の従来型

電流共振コンバータ(※M-Power2C シリーズ)のデータと比較した。出力負荷 0W、60mW の待機時において、従来方式よりも低い待機電力特性が実現できている(無負荷時に AC240V で 150mW の低消費電力を実現)。

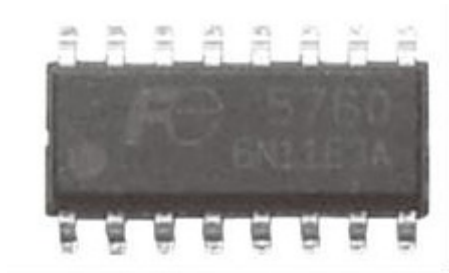


図 2-13. FA5760 外観写真

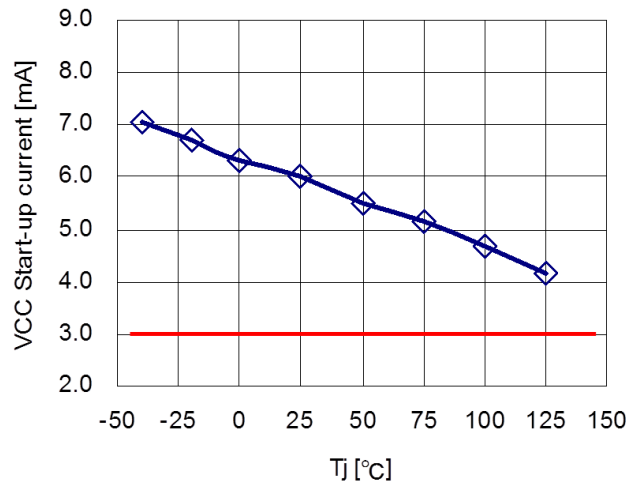


図 2-14. FA5760 の起動電流 温度依存性

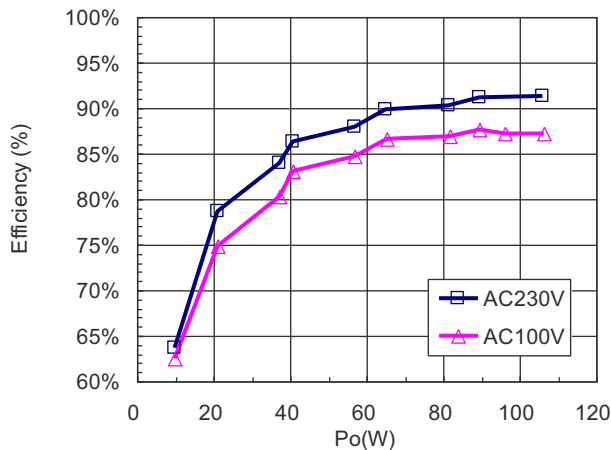


図 2-15. FA5760 の電力効率特性

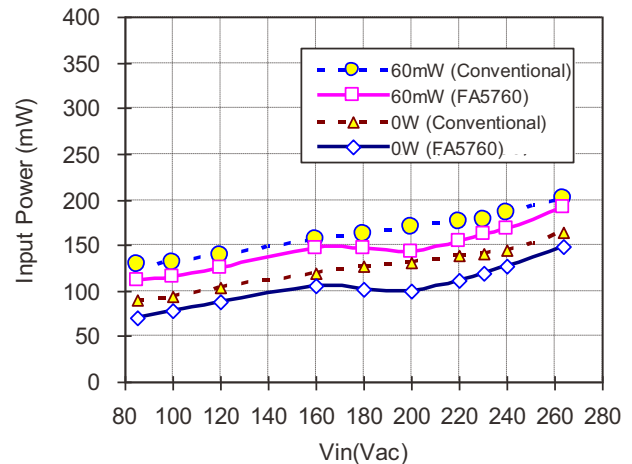


図 2-16. FA5760 の待機時の入力電力特性

次に、従来の電流共振型パワーマネジメントシステム(M-Power2C)と開発した FA5760 を含むパワーマネジメントシステムの構成図を図 2-17、図 2-18 にそれぞれ示す。また、表 2-2 に、従来と FA5760 を使用した場合のシステム構成部品点数の比較表を示す。従来のシステムでは、ハイサイド電源用トランスや PFC 回路用チョークコイル、スタンバイ機能の VCC オン・オフ回路、入力電圧検出用回路などがコンバータの外付け部品として必要であり、部品点数が多い。一方、開発したパワーマネジメントシステムはハイサイドドライバを内蔵しているた

め、ブートストラップ回路方式で構成でき、ハイサイド電源用トランスが不要になる。また、従来の共振回路は、AC200-300V の入力電圧範囲にしか対応していないため、昇圧コンバータとして、PFC 回路が必須であったが、開発した IC は AC85-264V の広範囲の入力電圧に対応しているため、PFC 回路なしのシングルコンバータ構成が可能となる。これにより、システムの部品点数が、PFC 回路なしの構成では従来の 159 個から 103 個になり、大幅な点数削減を実現できる。また、図 2-19 には、大型液晶パネル向けに開発した LLC 電流共振型制御 IC FA5760 を搭載した、1 次側と 2 次側の電源評価用プリント基板の写真を示す。左側の基板(表)の中央部に実装されているのが、LLC 共振コンバータ用トランス、右側の基板(裏)の左下部に実装されているのが、FA5760 である。

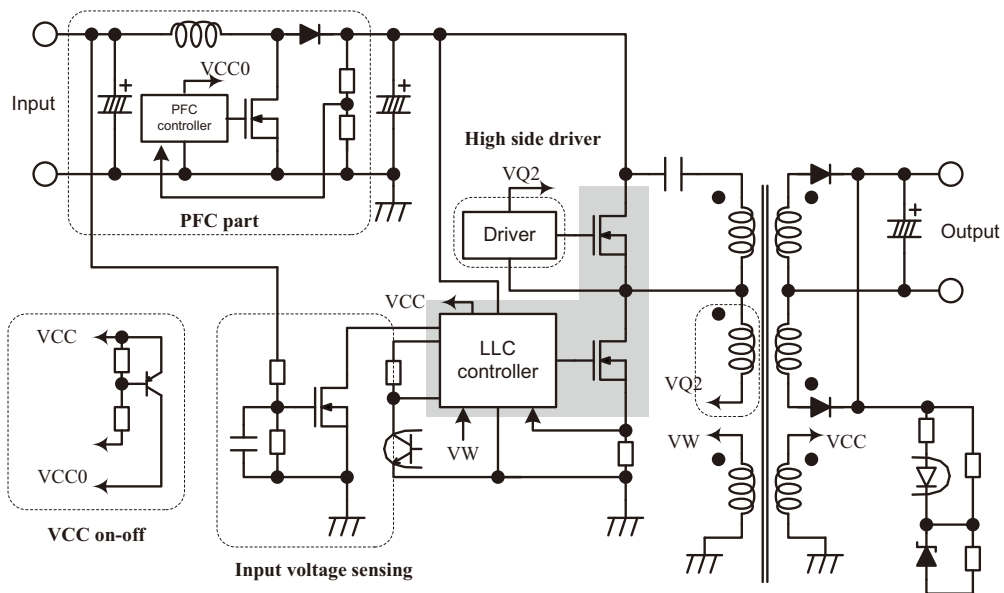


図 2-17. 従来の電流共振型パワーマネジメントシステムの構成図(M-Power2C)

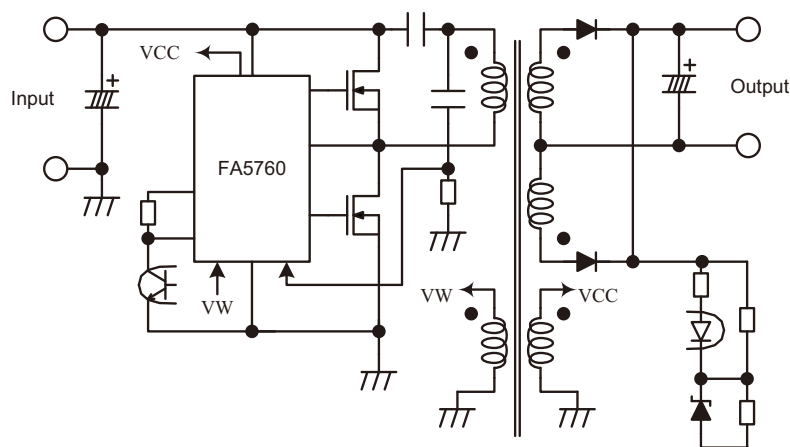


図 2-18. 開発した FA5760 を用いた電流共振型パワーマネジメントシステムの構成図

表 2-2. 従来と FA5760 を使用した場合のシステム構成部品点数比較表

	Conventional system with V-regulator	FA5760 (Maximum reduction)	FA5760 (With PFC)
LLC resonant	82	84	84
High side driver	15	0	0
Input voltage sense	7	0	0
Voltage regulator	31	0	31
VCC on-off	5	0	0
Other	19	19	19
Total	159	103	141

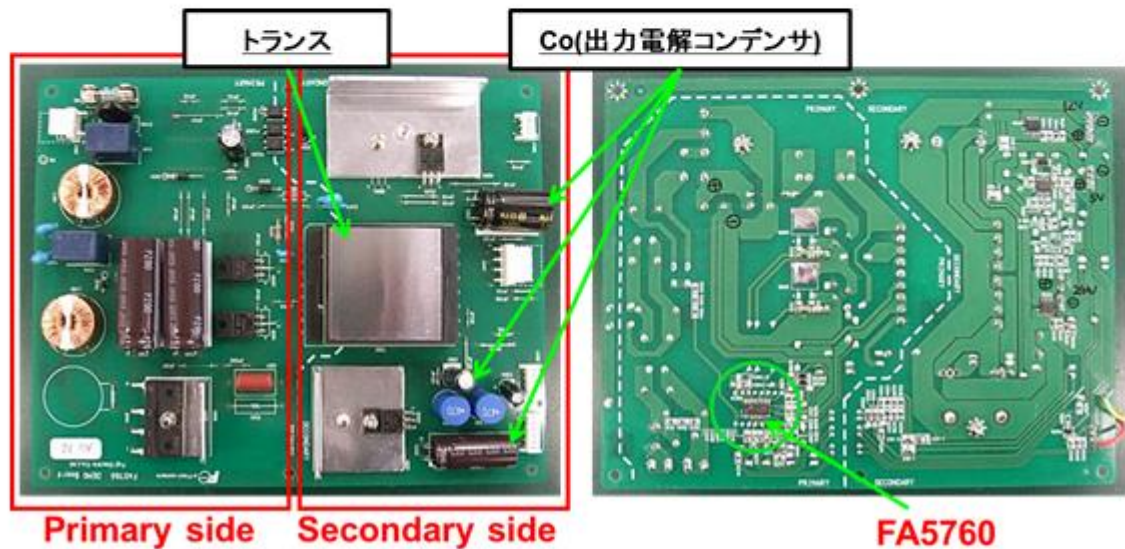


図 2-19. FA5760 を搭載した、1 次側と 2 次側の電源評価用プリント基板の写真

まとめ

起動回路に用いる JFET のカットオフ電圧と起動電流特性の最適化において、ソース領域の W_s 長を調整することが有効であることがデバイスシミュレーションによって分かった。その結果、目標仕様を満たす JFET のデバイスディメンジョンを確定した。実測結果においても良好な特性結果が得られ、高耐圧デバイスである JFET とレベルシフトデバイスである高耐圧 Nch-LDMOSFET の拡散層を兼用することで、プロセス工数の追加なく、LLC 電流共振型制御 IC に、ハイサイドドライバ機能とスタートアップ機能をワンチップに内蔵することができた。

これらのデバイスを内蔵したパワーマネジメント IC では、仕様を満たす起動回路の起動電流温度依存性と高い電源効率、低い待機電力特性が得られ、本 IC を搭載したシステムでは、部品点数の大幅な削減が可能となった。これにより、パワー IC の高機能化、高集積化によるシステム小型化への有効性が示された。

2.4 高速化に向けた低寄生容量レベルシフト技術

はじめに

本節では、第1章で挙げたパワーICに対する要求項目のうち、高速応答化に寄与するデバイス技術の確立に取り組んだ。たとえば、前節の図 2-19 に示した実装基板は、1 次側と 2 次側のインターフェースとなる共振コンバータ用トランス L_r や、2 次側の 5V、12V、24V などの電圧チャンネルごとに必要な出力電解コンデンサ C_o が大きな面積を占めている。このように、部品点数を削減し、小型化された電源実装基板においても、受動素子を小さくするなど小型化する余地がまだまだ残されている。民生用電源や通信用サーバ電源分野では、システムのさらなる小型化に向けて、高周波動作によるコイルサイズ、コンデンサの最小化が求められている^{[22] [23]}。これは、従来の LLC 電流共振回路の場合、100kHz 前後であった動作周波数を 500kHz から 1MHz 程度の高周波でスイッチング動作させるということである。

ここでは、高周波化に向けたパワーIC の高速化、つまり高耐圧 IC の伝達遅延時間の短縮を目標に寄生容量の解析を行い、低寄生容量を実現する新規レベルシフトデバイス構造を考案し、そして、その効果を実素子によって確認した^[24]。以下に、その内容を述べる。

高耐圧 IC の高速化に対する事前検討

高耐圧 IC を 1MHz 動作に対応した高速応答させるためには、オンデューティやデッドタイムを考慮すると、基本特性の一つである入出力伝達遅延時間を 50ns 程度まで短縮しなければならない。本研究では、図 2-1 に示した従来の高耐圧 IC の回路ブロック図の構成をベースに、レベルシフトからハイサイドゲート駆動回路までの各ブロックにおける入出力伝達遅延時間の構成比率を回路シミュレーションで確認した。その比率の内訳を図 2-20 に示す。この分析結果から、入出力伝達遅延時間の 31%をレベルシフトが占めていることが分かる。これは、レベルシフトデバイスである 600V 耐圧クラスの HVNMOS(高耐圧 n チャンネル MOSFET)が、大面積の pn 接合を有していることで、大きな寄生容量を持つからである。

レベルシフト回路部の伝達遅延時間は、HVMOS とそれに付随する CMOS ロジックの寄生容量の充放電時間で決まる。図 2-21(a)、(b)に、信号伝達時のレベルシフト回路部における寄生容量の充放電の振る舞いを表した等価回路図を示す。このように、レベルシフト回路部の伝達遅延には、HVMOS の入力容量 C_{iss} であるゲート容量(C_{gs} 、 C_{gd})や出力容量 C_{oss} (C_{ds} 、 C_{dsub})の充電時間が大きく関係している。

また、パルスジェネレータ回路の出力からハイサイド領域のインピーダンス変換回路までのレベルシフト回路部における伝達遅延時間(T_d) は、次の比例式で表される。

$$T_d \propto R_{on(pg)}C_{iss(hv)} + R_{ls}C_{oss(hv)} + R_{on(hv)}C_{iss(ic)} \quad (2.1)$$

ここで、 $R_{on(pg)}$ はパルスジェネレータ回路の出力 PMOS のオン抵抗、 R_{ls} はレベルシフト抵抗、 $R_{on(hv)}$ は HVNMOS のオン抵抗、 $C_{iss(hv)}$ は HVNMOS の入力容量、 $C_{oss(hv)}$ は HVNMOS の出力容量、そして $C_{iss(ic)}$ はインピーダンス変換回路における CMOS ロジックの入力容量を表す。

また、 $V_{ds} < V_{gs} - V_{th}$ のバイアス条件における HVNMOS において、HVMOS のオン抵抗は次式で表される。

$$R_{on(hv)} = \frac{V_{ds}}{I_{ds}} = \frac{LT_{ox}}{\mu \varepsilon W (V_{gs} + V_{th})} \quad (2.2)$$

ここで、 μ は電子移動度、 ε は誘電率、 W はゲート幅、 L はゲート長、 T_{ox} はゲート酸化膜厚、 V_{gs} はゲート・ソース間電圧、そして V_{th} は HVNMOS のしきい値電圧を表す。また、MOSFET の C_{iss} と C_{oss} は次式で定義される。

$$C_{iss} = C_{rss} + C_{gs}, \quad (2.3)$$

$$C_{oss} = C_{gd} + C_{dsub}, \quad (2.4)$$

ここで、 C_{rss} は帰還容量、 C_{gs} はゲート・ソース間容量、そして C_{dsub} はドレインドリフト領域と Psub 基板間の接合容量(図 2-21(b)の C_{ds})を表す。

(2.1)式から、レベルシフト回路部の伝達遅延時間の短縮には、MOSFET のオン抵抗を増やさずに、寄生容量を低減する必要がある。HVMOS は、CMOS ロジックを構成する他の MOSFET よりも接合面積が大きいため、非常に大きな寄生容量を有している。そのため、高耐圧 IC の入出力伝達遅延時間を短くするためには、HVMOS のオン抵抗を増やすことなく、寄生容量 C_{oss} を低減することが効果的かつ重要である。

- Level shifter (HVN MOS)
- Impedance conversion and noise filter circuits
- Buffer circuit
- Driver circuits
- Dead-time circuit
- SR latch circuit

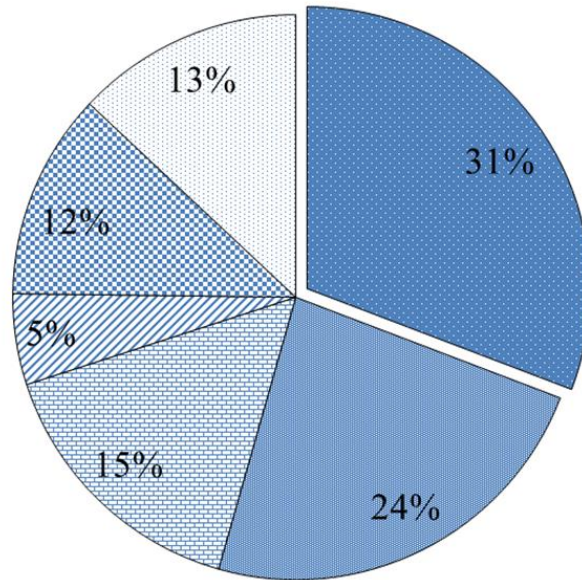


図 2-20. 従来の高耐圧 IC における入出力伝達遅延時間の構成比率

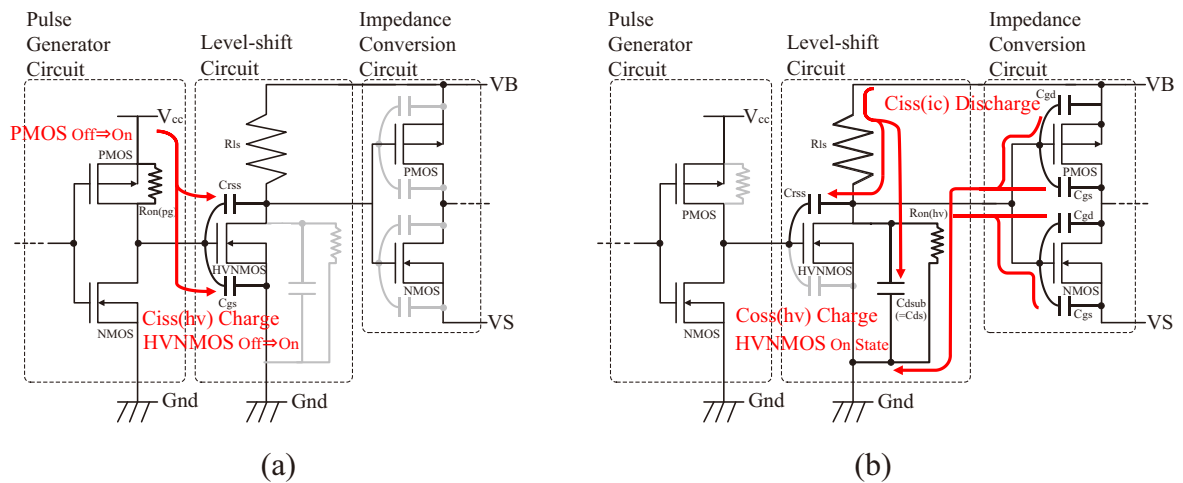


図 2-21. レベルシフト回路部における寄生容量の充放電を表した等価回路図

- (a) パルスジェネレータ回路の PMOS オン時の HVNMOS ゲート充電の振る舞い
- (b) HVNMOS オン時の HVNMOS の C_{oss} 充電の振る舞い

低寄生容量レベルシフトデバイスの構造

図 2-22 に、従来の HVNMOS における容量-電圧(C-V)特性のシミュレーション結果を示す。周波数は $f=1\text{MHz}$ でシミュレーションを行った。この結果から、Psub 基板と n-型ドリフト領域の接合で構成される C_{dsub} が、寄生容量の中で最も大きいことが分かる。本研究では、この C_{dsub} を低減できる新規デバイス構造を考案した。図 2-23(a)、(b)に新規デバイス Reduced Parasitic Capacitance(RPC)_HVMOS と従来の HVNMOS の平面と断面構造をそれぞれ示す。両デバイスとも、Psub 基板上に形成され、ドレイン領域を中心にソース・ゲート領域が囲っているセルパターンである。RPC_HVMOS のデバイス構造の特徴は、n-ドリフト領域がドレイン電圧を印加する領域とフローティング電位領域の 2 つの領域に分かれている点である。n-ドリフト領域の分割は、図 2-23(a)に示した Psub 基板に到達する P 型拡散層で行っている。分割した一方をフローティング電位領域とすることで、デバイスの耐圧特性を犠牲にすることなく、HVMOS の C_{oss} を低減することが狙いである。ここでは、従来の HVNMOS の C_{dsub} を約半分削減するため、RPC_HVMOS のフローティング電位領域は、従来の HVNMOS のドレイン領域がおよそ半分になるように設計した。加えて、RPC_HVMOS の入力容量 C_{iss} もゲート・ソース領域の減少により低減できる。しかしながら、単に HVNMOS のゲート・ソース領域を減少させると、ゲート幅が短くなり、オン抵抗が増加する。RPC_HVMOS は、(2.2)式に示すゲート長 L を短くすることで、単位面積当たりの電流密度を増加させ、オン抵抗を従来の HVNMOS と同等に維持している。

一方、伝達遅延時間を短縮する手法としては、従来の HVNMOS のゲート長 L を短くすることで、オン抵抗を半減することも考えられる。しかし、この場合、HVMOS のオン電流増加に自己発熱の問題がある。さらに高耐圧 IC を高周波で動作させることで、HVMOS の自己発熱量はさらに増加し、最大ジャンクション温度(T_{jmax})を超える可能性がある。高耐圧 IC を高周波でスイッチング動作させる場合、レベルシフタには数百 V の高電圧状態で mA オーダーの電流を供給するため、オンデューティに比例した電力損失が発生するので注意が必要である。

以上のように、トレードオフなしで高耐圧 IC の入出力伝達遅延時間を短縮するには、HVMOS のオン抵抗を維持しながら、 C_{oss} を低減するデバイス技術を確立することが最も望ましい。

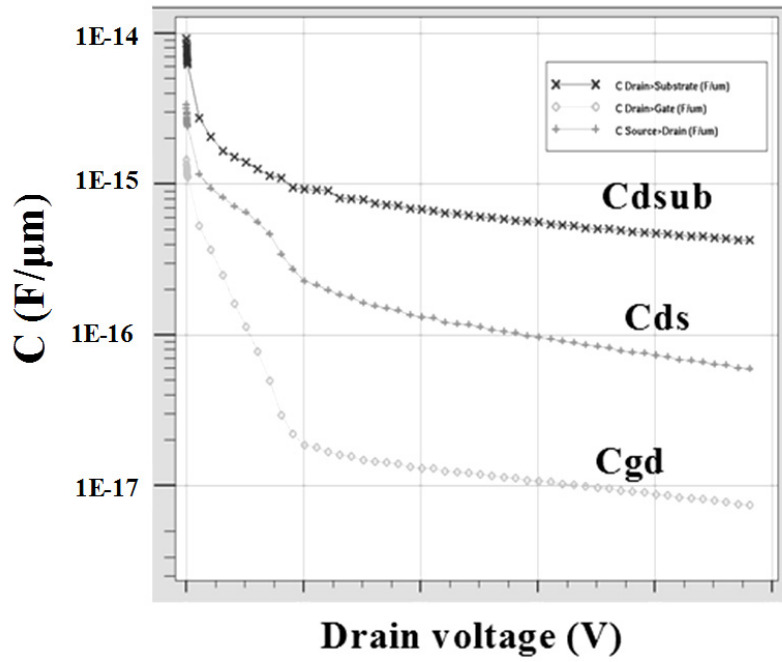


図 2-22. 従来の HVNMOS における容量-電圧(C-V)特性のシミュレーション結果

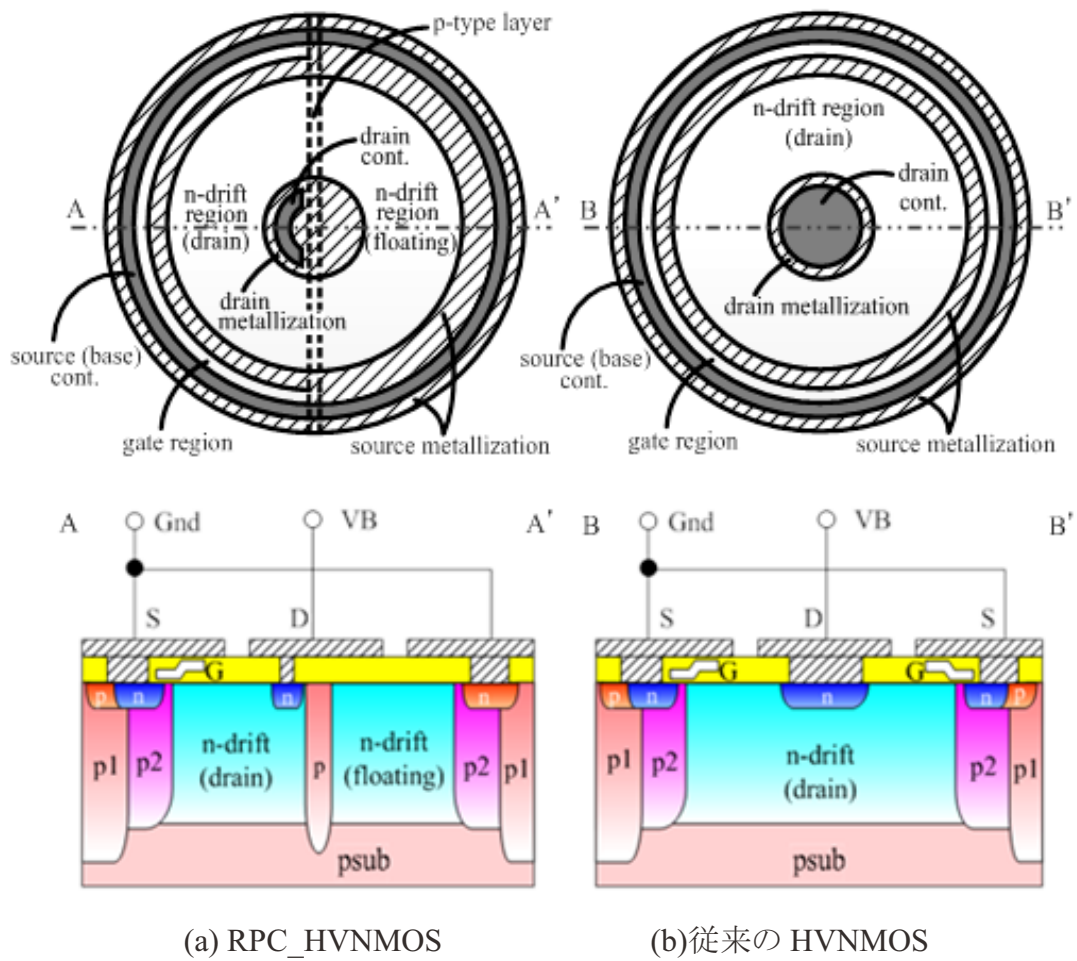


図 2-23 (a) 新規デバイス RPC_HVNMOS、(b)従来の HVNMOS の平面と断面構造

シミュレーション結果

RPC_HVNMOS における分割された n-ドリフト領域の耐压特性への影響を確認するため、TCAD でデバイスシミュレーションを行った。図 2-24(a)、(b)に従来の HVNMOS と RPC_HVNMOS のオフ耐压比較波形と $V_{ds}=830V$ 印加状態における電位分布図のシミュレーション結果をそれぞれ示す。シミュレーション結果から、RPC_HVNMOS のデバイス構造で、830 V の耐压が得られた。これは、フローティング電位領域がドレイン電位に接続されたメタルフィールドプレートに従って電位上昇するため、n-ドリフト領域を分割している P 型拡散層が、ドレイン電圧が高くなるにつれて空乏化し、その結果、図 2-24(b)に見られる緩やかな電位分布となり、従来のデバイスの耐压性能を維持することができる。

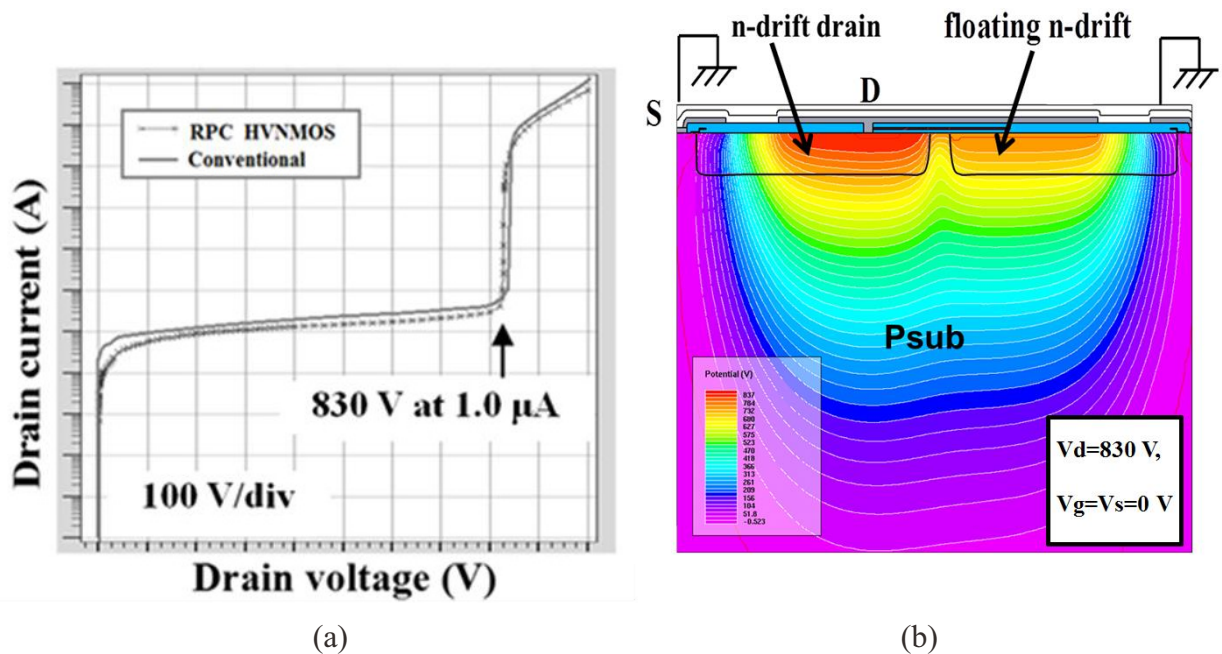


図 2-24. デバイシミュレーション結果

- (a) 従来の HVNMOS と RPC_HVNMOS のオフ耐压比較波形
- (b) $V_{ds}=830V$ 、 $V_{gs}=0V$ 印加状態における電位分布図

実測結果と考察

図 2-25 に、自己分離プロセスを用いて Psub 基板上に作製した RPC_HVNMOS の外観写真を示す。レベルシフトの専有面積を小さくする目的で、図 2-1 のブロック図に示した SET、RESET 信号用の 2 つのレベルシフト(HVNMOS)が、中腹部にあるフローティング電位領域と 2ヶ所の分割用 P 型拡散層を介し、向かい合って結合した構造となっている。

図2-26に、作製したRPC_HVNMOSのI-V特性波形(旧 Tektronix 製 Curve Tracer 370A 使用)を示す。この結果、 $V_{gs}=5V$ の印加状態で 800V 以上のオン耐圧があり、また、オフ状態においても 800V 以上のオフ耐圧が確認できる。図 2-27 には、作製した RPC_HVNMOS のC-V特性波形(旧 Hewlett-Packard 製 HP4280A C-meter 使用、測定周波数: $f=1MHz$)を、従来の HVNMOS とともにプロットした。 $V_{ds}=0V$ における RPC_HVNMOS の C_{oss} は、従来構造よりも 40%低い値となっている。この実測結果と図 2-20 の遅延時間構成比率の結果から、レベルシフトデバイスに RPC_HVNMOS を適用することで、およそ 12%の入出力伝達遅延時間の短縮を図ることができると見積られる。

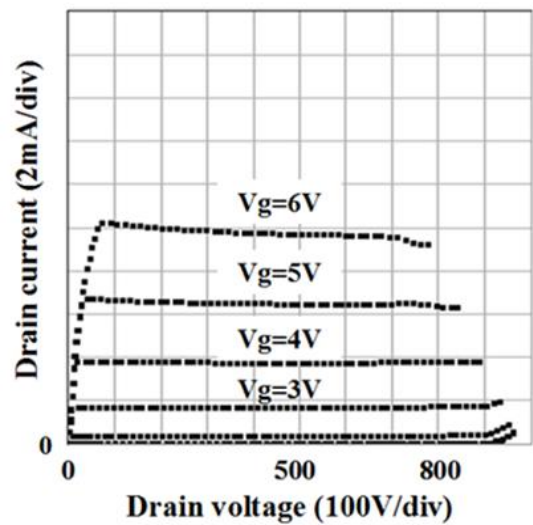
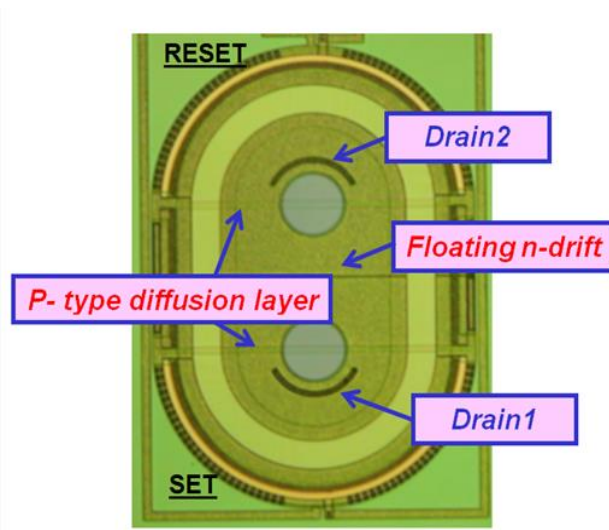


図 2-25. RPC_HVNMOS 外観写真

図 2-26. RPC_HVNMOS の I-V 波形(V_{ds} - I_{ds})

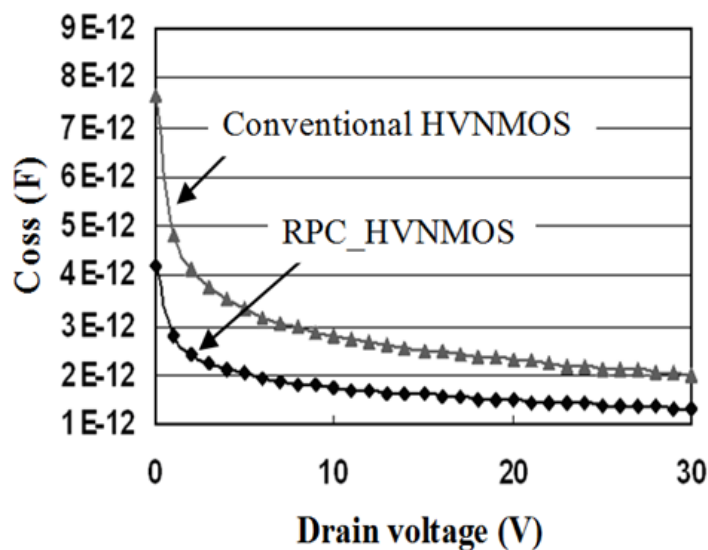


図 2-27. RPC_HVNMOS と従来の HVNMOS と C-V 特性波形($f=1MHz$)

次に、RPC_HVNMOS と従来の HVNMOS の入出力伝達遅延特性を比較評価するため、高耐圧 IC のプロトタイプ IC を作製した。なお、ハイサイド回路部(レベルシフト抵抗、インピーダンス変換回路から駆動回路まで)の回路構成は両者とも共通とした。図 2-28 に、プロトタイプ IC の伝達遅延特性の評価条件を示す。室温で、ハイサイド電源電圧(V_B - V_S 間電圧)15V、 $V_S=0V$ として、HIN1(SET)、HIN2(RESET)端子にパルスジェネレータで、6V の入力信号を入れてから出力信号 HO が応答するまでの時間をオシロスコープで測定した。

図 2-29(b)に示したように、RPC_HVNMOS をレベルシフタとして適用した場合、入出力伝達遅延時間は、 T_{don} (ターンオン)=51ns、 T_{doff} (ターンオフ)=47ns となり、従来の HVNMOS (図 2-29(a)参照)を適用した場合と比較して、12%短い結果が得られた。これは、遅延時間削減の見積もり値と一致する。この結果から、HVNMOS の C_{oss} 低減は、高耐圧 IC における入出力伝達遅延時間の短縮に有効であることが示された。

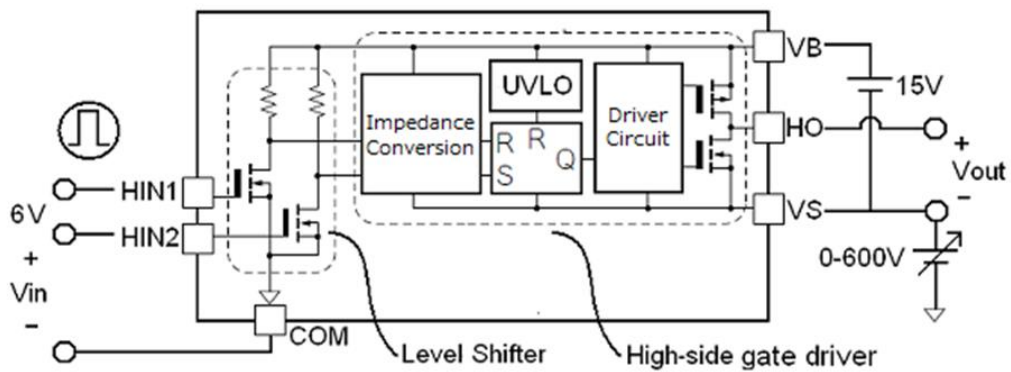


図 2-28. プロトタイプ IC の伝達遅延特性の評価条件

$V_{in}=6V$, $V_B-V_S=15V$, $V_S=0V$, $T=25^\circ C$

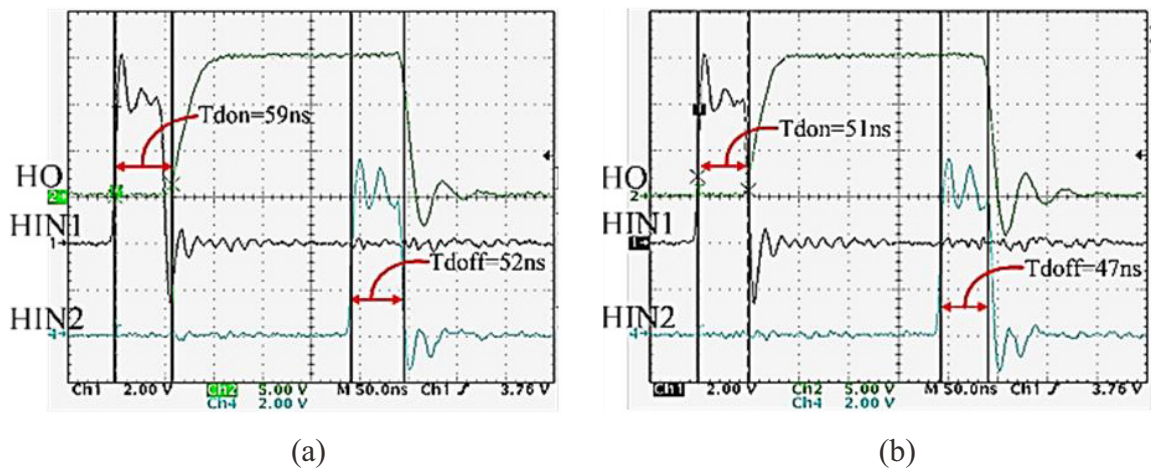


図 2-29. 作製したプロトタイプ IC の HIN1 と HIN2 信号における HO 出力応答波形

(a) 従来の HVNMOS 適用、(b) RPC_HVNMOS 適用

まとめ

本節では、高耐圧 IC の入出力伝達遅延時間の遅延時間構成比率を調べるとともに、高速応答化に寄与する 600V クラスの横型 HVNMOS の低寄生容量化について述べた。 C_{dsub} 削減のために考案した新構造の RPC_HVNMOS を適用することで、耐圧特性を犠牲にすることなく、従来の HVNMOS に対し、40%の C_{oss} 低減に成功した。また、RPC_HVNMOS を適用したプロトタイプ IC では、従来の IC に比べて、12%の入出力伝達遅延時間の短縮が可能となり、HVNMOS の C_{oss} 低減が伝達遅延時間短縮に有効であることが確認できた。

以上の結果から、およそ 50ns の伝達遅延時間を実現できる本デバイス技術を適用することで、システム小型化に寄与する 1MHz の高周波動作要求に対しても十分に対応可能であると考えられる。ただし、高耐圧 IC の場合、高周波化に伴う電力損失(レベルシフトの自己発熱)の影響を加味して、適切な HVNMOS のゲートオン期間、オン電流および、パッケージの熱抵抗などを調整、選択する必要がある。

2.5 P-分離型自己遮蔽方式によるノイズ耐量の改善

はじめに

本節では、第 1 章で挙げたパワー IC に対する要求項目のうち、高ノイズ耐量化に寄与するデバイス技術の確立に取り組んだ。第 1 章で説明したように、高耐圧 IC ドライブ方式では、ハーフブリッジ構成における上アーム側の IGBT に付随する寄生インダクタンスによって、上アームと下アームの midpoint である VS ラインがスイッチング時に GND 電位を大きく下回る負電圧サージ現象があり、このとき高耐圧 IC がラッチアップや誤動作して破壊やシステム損傷を招く可能性がある。この負電圧サージは、負荷に供給するパワーデバイスの電流定格(電流容量)に比例するため、高耐圧 IC は比較的電流定格の低い民生用電源や小容量 IPM など特定のアプリケーションに限定されてきた。

本研究では、高耐圧 IC の高ノイズ耐量化を図ることで、これまでよりも電流容量の大きい中容量分野への適用を可能とする高耐圧 IC の実現を目標とし、技術確立を行った。ここからは、IPM などのハーフブリッジ構成で使用されるゲートドライバ IC を対象とする。

本研究の取り組みとして、ノイズ発生時の IC 内部状態を明らかにしたうえで、高ノイズ耐量化を実現する新規自己遮蔽構造を考案した。そして、その効果をシミュレーションと実測により確認した^[25]。以下に、その内容を述べる。

負電圧サージの発生

ここでは、高耐圧 IC の誤動作・破壊を誘発する負電圧サージ現象の発生メカニズムについて説明する。図 2-30 に示したハーフブリッジ構成のパワーデバイス(ここでは IGBT で図示)において、上アーム側の IGBT がオンからオフ状態になった際に、モータなどの誘導負荷 L_{load} につながっている VS ノードの電位は、 L_{load} の誘導起電力の影響を受け、次式で示される過渡的な負電圧状態となる^[26]。

$$V_s = -(L_1 + L_2) \frac{dI_{load}}{d(Q_g/I_{sink})} - V_F \quad (2.5)$$

ここで、 L_1 、 L_2 は下アーム側の IGBT に付随する寄生インダクタンス、 I_{load} は誘導起電力から生じる誘導負荷への誘導電流、 Q_g は上アーム側の IGBT のゲート電荷、 I_{sink} は上アーム側の IGBT のゲート放電電流(または、高耐圧 IC のシンク電流)、 V_F は下アーム側の FWD(Free Wheeling Diode)の過渡的な順方向電圧降下を示す。

(2.5)式から、負電圧サージは、パワーデバイスの出力電流 I_{load} 、下アーム側の寄生インダクタンスや過渡 V_F だけでなく、上アーム側の IGBT のターンオフ時間にも影響されることが分かる。よって、IGBT 周辺の寄生インダクタンスを減らすことや、IGBT の電流定格を下げる、上アーム側 IGBT のゲート放電電流を小さくするなど、負電圧サージ量を小さくすることは可能である。しかし、これらのパラメータはモジュール構成や IGBT の仕様で決まるため、負電圧サージを小さくする目的で容易に構成を変えることはできない。

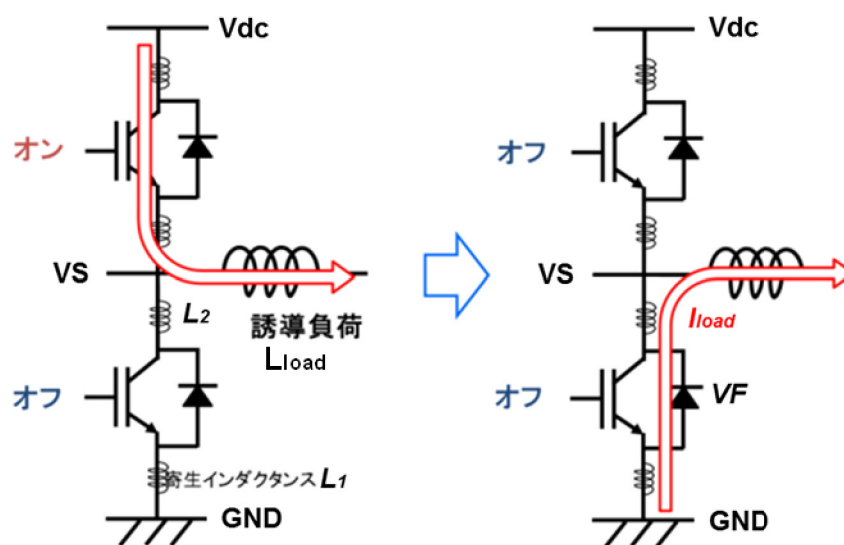


図 2-30. スwitchングによる負電圧サージ現象の発生

高耐圧 IC をパワーデバイス電流定格が 50A 以上の中容量分野へ適用するにあたり、実際の産業用 IPM で、VS ノードの負電圧サージ量を測定した。高電圧電源である $V_{dc}=600V$ 、ハイサイド電源電圧 $V_{bs}=15V$ 、誘導負荷 $L=2\mu H$ (I_{load} 最大となる相間短絡を想定)、 V_{dc} -GND 間のノイズ平滑用コンデンサ(スナバコンデンサ) $C_s=0.22\mu F$ 、 $T_j=125^\circ C$ の条件において L 負荷短絡試験を行った。IGBT には、富士電機製 600V-IGBT を用い、電流定格 100A の IPM で評価している。なお、VS 電圧は、高耐圧 IC の VS 端子直近で測定している。L 負荷短絡試験における VS ノードの負電圧サージ量を、図 2-31 に示す。ここでの評価は、短絡からハード遮断に至るまで $4.5\mu s$ かかっているため、上アーム側 IGBT のコレクタ電流 I_c は 850A まで流れて遮断しており、厳しい短絡条件下で測定していることになる。図 2-31 の結果から 100A 定格の中容量帯 IPM に高耐圧 IC を内蔵する場合には、少なくとも $VS=-104V@200ns$ の負電圧サージでは誤動作・破壊しないことが求められる。

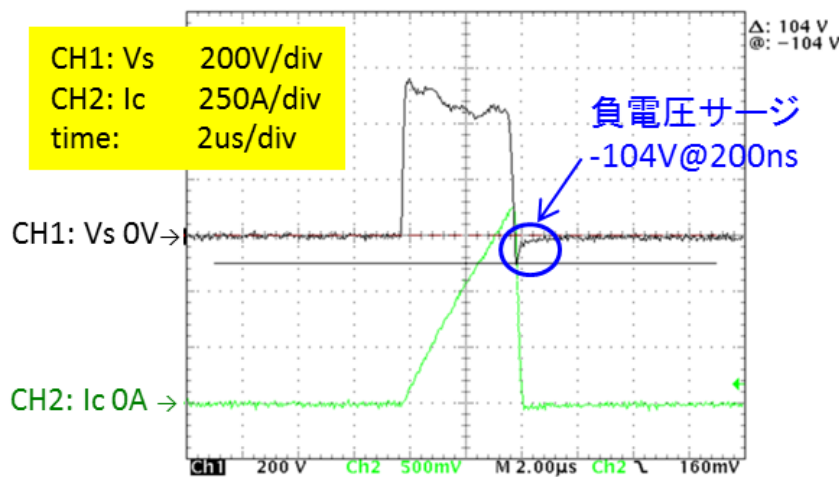


図 2-31. 100A 定格 IPM の L 負荷短絡時における VS ノードの負電圧サージ量

負電圧サージの高耐圧 IC への影響

次に、負電圧サージによる高耐圧 IC 内部で起こる過渡現象について説明する。ここでは、第 1 章で述べたそれぞれの素子分離技術に対して負電圧サージによる挙動を述べる。

図 2-32(a)に自己分離方式、(b)に pn 接合分離方式、(c)に誘電体分離方式それぞれの負電圧サージ発生時における高耐圧 IC のハイサイド分離領域の断面図とキャリアおよび寄生動作について示した。図 2-32(a)、(b)に示した自己分離方式と pn 接合分離方式では、IGBT のスイッチング時に VS ノードに入力される負電圧サージにより、高耐圧 IC 内部の HVJT 領域にあたる高耐圧ダイオードが順方向バイアス状態となるため、ホール電流がハイサイド回

路領域に注入される。高耐圧 IC において、このホール電流注入を抑制することは、最も重要な課題の一つである^{[27][28]}。なぜなら、ホール電流注入により、ハイサイドロジックである NMOS のドレイン【E】—バックゲート層【B】—VB 電位 N 型領域【C】で構成される寄生 NPN や NMOS のバックゲート層【C】—VB 電位 N 型領域【B】—Psub【E】で構成される寄生 PNP などの寄生動作からロジック誤動作を誘発し、最悪の場合、寄生サイリスタによるラッチアップ破壊に至るからである。一方、図 2-32(c)に示した誘電体分離方式を用いると、高耐圧分離領域に多重トレンチ分離構造を適用することが可能なため、負電圧サージによる高耐圧分離領域からハイサイド回路領域へのホール電流注入を防止できる。そのため、自己分離方式や pn 接合分離方式と比較すると、誘電体分離方式はノイズ耐性に優れている。ただし、誘電体分離方式でもレベルシフトデバイス(HVNMOS)などは寄生の高耐圧ダイオード構造があるため、完全に負電圧サージの影響をゼロとすることはできない。また、誘電体分離方式では、高耐圧に必要な厚い BOX 厚の SOI 基板や深いトレンチ分離工程などでチップコストが高くなることや、ワンチップ状態の 1200V クラス高耐圧 IC 化が困難という欠点がある。

そのため、本節では低コストの自己分離方式をベースとし、パワーデバイス定格 600V/100A クラスの中容量帯 IPM に適用できうる高負電圧サージ耐量の高耐圧 IC を実現することを目標とし、技術確立を行った。

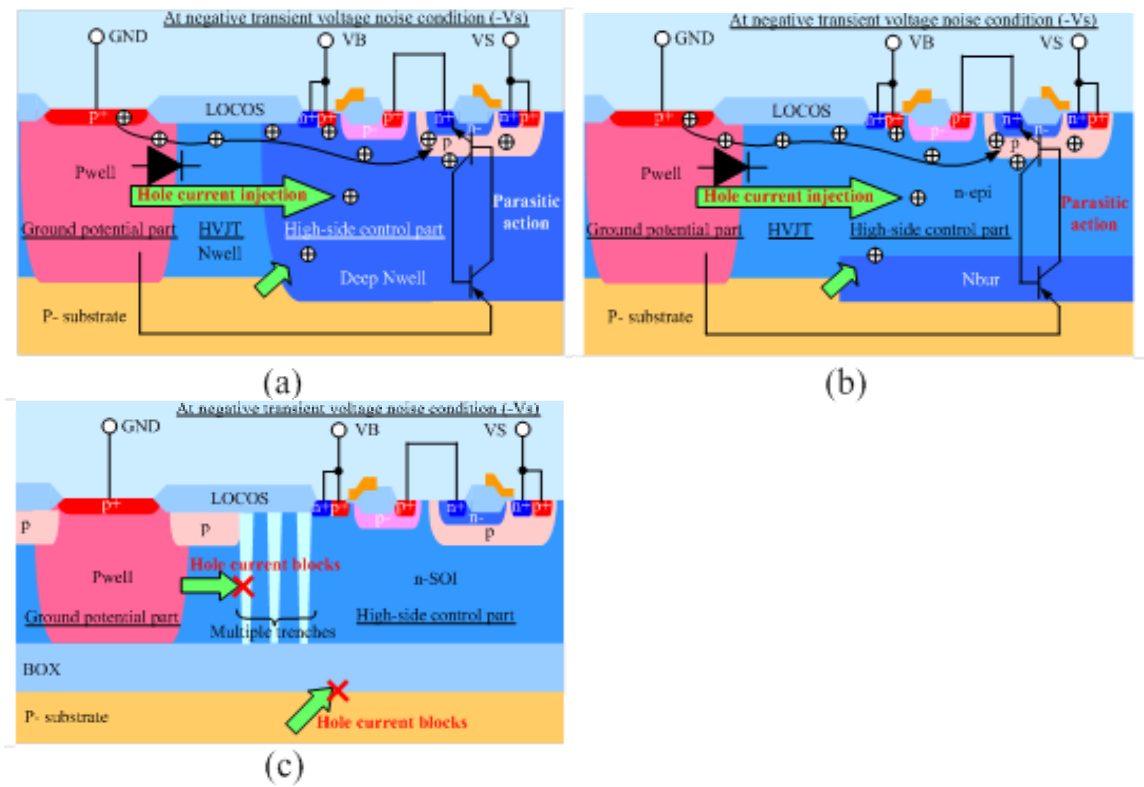


図 2-32. 素子分離方式ごとの負電圧サージ状態における高耐圧分離領域内の挙動

高ノイズ耐量化を実現するデバイス構造の検討

ここでは、高負電圧サージ耐量を実現するための高耐圧 IC のデバイスコンセプトについて説明する。図 2-33(a)に、従来構造の高耐圧 IC 平面図を、図 2-33(b)に、新構造の高耐圧 IC の平面図を示す。従来構造は、レベルシフトデバイスとハイサイド回路領域との高電位配線にワイヤボンディングを用いている。しかしながら、従来構造は負電圧サージ耐量が低く、チップサイズも大きいという課題がある。一方、今回提案した新構造では、高電位配線無くし、HVJT と HVNMOS を一体化した自己遮蔽方式(セルフシールド方式)を用いている。自己遮蔽方式は、GND 電位領域を跨ぐ高電位配線がないので高信頼化が図れること、チップサイズのシュリンクが図れるのが利点である^{[29][30][31]}。今回、高ノイズ耐量化を図るために、図 2-33(b)に示した P-分離層(P- separation layer)を設けており、ハイサイド回路領域を取り囲んで配置する構造を考案した。レベルシフト回路の信号伝達に必要なレベルシフト抵抗は、HVJT 領域の N 型拡散抵抗を利用している。

ハイサイド回路部の負電圧サージ耐量を T_{VS} としたとき、 T_{VS} は次の比例式で表される。

$$T_{VS} \propto 1/\int Jh * dt \quad (2.6)$$

ここで、 Jh はホール電流密度[A/cm²]、 t は負電圧パルス幅[ns]を表す。

T_{VS} は、ホール電流量に反比例し、負電圧サージの印加時間が長いほど、ホール電流の積分量が増すため、耐量は負電圧パルス幅に対しても反比例する。

図 2-34 に、新構造の高耐圧 IC の高耐圧分離領域における断面図と負電圧サージ状態のキャリアの挙動を示す。この P-分離層を用いた新しい自己遮蔽構造は、HVNMOS のドレインとハイサイド回路領域を接合分離することでレベルシフト回路動作を実現するだけでなく、負電圧サージ発生の際にハイサイド回路領域へのホール電流注入を抑制するのが狙いである。負電圧サージの発生時、ハイサイド回路領域の Nwell 層と HVJT の Nwell 層に挟まれた P-分離層が逆バイアスされているため、寄生ダイオードの順方向の主電流経路をブロックする。また、Nwell や Pwell 層よりも 1 桁以上比抵抗高い Psub 基板を使用しているため、Psub 領域を潜り込もうとする順方向電流は、高いアノード抵抗状態になり、制限抵抗として働く。

次に、HVJT 領域に P-分離層を配置することによる耐圧特性への影響を確認するため、2 次元のデバイスシミュレーションを行った結果を図 2-35(a)、(b)に示す。図 2-35(b)に示したように、P-分離層はハイサイド電源電圧である VB 電位が高電位に持ち上がると、部分的に空乏化するため、局所的に電界集中することなく耐圧特性を維持できる。耐圧も、600V 保証

に対して 800V と問題ない結果がシミュレーション上で得られている。

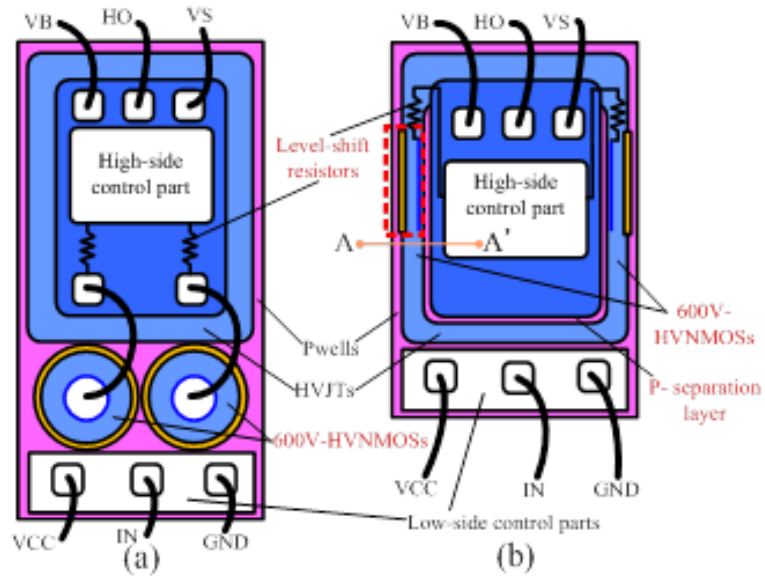


図 2-33. (a)従来構造の高耐圧 IC 平面図、(b)新構造の高耐圧 IC 平面図

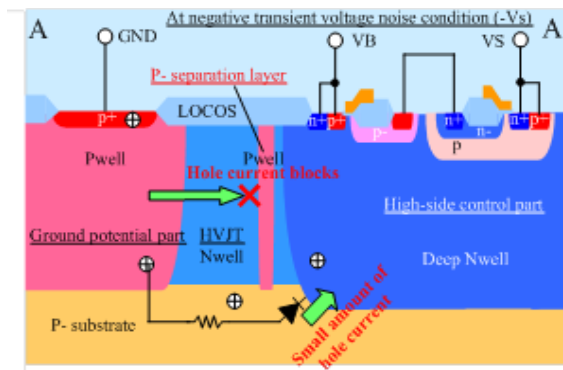


図 2-34. 新構造の高耐圧 IC の高耐圧分離領域断面図と負電圧サージ状態のキャリア挙動

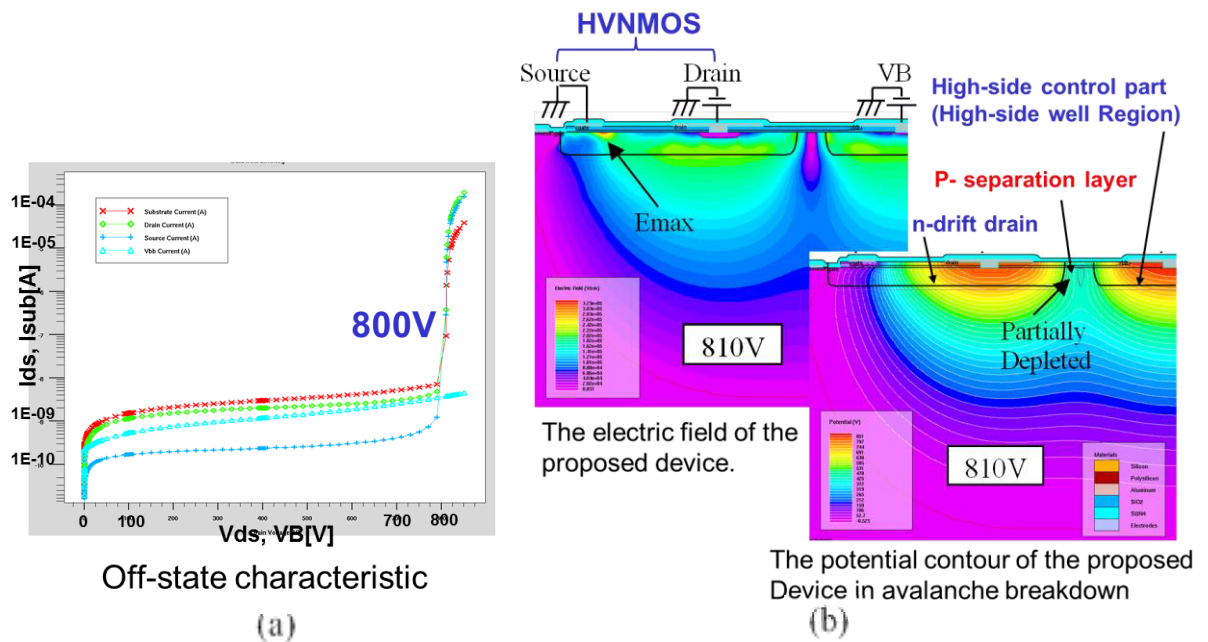


図 2-35. 自己遮蔽方式 HVNMOS (P-分離層あり) の耐圧シミュレーション結果 (a)耐圧波形、(b)電界分布と電位分布($V_D=V_B=810V$ 、 $V_G=V_S=0V$)

負電圧サージ状態を模擬した 3 次元過渡シミュレーション結果

負電圧サージ状態における高耐圧 IC のハイサイド回路領域へのホール電流注入を模擬するため、3 次元の過渡シミュレーションで解析を行った。ハイサイド回路領域である VB 電位領域と HVJT 構造を一部分切り出した 3D 構造において、局部的に P-分離層を形成する箇所(図 2-36(a)の C-C')と形成しない箇所(図 2-36(a)の B-B')に対するホール電流密度を、VB=-150V/500ns、GND=0V の順方向電流がハイサイド回路領域へ流れ込む条件で確認した。図 2-37 には、図 2-36 の B-B'部と C-C'部に注入されるホール電流密度(X 方向)を示した。これらの結果、P-分離層の形成した C-C'部では、ホール電流が P-分離層のない B-B'部のおよそ 3 分の 1 以下に抑制できていることが分かる。

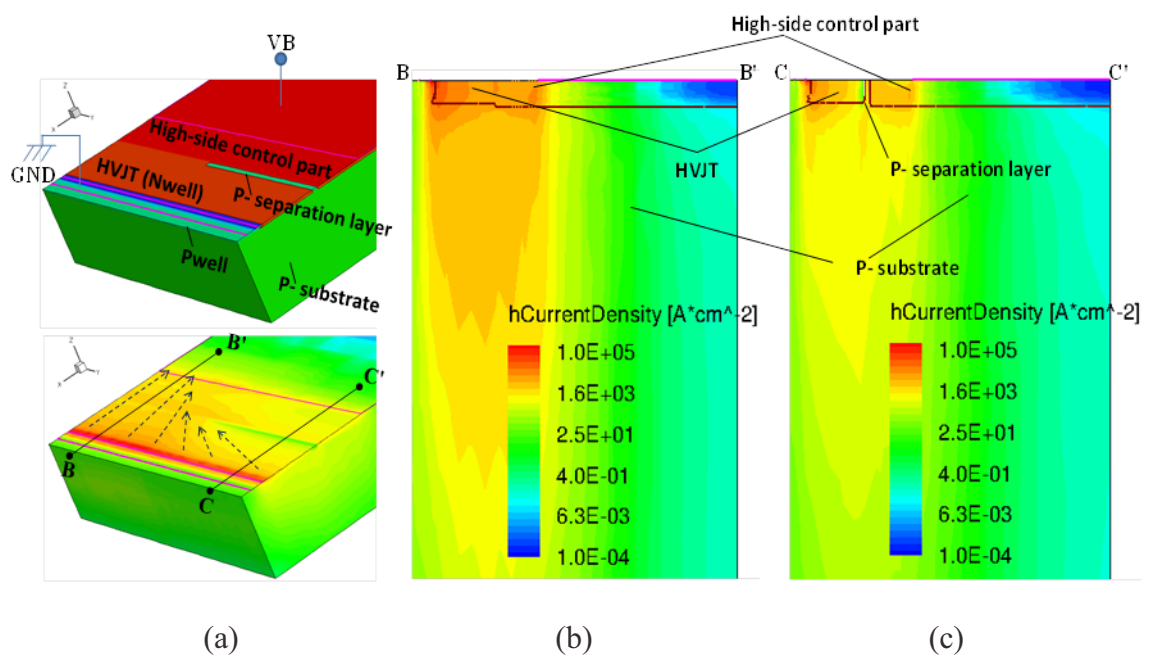


図 2-36. HVJT とハイサイド回路領域の負電圧サージにおけるホール電流密度分布シミュレーション結果 (a)斜視構造、(b)B-B'部における断面構造、(c)C-C'部における断面構造

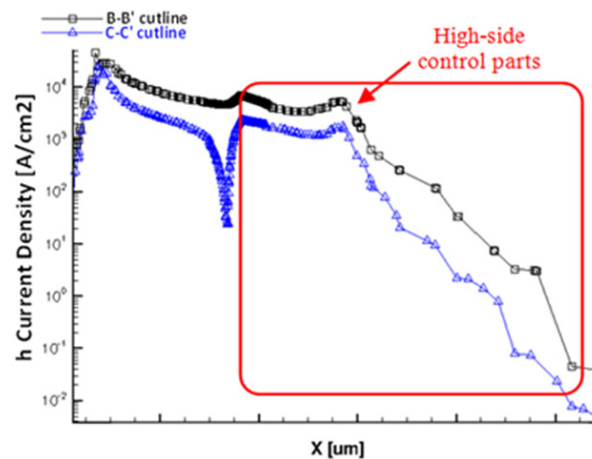


図 2-37. ホール電流密度(図 2-36 の B-B'と C-C'部、VB=-150V/500ns、GND=0V)

600V クラス 高ノイズ耐量高耐圧 IC

ここでは、開発した 600V クラス自己遮蔽方式の高耐圧 IC について説明する。図 2-38 に、従来のワイヤボンディング方式レベルシフタを用いた高耐圧 IC と開発した自己遮蔽方式レベルシフタを用いた高耐圧 IC のそれぞれの外観写真を示す。定格は、ハイサイド電源対接地電圧($V_S - GND$)電圧: 600V、ハイサイド電源電圧($V_B - V_S$): 24V、出力電流(I_{HO}): $-0.1A / 0.3 A$ である。開発した自己遮蔽方式の高耐圧 IC は、レベルシフトデバイスを HVJT 領域に一体化することで、HVN MOS (SET、RESET) と Drain パッドなどが不要となり、従来のチップと比較し、約 20% チップサイズを小型化している。

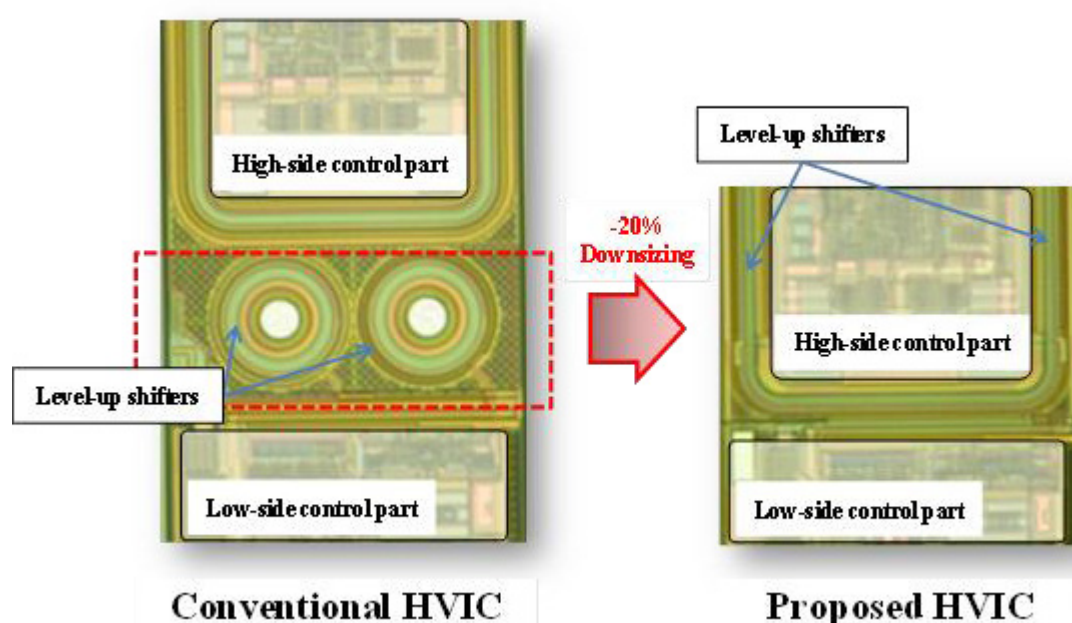


図 2-38. 従来の高耐圧 IC と自己遮蔽方式高耐圧 IC のチップ外観写真

図 2-39 に、作製した自己遮蔽方式の高耐圧 IC の $V_B - GND$ 間耐圧波形を示す。P-分離層を形成した新規自己遮蔽方式の HVNMOS と HVJT の一体化構造において、耐圧 856V を達成した。これより、P-分離層を形成した新規デバイス構造は、実験的にも高い耐圧特性が達成できた。

次に、作製した高耐圧 IC の負電圧サージ耐量の評価結果について説明する。負電圧サージを模擬するための評価回路を図 2-40 に示す。COM-GND 間に電源を設け、電圧を印加した状態で、図中の負サージ発生回路内の MOSFET(Q1 もしくは Q2)をオンさせると、オンしている期間、 $V_S - COM$ 間が負電圧に引かれる仕組みである。COM-GND 間電圧を変えることで負電圧の大きさを、GATE1-GND 間の入力パルス幅を変えることで負電圧パルス幅

をそれぞれ調整することが可能である。また、VS-COM 間抵抗(R5)を変えることで、負電圧の波形(dV/dt)を調整することもできる。今回、VS-COM 間の抵抗値は 60Ω として評価した。

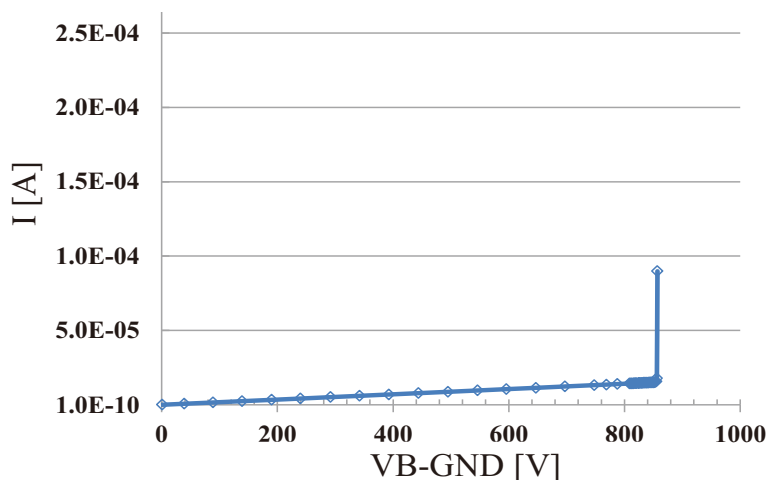


図 2-39. 作製した自己遮蔽方式の高耐圧 IC の VB-GND 間耐圧波形

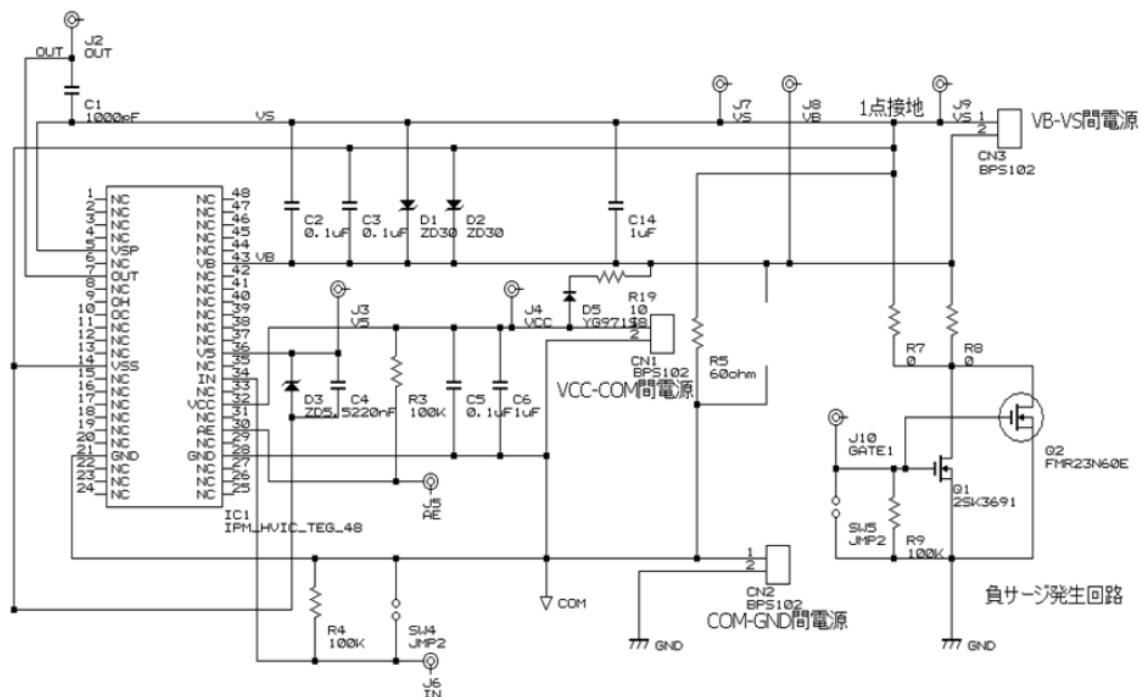


図 2-40. 負電圧サージ耐量評価回路

作製した高耐圧 IC の負電圧サージ耐量を確認する上で、従来構造の高耐圧 IC と新規自己遮蔽構造の高耐圧 IC をそれぞれ室温環境で比較評価した。図 2-41 に、従来の高耐圧 IC の負電圧サージによる出力(HO)波形を示す。図から、従来構造では-30V/1μs の負電圧パルスで出力反転(H⇒L に誤動作)していることが分かる。一方、新規構造の高耐圧 IC の負電圧サージによる出力(HO)波形を図 2-42(a)、(b)に示す。図から、出力論理が H、L ど

これらの状態でも、負電圧-90V、パルス幅 $1\mu\text{s}$ では誤動作していない。結果として、 $-95\text{V}/1\mu\text{s}$ の負電圧パルスまで誤動作しないことが実験的に確認でき、従来構造よりも負電圧サージ耐量が大幅に向上した。また、従来構造と新規構造の高耐圧 IC における負電圧サージ耐量の負電圧パルス幅依存性を図 2-43 に示す。(2.6)式から、負電圧サージ耐量は、ホール電流の積分量に比例するため、負電圧パルス幅が長いほど、耐量が低くなる。図2-42から、従来構造の高耐圧 IC に比べ、新規構造を適用した高耐圧 IC では、約 3 倍以上耐量が向上していることが分かる。これは、3 次元の過渡シミュレーションによるホール電流注入量が約 3 分の 1 となることとほぼ一致している。新規自己遮蔽方式として P-分離層がハイサイド回路領域を囲うように配置することでホール電流の注入を減少させ、ハイサイドロジックの寄生動作(サイリスタ、バイポーラ)を抑制するのに有効であることが証明された。また、新規構造の適用により、負電圧パルス幅が 200ns の時には $-166\text{V}/200\text{ns}$ の負電圧サージ耐量が得られているため、図 2-31 に示した中容量帯であるパワーデバイス $600\text{V}/100\text{A}$ 定格の IPM のアプリケーションにも十分適用できる結果である。

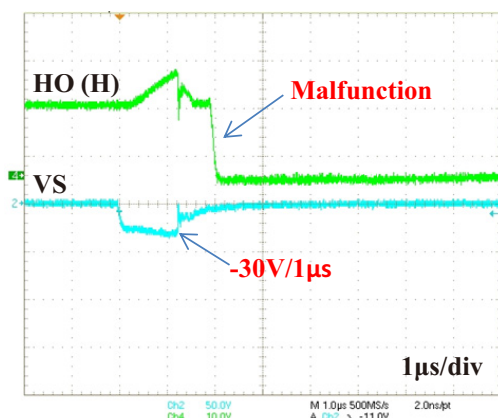


図 2-41. 従来構造の高耐圧 IC における負電圧サージに対する出力(HO)波形

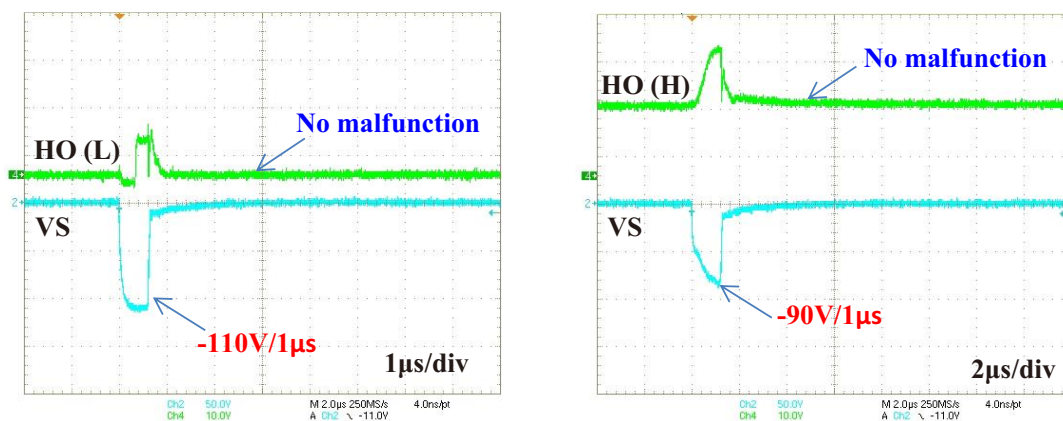


図 2-42. 新規構造の高耐圧 IC における負電圧サージに対する出力(HO)波形

(a) 出力論理 H 固定、(b) 出力論理 L 固定

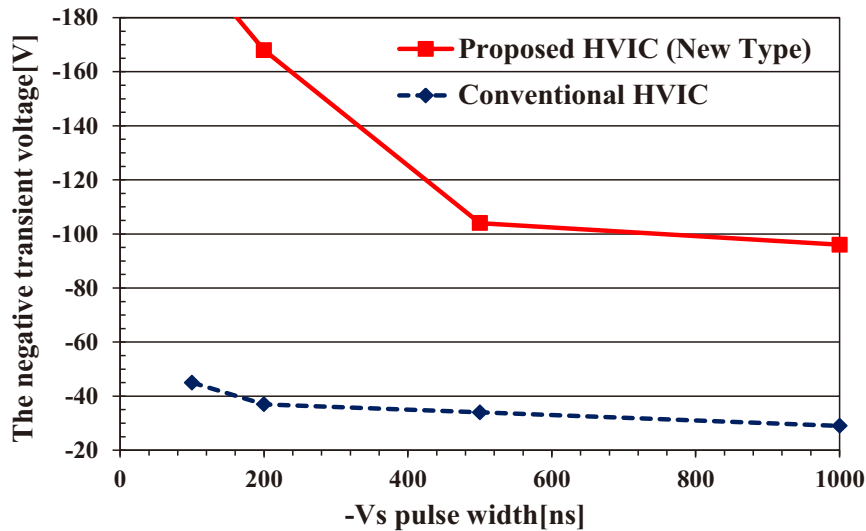


図 2-43. 従来構造と新規構造の高耐圧 IC における負電圧サージ耐量パルス幅依存性

まとめ

本節では、高ノイズ耐量化に寄与する高耐圧 IC におけるデバイス技術の確立に取り組んだ。その結果、以下のことが明らかになった。

- HVNMOS の Drain とハイサイド電源である VB 端子間の HVJT 領域に位置する N 型拡散抵抗を形成した新規自己遮蔽構造において、HVMNOS(もしくは HVJT)とハイサイド回路領域を分離する P-分離層の幅や不純物濃度をシミュレーションにより最適化した。VB および Drain 電位が高電位に持ち上がると、最適構造における N 型 Drain 領域/P-分離層と P-分離層/N 型(VB)領域の接合面から伸びる空乏層が互いにくっつくことで、P-分離層付近の電界を緩和でき、VB-GND 間の耐圧特性には影響しないようにできる。

- P-分離層を設けない従来構造の高耐圧 IC に対し、P-分離層を設けた新規自己遮蔽方式の高耐圧 IC では、VB(VS)の負電圧状態において構成された寄生ダイオードの順方向電流(ホール電流)を P-分離層でブロックする効果がある。耐圧特性を満たした最適構造では、3次元過渡シミュレーション結果から、ホール電流注入量が従来構造の約 3 分の 1 に抑制できる。作製した高耐圧 IC における負電圧サージ耐量の実測結果もシミュレーション結果と一致する 3 倍以上の耐量が得られ、負電圧サージ耐量がハイサイド回路領域に注入されるホール電流の積分量に比例することが、実験的に証明された。また、同時に P-分離層のホール電流抑制効果に対する有効性も確認することができた。

今回のデバイス技術確立において、チップサイズ小型化にも寄与するレベルシフトデバイスの横型 HVNMOS と HVJT を一体化させた新規自己遮蔽方式を考案した。また、ハイサイ

ド回路領域との分離には周囲を取り囲む P-分離層を形成して、ホール電流注入の抑制を図った。この P-分離層を配置した新規自己遮蔽方式を適用することで、耐圧特性を犠牲にすることなく、従来の高耐圧 IC に対し、約 3 倍の高ノイズ(負電圧サージ)耐量化と約 20%のチップサイズの小型化に成功した。

今回得られた結果から、新規自己遮蔽方式の高耐圧 IC は、高ノイズ耐量化とチップの小型化を両立し、さらには、パワーデバイス定格 100A の中容量帯 IPM への適用も可能にするデバイス技術を確立したといえる。

2.6 結言

本章では、自己分離方式をベースとした 600V クラス高耐圧 IC の“高機能化”、“小型化”、“高速化”、“高ノイズ耐量化”に寄与するデバイス技術、回路技術、集積化技術などについてそれらを実現するための新規構造・新規構成を示すとともに、それらの改善効果を明らかにした。

“高機能化”に関しては、高耐圧 IC に起動素子(起動回路・制御回路も含む)を内蔵することで、電源ボードの部品点数を大幅に削減でき、電源システムの小型化に対する有効性を示した。起動素子を内蔵するための集積化技術においては、シミュレーションによって解析し、デバイス単体や試作した IC 評価によって要求特性を満たすことを実証した。

“高速化”に関しては、高耐圧 IC の入出力伝達遅延時間について、各回路部における構成比率からレベルシフトデバイスの低寄生容量化に取り組んだ。新規デバイス構造を考案し、シミュレーションと実験を行った結果、約 12%の伝達遅延時間の短縮が図れ、1MHz の高速動作周波数対応への可能性を高めた。

“高ノイズ耐量化”に関しては、IGBT のスイッチング時に発生する負電圧サージによる高耐圧 IC のハイサイド回路領域へのホール電流注入に対して、独自の自己遮蔽構造を適用した際のホール電流注入の抑制効果をシミュレーションと実験によって評価した。本評価によって、負電圧サージに対するノイズ耐量を 3 倍以上に向上することができた。誘電体分離(トレンチ酸化膜など)を使用しなくとも、低コストの自己分離(接合分離)技術を工夫することで、中容量分野などさらに高い対応容量のアプリケーションにも適用できるということが分かった。また、この自己遮蔽構造は従来のワイヤボンディング方式のレベルシフトデバイスに比べ、約 20%のチップシュリンクが可能であり、IC の“小型化”にも寄与する。

第 3 章

1200V クラス自己分離方式ゲートドライバ IC の高性能化

第 3 章 1200V クラス自己分離方式ゲートドライバ IC の高性能化

3.1 序言

本章では、P型基板上にトリプルウェル構造を形成した自己分離方式の1200Vクラス高耐圧ICにおける高性能化に関わる技術の確立に取り組んだ。

本章の前半(3.2 節)では、パワエリシステムの安全性向上への取り組みとして、産業用機器、車載用機器からの要求が高い、ハイサイド側パワーデバイスの異常検知機能(過電流・過熱・短絡など)の内蔵に必要な1200V保証レベルダウン素子の開発を行い、そのデバイス特性の最適化について述べる。さらに、パワーモジュールの小型化・高電流密度化に伴い、モジュール内の各電子部品にもジャンクション温度(T_j)150°C以上の高温動作が求められるようになってきた。この高温動作化の取り組みとして、3.3 節では1200V高耐圧デバイスの高温時における耐圧低下を抑制するチップ構成について述べる。

3.2 レベルダウン素子内蔵による高機能化技術

はじめに

本節では、第1章で挙げたパワーICに対する要求項目のうち、高機能化・高耐圧化に寄与するデバイス技術の確立へ向けた取り組みについて述べる。インバータやIPMにおけるパワーデバイス保護回路の高性能化・小型化のためには、保護回路をゲートドライバICに内蔵することが重要である。さらに、IGBTの保護回路については、IGBTの過電流保護回路や短絡保護回路、過熱保護回路などが一般的に使用され、IGBTの保護機能の高性能化に寄与している^[32]。

上述した保護回路を高耐圧ICに内蔵することで、高耐圧ICのインテリジェント化が図れる。また、上アーム側IGBTの過熱・過電流などの異常を通知する異常通知信号を、外部の絶縁素子やレベルシフト回路を用いることなく、外部のマイクロコンピュータに伝達できるため、フォトカップラなどに比べ、保護機能搭載による部品点数の増加がないことも大きなメリットである。図3-1に、上アーム側IGBTの保護機能を内蔵した一般的な高耐圧ICのブロック図と周辺回路構成を示す。高耐圧ICのローサイド側からハイサイド側へ信号伝達するレベルアップ機能と、ハイサイド側からローサイド側へ信号伝達するレベルダウン機能を備え

ている。レベルダウン機能は、上アーム側の IGBT で発生した異常信号をローサイドの制御回路へフィードバックすることが可能であり、この信号伝達には通常、高耐圧 Pch-LDMOSFET が使用される^[33]。

しかしながら、高耐圧 Pch-LDMOSFET は低い電流能力、寄生素子動作、オン状態における基板リーク現象などの課題が多く、高耐圧クラスになるほどその課題は顕著となる^[34]。そのため、これまで 1200V クラスの高耐圧 Pch-LDMOSFET が実用化されている例はない。

本研究では、高耐圧化における上記課題を克服し、1200V 耐圧クラスの高耐圧 Pch-LDMOSFET の実現を目標とし、技術確立を行った。

本節では、高耐圧 Pch-LDMOSFET の電流能力を確保しつつ、寄生素子動作や基板リーク現象を防止する取り組みとして、自己分離方式 Double-RESURF 構造をベースとし、構造シミュレーションと理論解析式をもとに電気特性の改善を行った^[35]。以下に、その内容を述べる。

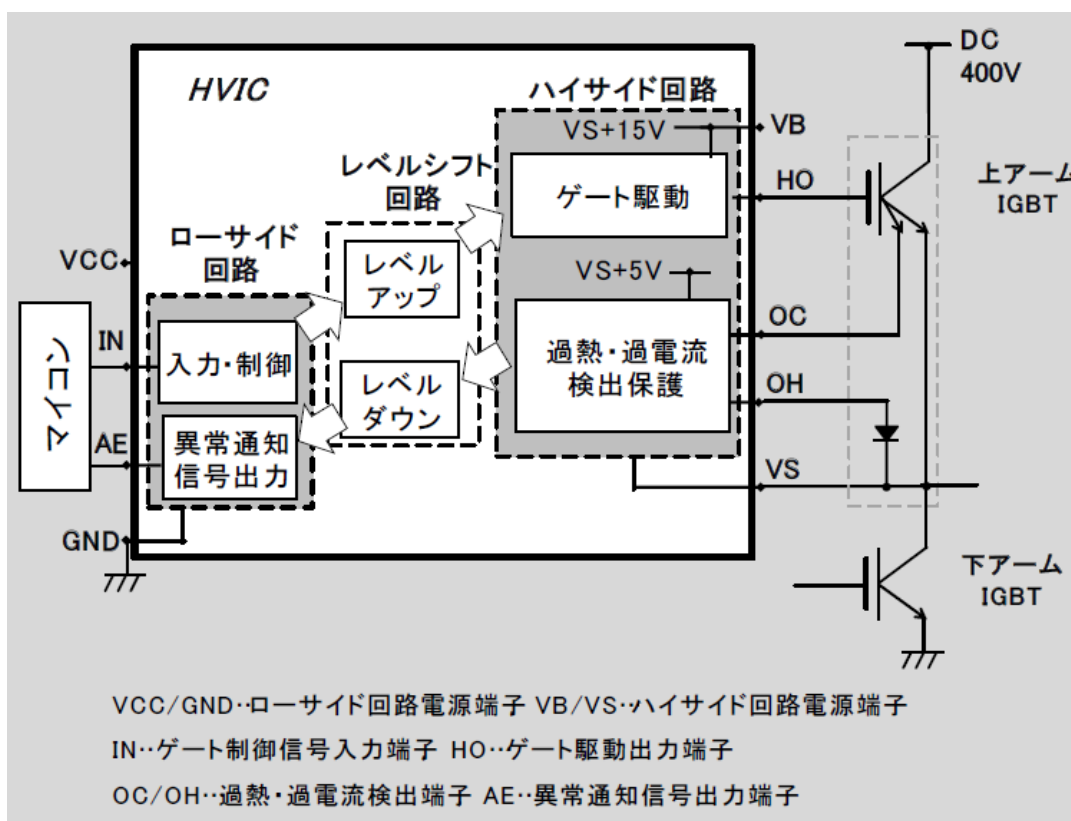


図 3-1. 保護機能を内蔵した一般的な高耐圧 IC のブロック図と周辺回路構成

高耐圧 Pch-LDMOSFET 構造

図 3-2 に、高耐圧 Pch-LDMOSFET のデバイス断面図を示す。ハイサイド回路領域と GND

電位領域の間の HVJT 領域内に形成された自己遮蔽方式である。また、高耐圧 Pch-LDMOSFET の耐圧構造は、浅い P 型拡散層の Ptop 層、深い N 型拡散層の Ntub 層、高比抵抗の Psub 基板による Double-RESURF 構造である。Double-RESURF 構造とは、P 型基板、N 型拡散層、表面の P 型拡散層による三層構造である。ソース-ドレイン間に高電圧が印加された場合、Ptop/Ntub 接合、Ntub/Psub 接合から空乏層が伸び、ソース-ドレイン間の Ptop 層、Ntub 層が完全空乏化することにより局所的な電界集中が抑制され、耐圧が保たれる。ゲートがオン状態のときは、チャンネルを介してソースから流れ込んできたホール電流が、ドレインドリフト領域である Ptop 層を通過してドレインに流れる。

また、デバイスの長期信頼性を高めるため、ソース-ドレイン間(ドレインドリフト領域)の LOCOS 酸化膜上にはシールド構造として抵抗性フィールドプレートである RFP(Resistive Field Plate)を備える。RFP はポリシリコンで形成されており、デバイス平面で見ると、ソースを囲むように渦巻き状に形成されており、両端はソースと GND 電位に接続されている。

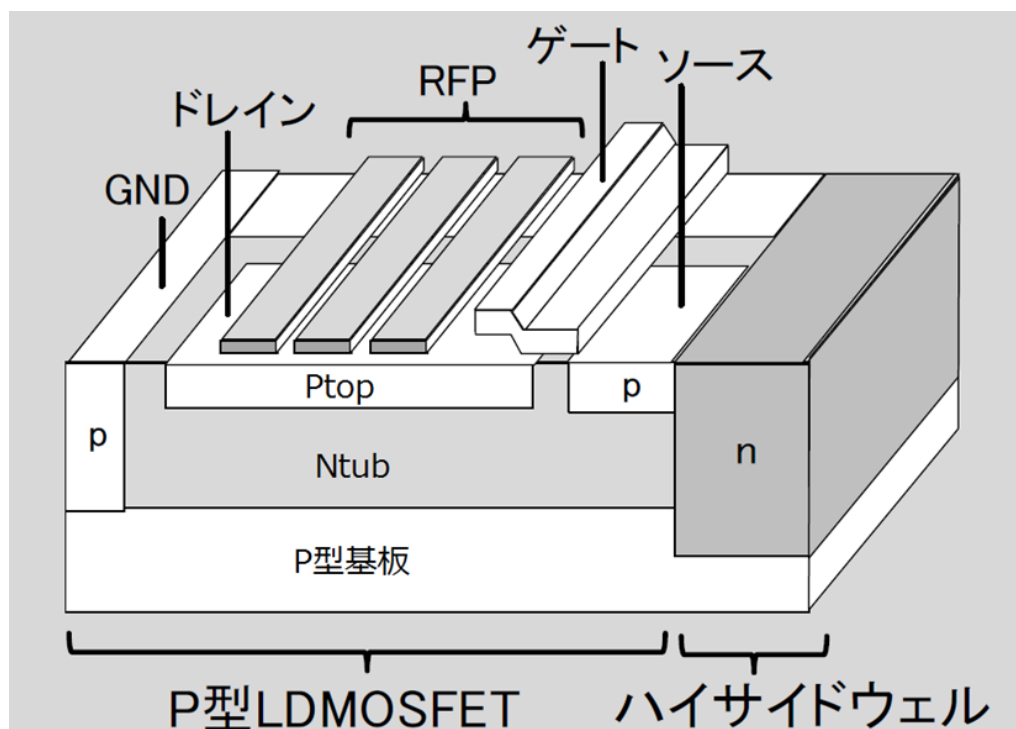


図 3-2. 高耐圧 Pch-LDMOSFET のデバイス断面構造図

高耐圧 Pch-LDMOSFET の基板リーク現象

従来構造の高耐圧 Pch-MOSFET における出力特性のデバイスシミュレーションを行った

ところ、図 3-3 に示したように、ドレイン-ソース間電圧(ドレイン電位基準のソース電位) $V_{ds}=800V$ でドレイン電流が減少し、基板電流が増加する現象が見られた。この現象は、図 3-4(a)、(b)に示したホール電流密度のシミュレーション結果から、ドレインドリフト領域から基板へのホール電流リークによるものであることが分った。1200V 耐圧クラスの高耐圧 IC にレベルダウン機能を内蔵する場合、高耐圧 Pch-LDMOSFET のオン耐圧の目標値は 1200V 以上であるが、従来構造ではこの基板リーク現象のためにオン耐圧が 800V に制限されている。

近年、この高耐圧 Pch-LDMOSFET の基板リーク現象が発見され、1200V 耐圧クラスの高耐圧 Pch-LDMOSFET を開発するうえで大きな障害となっている^[36]。本節では、この現象の詳細な発生メカニズムを解明し、理論モデル化について検討を行い、その結果に基づいてオン耐圧の改善を行った。以下に、その内容述べる。

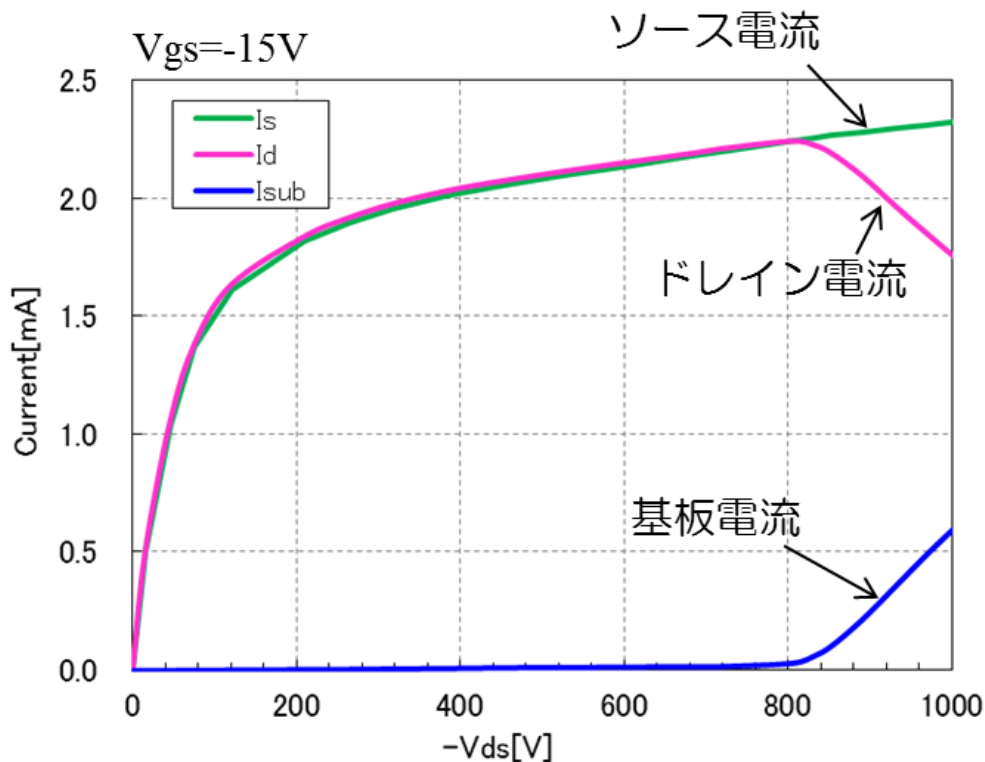


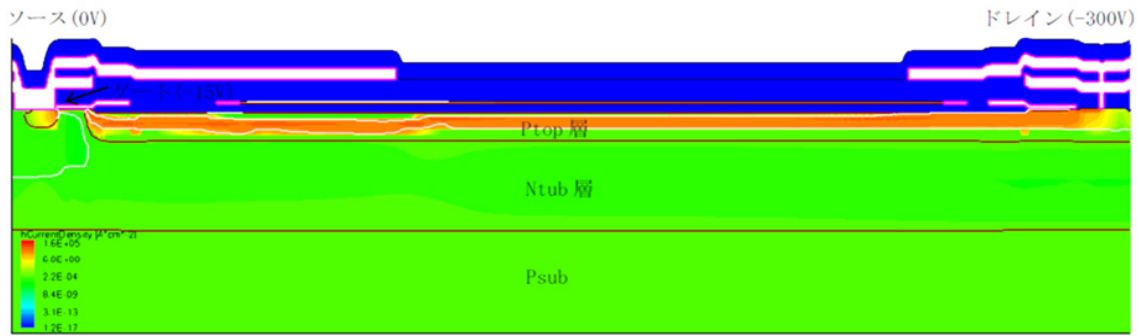
図 3-3. 従来構造の高耐圧 Pch-LDMOSFET のオン耐圧シミュレーション結果

シミュレーション結果の解析と基板リーク発生メカニズム

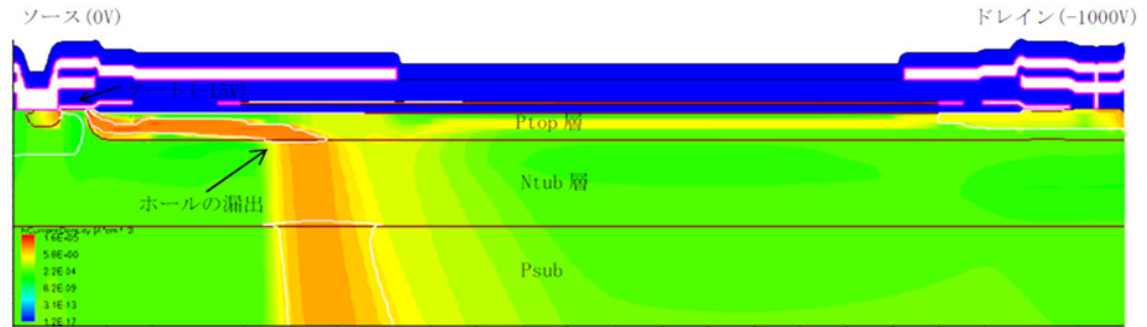
ここでは、デバイスシミュレーションを用いて基板リーク発生前後の電位分布、電流密度分布などの物理的な状態を調べ、基板リーク現象発生のメカニズムを調べた結果を述べる。

従来構造の高耐圧 Pch-LDMOSFET において、図 3-4(a)に示した基板リークが発生しない $V_{ds}=300V$ と、図 3-4(b)に示した基板リークが発生する $V_{ds}=1000V$ の 2 条件について、それぞれの電位分布を図 3-5(a)、(b)に示す。基板リークが発生する $V_{ds}=1000V$ の電位条件では、ドレインドリフト領域である Ptop 層から Ntub 層にホールが漏出し、漏出したホールがそのまま Psub 基板に流れていることが分かる。Ptop 層から Ntub 層にホールが漏出している箇所の電位分布を $V_{ds}=300V$ 、 $V_{ds}=1000V$ で比較すると、基板リークが発生しない $V_{ds}=300V$ の条件では、電界の向きが基板表面方向(図の上方向)であるのに対し、基板リークが発生する $V_{ds}=1000V$ の条件では電界の向きが基板裏面方向(図の下方向)であることが分かる。また、 $V_{ds}=300V$ の条件では、Ptop 層のドレイン側の端からソース側の端全体に渡って、Ptop/Ntub 界面の電界は基板表面方向を向いており、 $V_{ds}=1000V$ の条件でも、Ptop 層から Ntub 層にホールが漏出していない箇所については、Ptop/Ntub 界面の電界は基板表面方向を向いている。これらのことから、Ptop 層から Ntub 層へのホールの漏出は、Ptop/Ntub 界面において電界が基板裏面方向を向くことが原因であることが分かる。図 3-5(b)から分かるように、Ntub 層に漏出したホールが Psub 基板に流れるのは、Ntub 層において基板裏面方向の電界がかかっているためである。Ntub 層は $V_{ds}=1000V$ では全体が空乏化しており、電子がほとんど存在しないため、Ntub 層に漏出したホールが電子と再結合せずに Psub 基板 まで流れる。

基板リーク発生のメカニズムは上述したとおりであるが、このメカニズムはバンド図を用いることでより明快になる。図 3-6(a)、(b)はドレインドリフト領域の伝導帯端、価電子帯端のポテンシャルエネルギーについて、基板垂直方向を横軸とし、Ptop 層から Psub 基板に渡って図示した。図 3-6(a)に示す基板リーク発生前 $V_{ds}=600V$ の場合、Ptop 層と Ntub 層の界面に電位障壁があるため、Ptop 層から Ntub 層にホールが漏出できない。これに対して、図 3-6(b)に示す基板リーク発生時 $V_{ds}=800V$ では、Ptop 層と Ntub 層の界面に電位障壁がないため、Ptop 層のホールが Ntub 層に容易に漏出することが分かる。



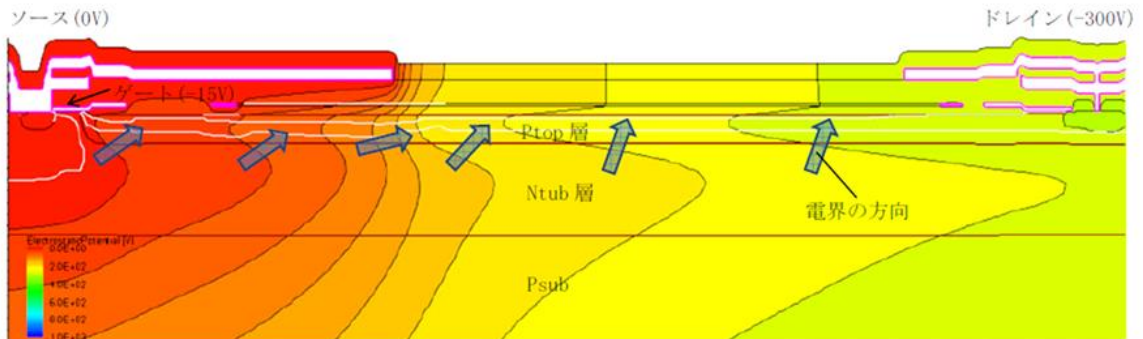
(a)



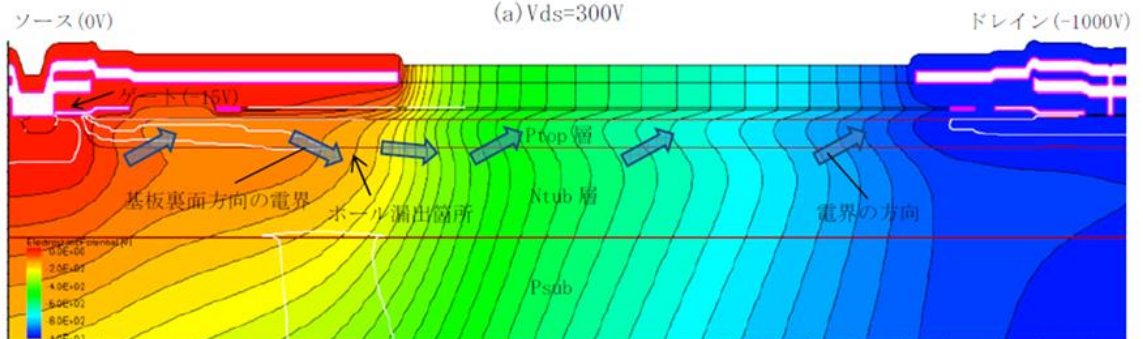
(b)

図 3-4. 従来構造の高耐圧 Pch-LDMOSFET ホール電流密度のシミュレーション結果

(a) $V_{ds}=300V$ 、(b) $V_{ds}=1000V$



(a) $V_{ds}=300V$



(b) $V_{ds}=1000V$

図 3-5. 従来構造の高耐圧 Pch-LDMOSFET 電位分布のシミュレーション結果

(a) $V_{ds}=300V$ 、(b) $V_{ds}=1000V$

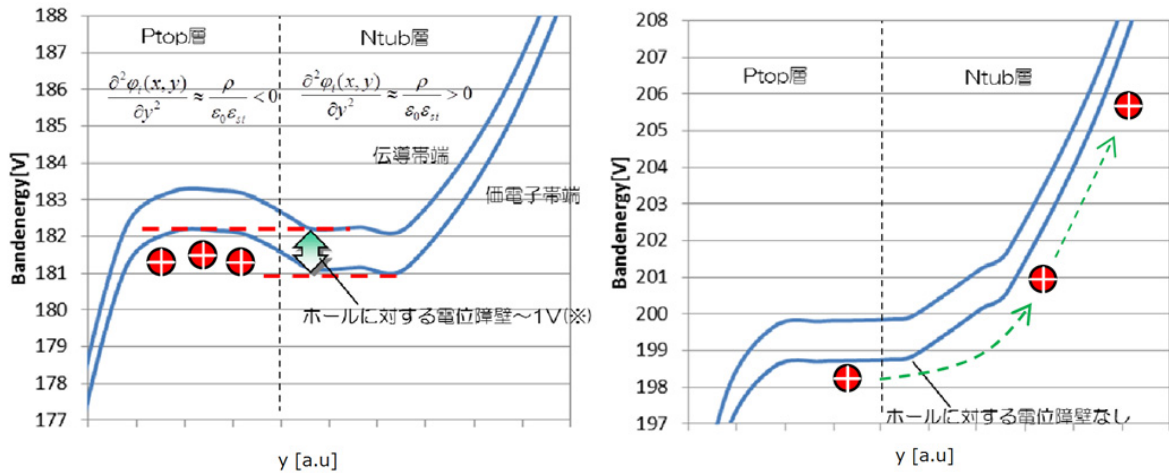


図 3-6. 従来構造の高耐圧 Pch-LDMOSFET の Ptop 層/Ntub 層のバンド図

(a) 基板リーク発生前 $V_{ds}=600V$ 、(b) 基板リーク発生時 $V_{ds}=800V$

pn 接合の電位障壁がなくなることにより P 型層から N 型層を経由して別の P 型層にホールが流れる現象がパンチスルー現象であるので、この基板リーク現象はパンチスルー現象によるものといえる。ただし、一般的な pnp 接合で生じるパンチスルー現象は、一方の pn 接合から伸びた空乏層がもう一方の pn 接合に到達した時点で発生するのに対し、Pch-LDMOSFET では空乏層が pn 接合に到達した時点ではパンチスルーは発生しない。この理由は図 3-6 から分かるとおり、空乏層が Ptop/Ntub 接合に到達した時点では、Ptop/Ntub 接合に電位障壁があるため、Ptop 層から Ntub 層にホールが漏出できないためである。

上述した考察によって明らかになった基板リーク現象の発生メカニズムを以下にまとめる。

- ①ドレイン-ソース間電圧が低い場合、Ptop 層、Ntub 層が完全空乏化していたとしても、Ptop/Ntub 接合に電位障壁が存在するため、Ptop 層から Ntub 層にホールが漏出せず、基板リークは発生しない。つまりソースからチャンネルを通過して Ptop 層に流れ込んだホールはすべてドレインに流れこむ。
- ②ドレイン-ソース間電圧が高くなると、Ptop/Ntub 接合に存在していた電位障壁が部分的に消失する。これにより、ソースからチャンネルを通過して Ptop 層に流れ込んだホールが電位障壁の消失した部位から Ntub 層に漏出し、そのホールは電界の力を受けてそのまま Psub 基板に流れこむ(寄生 PNP ベース層のポテンシャル障壁が消滅)。つまりパンチスルーが発生する。

この結果、基板リーク電流が発生する。

基板リーク現象の理論モデル化

ここでは、基板リーク現象が発生するソース-ドレイン間電圧(P_{top} - P_{sub} 間パンチスルー耐圧)が拡散層濃度などのデバイス構造にどのように依存するかを明らかにし、構造設計に活かすため、基板リーク現象の理論モデル化を試みた。具体的には下記事項を実施した。

- ①高耐圧 Pch-LDMOSFET の電位分布、電界分布の理論式導出(簡易物理モデル)
- ②パンチスルー耐圧の理論計算(①の電界理論式を用いて耐圧の理論式を導出)
- ③パンチスルー耐圧のデバイス構造依存性の調査

前述の通り、基板リーク現象発生の有無は電位・電界分布によって決まるため、まず高耐圧 Pch-LDMOSFET の電位分布、電界分布を理論的に求める。次に電界分布の理論式を用いてパンチスルー耐圧の理論式を求め、パンチスルー耐圧のデバイス構造依存性を明らかにする。

【高耐圧 Pch-LDMOSFET の電位分布、電界分布の理論式の導出】

高耐圧 Pch-LDMOSFET の Si 中の電位・電界分布は、Poisson 方程式(3.1)式を解くことにより求められる。

$$\frac{\partial^2 \phi_i(x,y)}{\partial x^2} + \frac{\partial^2 \phi_i(x,y)}{\partial y^2} = -\frac{qN_i}{\epsilon_0 \epsilon_{si}} \quad i=1,2 \quad (3.1)$$

ここで、 $\phi_i(x,y)$ は領域 i の電位、 q は電荷素量、 N_i は領域 i の単位体積あたりの空間電荷数、 ϵ_0 は真空の誘電率、 ϵ_{si} はシリコンの比誘電率である。 N_i の符号はプラス電荷の場合プラス、マイナス電荷の場合マイナスである。 $i=1$ は P_{top} 層、 $i=2$ は N_{tub} 層を表す。 (x,y) は高耐圧 Pch-LDMOSFET 断面の座標で、 x は基板水平方向の位置、 y は基板垂直方向の位置を表す。 x の原点はドレイン、 y の原点は P_{top} /酸化膜界面とした。この方程式を解くため、図 3-7 に示した高耐圧 Pch-LDMOSFET の簡略化した物理モデルを用いた。簡単化のためパンチスルーに関わる P_{top} 層、 N_{tub} 層、 P_{sub} 基板、 $P+$ 層、 $N+$ 層のみを考慮し、チャンネル構造については省略した。各拡散層の濃度は場所によらず一様と仮定した。また、 P_{top} 層、 N_{tub} 層は完全空乏化していると仮定した。従って、空間電荷数 N_i は領域 i の不純物濃度に等しく、 P_{top} 層の不純物濃度を $N_{p_{top}}$ 、 N_{tub} 層の不純物濃度を $N_{n_{tub}}$ とすると、 $N_1=N_{p_{top}}$ 、 $N_2=N_{n_{tub}}$ である。不純物濃度の符号は P 型をマイナス、N 型をプラスとした。また、空乏層幅は x に依らず一定とした。

Poisson 方程式を解くための境界条件として、前述の物理モデルに基づき、下記(a)～(f)の境界条件を設定した。

[境界条件]

(a) Ptop/酸化膜界面での y 方向電界連続

$$\varepsilon_{si} E_{1y}(x, 0) = \varepsilon_{ox} E_{ox} \Leftrightarrow -\varepsilon_{si} \frac{\partial \varphi_1(x, y)}{\partial y} = \varepsilon_{ox} \frac{\varphi_1(x, 0) - V(x)}{t_{ox}}$$

(b) Ptop/Ntub 界面での y 方向電界連続

$$E_{1y}(x, t_{top}) = E_{2y}(x, t_{top}) \Leftrightarrow \frac{\partial \varphi_1(x, t_{top})}{\partial y} = \frac{\partial \varphi_2(x, t_{top})}{\partial y}$$

(c) Ptop/Ntub 界面での x 方向電界連続

$$E_{1x}(x, t_{top}) = E_{2x}(x, t_{top}) \Leftrightarrow \frac{\partial \varphi_1(x, t_{top})}{\partial x} = \frac{\partial \varphi_2(x, t_{top})}{\partial x}$$

(d) Ntub/Psub 界面の y 方向電界連続

$$E_{2y}(x, t_{tub}) = E_{sub} \Leftrightarrow -\frac{\partial \varphi_2(x, t_{tub})}{\partial y} = 2 \frac{\varphi_2(x, t_{tub})}{t_{sub}}$$

(e) Ptop/Ntub 界面の電位連続

$$\varphi_1(x, t_{top}) = \varphi_2(x, t_{top})$$

(f) デバイス両端の電位条件

$$\varphi_1(0, y) = V_0, \varphi_1(L, y) = V_1$$

境界条件(a)は、Ptop/酸化膜(LOCOS)界面における y 方向電界連続の条件で、 E_{1y} は Ptop 中の y 軸方向の電界強度、 E_{ox} は酸化膜中の y 軸方向の電界強度、 ε_{ox} は酸化膜の比誘電率、 t_{ox} は RFP と基板表面間の酸化膜厚、 φ_1 は Ptop 中の電位、 $V(x)$ は RFP 中の電位である。酸化膜中には電荷が存在しないと仮定し、電界は一定とした。また、簡単化のため RFP 構造を構成するポリシリコンの空乏化は無視して RFP 内の電界は一様とし、 $V(x)=V_{ds} \times (x/L)$ で表されると仮定した。ここで V_{ds} はドレイン-ソース間電圧(ドレイン基準のソース電位)、 L はドレイン-ソース間距離(ドレインドリフト長)である。境界条件(b)、(c)は Ptop/Ntub 界面での電界連続の条件で、 E_{2x} 、 E_{2y} はそれぞれ Ntub 中の x 軸方向、y 軸方向の電界強度である。 t_{top} は Ptop 層の拡散深さ X_j である。境界条件(d)は Ntub/Psub 界面の y 方向電界についての条件で、 E_{sub} は位置 x での Ntub/Psub 界面の y 方向電界強度、 t_{tub} は Ntub 層の拡散深さ X_j 、 t_{sub} は位置 x での Psub 領域の空乏層厚(y 軸方向)である。境界

条件(d)の求め方は下記のとおりである。Psub 領域内の y 軸方向の電位 sub ϕ は近似的に 1 次元の Poisson 方程式(3.2)式に従う。

$$\frac{\partial^2 \phi_{sub}(x, y)}{\partial y^2} = -\frac{qN_{sub}}{\epsilon_0 \epsilon_{si}} \quad (3.2)$$

ここで、Nsub は Psub 基板の不純物濃度(空乏化した Psub 領域の電荷数)である。(3.2)式と Psub 領域における空乏層端の電位、電界が 0 であることを用いると、Ntub/Psub 界面における電位、電界はそれぞれ下記のようになる。

$$\phi_{sub}(x, t_{tub}) = -\frac{1}{2} \frac{qN_{sub}}{\epsilon_0 \epsilon_{si}} t_{sub}^2 \quad (3.3)$$

$$-\frac{\partial \phi_{sub}(x, t_{tub})}{\partial y} = -\frac{qN_{sub}}{\epsilon_0 \epsilon_{si}} t_{sub} \quad (3.4)$$

(3.4)式の右辺に(3.3)式を変形して代入すると、境界条件(d)の式が求められる。(e)は Ntub/Psub 界面における電位連続の条件、(f)はソースとドレインについての電位条件である。ドレイン電位を V_0 、ソース電位を V_1 とした。Vds= $V_1 - V_0$ である。

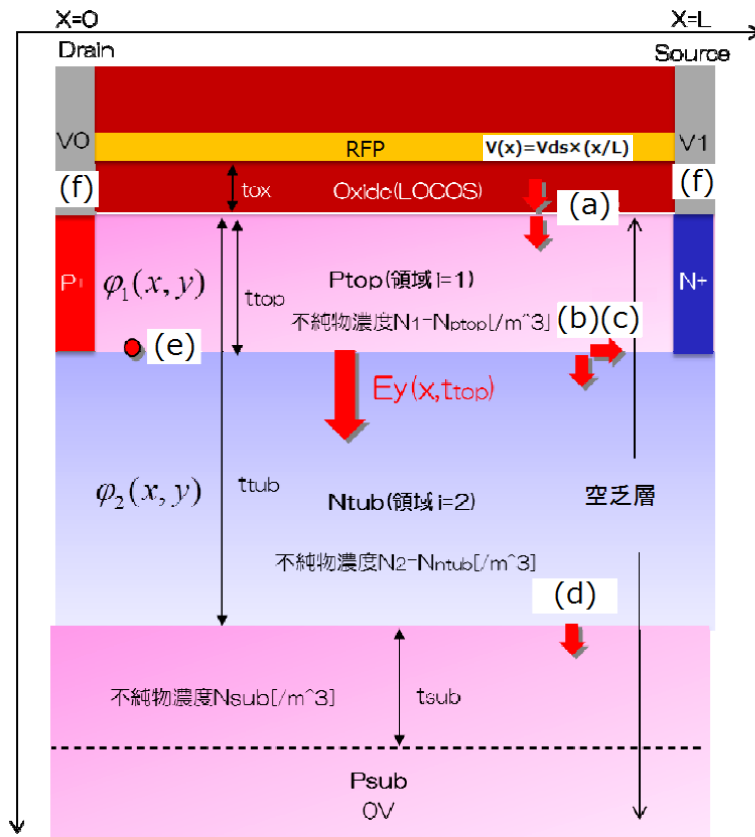


図 3-7. 高耐圧 Pch-LDMOSFET の簡略化した物理モデル

次に、電位、電界分布の理論式の導出を行う。Ptop 層から Ntub 層へのホール漏出の有無は、Ptop/Ntub 界面の y 軸方向の電界の向き(基板表面方向か裏面方向か)で決まる。そこで、Ptop/Ntub 界面の y 軸方向の電界を求めた。

まず、Poisson 方程式(3.1)式の基板表面における解を下記の通り求めた^[37]。基板表面付近における電位は、y 方向については緩やかにしか変化しないと考えられるため、電位の解を y 方向について Taylor 展開して 2 次までの項として近似することができる。

$$\varphi_1(x, y) \approx \varphi_1(x, 0) + \frac{\partial \varphi_1(x, 0)}{\partial y} y + \frac{1}{2} \frac{\partial^2 \varphi_1(x, 0)}{\partial y^2} y^2 \quad (3.5)$$

$$\varphi_2(x, y) \approx \varphi_2(x, t_{top}) + \frac{\partial \varphi_2(x, 0)}{\partial y} (y - t_{top}) + \frac{1}{2} \frac{\partial^2 \varphi_2(x, 0)}{\partial y^2} (y - t_{top})^2 \quad (3.6)$$

近似解(3.5)、(3.6)を Poisson 方程式(3.1)式に代入し、境界条件を用いることにより、基板表面電位についての方程式(3.7)式が得られる。

$$\frac{\partial \varphi_1(x, 0)}{\partial x} - \frac{\varphi_1(x, 0)}{t'^2} = -\frac{q}{\varepsilon_0 \varepsilon_{si}} N_{ptop}^{eff}(x) \quad (3.7)$$

ここで、

$$t' = \sqrt{\frac{t_{nub}^2 + t_{sub} t_{nub}}{2 + \frac{\varepsilon_{ox}}{\varepsilon_{si} t_{ox}} (t_{sub} + 2t_{nub})}}, \quad t = \sqrt{\frac{t_{nub}^2 + t_{sub} t_{nub}}{2}}, \quad \alpha = \frac{(t_{nub} - t_{top})^2 + t_{sub} (t_{nub} - t_{top})}{2} \quad (3.8)$$

$$N_{ptop}^{eff}(x) = N_{ptop}^{eff} + \frac{\varepsilon_0 \varepsilon_{si}}{q} \left(\frac{1}{t'^2} - \frac{1}{t^2} \right) V(x), \quad N_{ptop}^{eff} = N_{ptop} + \frac{N_{nub} - N_{ptop}}{t^2} \alpha$$

である。ここで、 N_{ptop}^{eff} は Ptop 層における単位体積当たりの実効的な空間電荷数である。また、表面電位 $\varphi_1(x, 0)$ は(3.7)式を解くことにより、

$$\varphi_1(x, 0) = \frac{q}{\varepsilon_0 \varepsilon_{si}} N_{ptop}^{eff}(x) t'^2 + \left(V_1 - \frac{q N_{ptop}^{eff}(L) t'^2}{\varepsilon_0 \varepsilon_{si}} \right) \frac{\sinh\left(\frac{x}{t'}\right)}{\sinh\left(\frac{L}{t'}\right)} + \left(V_0 - \frac{q N_{ptop}^{eff}(0) t'^2}{\varepsilon_0 \varepsilon_{si}} \right) \frac{\sinh\left(\frac{L-x}{t'}\right)}{\sinh\left(\frac{L}{t'}\right)}$$

と求められる。

表面での y 方向の電界強度は境界条件(a)に(3.9)式を代入することにより、

$$E_{1y}(x,0) = -\frac{q}{\varepsilon_0 \varepsilon_{si}} \frac{\varepsilon_{ox} N_{ptop}^{eff}(x) t'^2}{\varepsilon_{si} t_{ox}} - \frac{\varepsilon_{ox}}{\varepsilon_{si} t_{ox}} \left[\left(V_1 - \frac{q N_{ptop}^{eff}(L) t'^2}{\varepsilon_0 \varepsilon_{si}} \right) \frac{\sinh\left(\frac{x}{t'}\right)}{\sinh\left(\frac{L}{t'}\right)} + \left(V_0 - \frac{q N_{ptop}^{eff}(0) t'^2}{\varepsilon_0 \varepsilon_{si}} \right) \frac{\sinh\left(\frac{L-x}{t'}\right)}{\sinh\left(\frac{L}{t'}\right)} \right] \quad (3.10)$$

$$N_{ptop}^{eff}(x) = N_{ptop}^{eff} - \frac{\varepsilon_0 \varepsilon_{si}}{q} \frac{1}{t^2} V(x) \quad (3.11)$$

と求まる。Ptop/Ntub 界面、つまり $y=t_{top}$ における y 方向の電界は、Poisson 方程式(3.1)式を y について積分することにより、

$$E_{1y}(x, t_{top}) = E_{1y}(x, 0) + \int_0^{t_{top}} \left(\frac{q N_{ptop}}{\varepsilon_0 \varepsilon_{si}} + \frac{\partial^2 \phi_1(x, y)}{\partial x^2} \right) dy \quad (3.12)$$

と表される。(3.12)式の電位の2次導関数値を y に依らず一定として基板表面の値で近似し、積分を実行すると、

$$E_{1y}(x, t_{top}) = E_{1y}(x, 0) + t_{top} \left(\frac{q N_{ptop}}{\varepsilon_0 \varepsilon_{si}} + \frac{\partial^2 \phi_1(x, 0)}{\partial x^2} \right) \quad (3.13)$$

となる。この式に(3.9)式を代入することにより、Ptop/Ntub 界面の y 方向電界が以下のとおりに求まる。

$$E_{1y}(x, t_{top}) = -\frac{q}{\varepsilon_0 \varepsilon_{si}} \left(\frac{\varepsilon_{ox} N_{ptop}^{eff}(x) t'^2}{\varepsilon_{si} t_{ox}} - N_{ptop} t_{top} \right) - \left(\frac{\varepsilon_{ox}}{\varepsilon_{si} t_{ox}} - \frac{t_{top}}{t'^2} \right) \left[\left(V_1 - \frac{q N_{ptop}^{eff}(L) t'^2}{\varepsilon_0 \varepsilon_{si}} \right) \frac{\sinh\left(\frac{x}{t'}\right)}{\sinh\left(\frac{L}{t'}\right)} + \left(V_0 - \frac{q N_{ptop}^{eff}(0) t'^2}{\varepsilon_0 \varepsilon_{si}} \right) \frac{\sinh\left(\frac{L-x}{t'}\right)}{\sinh\left(\frac{L}{t'}\right)} \right] \quad (3.14)$$

次に、Ptop/Ntub/Psub 間のパンチスルー耐圧の理論式について導出する。図 3-8 は、高耐圧 Pch-LDMOSFET の Ptop 層における y 方向電界の理論計算値とシミュレーション値をドレイン($x=0$)からソース($x=20$)に渡ってプロットしたものである。Ptop 表面の電界および Ptop/Ntub 界面の電界を $V_{ds}=300V$ と $V_{ds}=800V$ の場合について示してある。シミュレーション値は従来構造について行った値で、理論計算値は図 3-7 の物理モデルに置き換え、

(3.14)式を用いて計算した値である。この際、各拡散層の単位面積あたりの不純物量(完全空乏化時の空間電荷量)がシミュレーションモデルと一致するように(3.14)式のパラメータを設定した。図 3-8(a)に示す $V_{ds}=300V$ の場合、Ptop 表面の電界はドレインからソースまでの広い範囲でプラスとなっており、ホールは基板裏面方向の力を受けることが分かる。しかし、Ptop/Ntub 界面の電界はドレインからソースまでの全領域でマイナスとなっており、ホールは基板表面方向の力を受ける。従って Ptop 層から Ntub 層へのホールの漏出は起きない。

これに対し、図 3-8(b)に示す $V_{ds}=800V$ の場合、 $x=18$ の位置で、 y 方向の電界強度が 0 になっており、Ptop/Ntub 界面の電位障壁が消失した状態となっている。 V_{ds} 電圧を 800V よりも高くすると、この箇所を中心に y 方向電界がプラスの領域、つまりホールに基板裏面方向の力が働く領域が形成され、Ptop 層から Ntub 層へのホールの漏出が始まる。したがって、 $V_{ds}=800V$ がパンチスルー耐圧であることが分かる。この電圧は、図 3-3 に示した高耐圧 Pch-LDMOSFET の出力特性のシミュレーション結果におけるパンチスルー耐圧と一致しており、上述した考え方が正しいことが分かる。また、(3.14)式による電界の値とシミュレーション値は部分的にはズレが大きいですが、全体的な傾向は一致しており、パンチスルー耐圧を決める Ptop/Ntub 界面の電界強度の最大値はほぼ一致していることから、パンチスルー耐圧の計算を行ううえで、この理論式は有効であるといえる。部分的にズレが大きくなっている原因は、図 3-7 に示した物理モデルでは、シミュレーションモデルには存在するメタルフィールドプレートの影響や、RFP の空乏化影響を無視していることなどが考えられる。

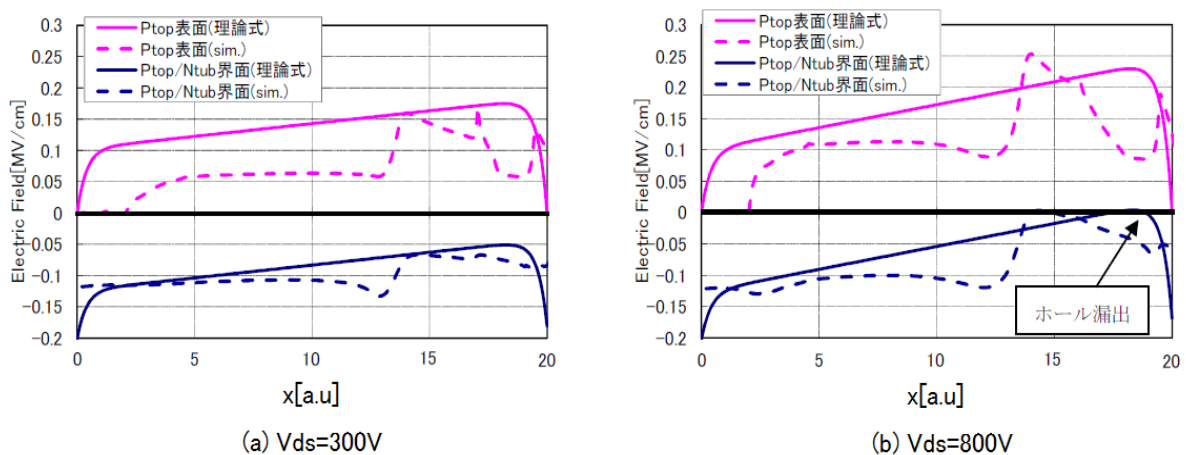


図 3-8. 従来構造の高耐圧 Pch-LDMOSFET 断面の y 軸方向電界強度

(a) $V_{ds}=300V$ 、(b) $V_{ds}=800V$

以上をまとめると、高耐圧 Pch-LDMOSFET の高電圧印加状態における基板へのパンチスルーが発生しないための電界条件は次式で表される。

$$E_{1y}(x, t_{top}) < 0 \quad (0 \leq x \leq L) \quad (3.15)$$

したがって、次式の電界条件を満たすソースドレイン間電圧からパンチスルー耐圧が求められる。ここで、左辺は $x=0 \sim L$ の区間での Ptop/Ntub 界面 y 方向電界の最大値を表す。

$$\text{Max}(E_{1y}(x, t_{top})) = 0 \quad (0 \leq x \leq L) \quad (3.16)$$

一般的な Double-RESURF 構造が満たす $|N_{sub}| \ll N_{tub}$ の条件下では、(3.16)式を満たすソースドレイン間電圧、つまりパンチスルー耐圧 BV_{pt} は次式で定義される関数 $g(X_{E\max})$ を用いて近似的に表すことができる。

$$g(X_{E\max}) = \frac{X_{E\max}}{L} - \left(1 - \frac{\varepsilon_{si}}{\varepsilon_{ox}} \frac{t_{top} t_{ox}}{t'^2} \right) \sinh\left(\frac{X_{E\max}}{t'}\right) / \sinh\left(\frac{L}{t'}\right) \quad (3.17)$$

$$BV_{pt} \approx \frac{q}{\varepsilon_0 \varepsilon_{si}} \frac{[N_{tub} + 4 |N_{sub}| g(X_{E\max})]^2 (t_{tub} - t_{top})^2}{8 |N_{sub}| g^2(X_{E\max})} \quad (3.18)$$

$X_{E\max}$ は Ptop/Ntub 界面の y 方向電界 $E_{1y}(x, t_{top})$ が最大になる位置 x で、一般的な Double-RESURF 構造 (P_{sub} 比抵抗 $< 500 \Omega \cdot \text{cm}$ 、拡散層電荷量 $\sim 1 \times 10^{12} / \text{cm}^2$) の場合、近似的に次式で表される。

$$X_{E\max} \approx L + t' \log\left(2 \frac{t'}{L}\right) \quad (P_{sub} < 500 \Omega \cdot \text{cm}, \text{実効的電荷量 } t_{tub} \cdot N_{ptop}^{eff} \leq 1 \times 10^{12} / \text{cm}^2) \quad (3.19)$$

$g(X_{E\max})$ は第1項の $X_{E\max}/L$ が支配的なので、Ptop/Ntub 界面の y 方向電界が最大になる位置を $0 \sim 1$ の値で示すパラメータと考えることができる。 t' は空乏層幅 t_{sub} の関数のため、厳密には V_{ds} に依存するが、 $t_{sub} \gg t_{tub}$ の条件下では次式の近似が成り立ち、 V_{ds} に依存しない。この場合、 $g(X_{E\max})$ は拡散層濃度や基板濃度に依存せず、近似的にディメンジョン、誘電率だけで決まる。一般的に、耐圧 1000V クラスのデバイスの場合、 $V_d > 100V$ で $t_{sub} \gg t_{tub} \gg t_{ox}$ が成り立つため、 $BV_{pt} > 100V$ の構造であれば、次の近似式を用いてパンチスルー耐圧を計算することができる。

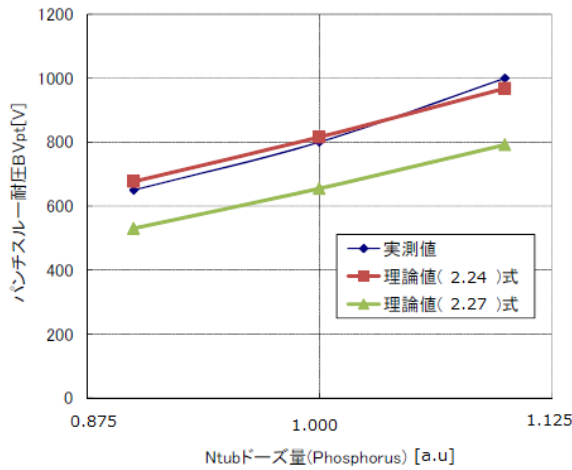
$$t' = \sqrt{\frac{t_{tub}^2 + t_{sub}t_{tub}}{2 + \frac{\epsilon_{ox}}{\epsilon_{si}t_{ox}}(t_{sub} + 2t_{tub})}} \approx \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}}t_{tub}t_{ox}} \quad (t_{sub} \gg t_{tub} \gg t_{ox}) \quad (3.20)$$

また、 $N_{tub} \gg |N_{sub}|$ の条件化では、(3.18)式の分子にある $N_{tub} + 4|N_{sub}|g(X_{E_{max}}) \doteq N_{tub}$ となるので、この近似を用いると(3.18)式は近似的に次式で表すことができる。

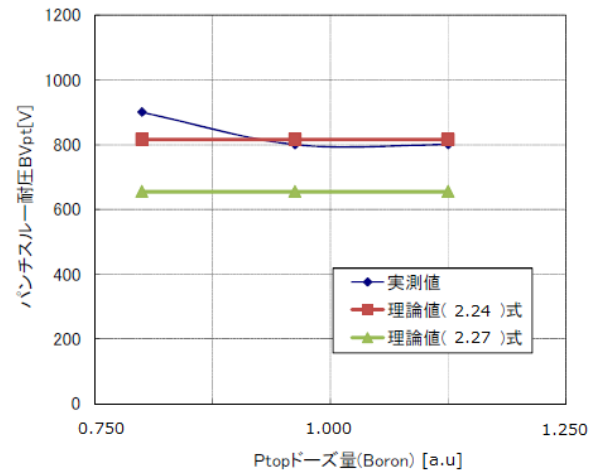
$$BV_{pt} \approx \frac{q[N_{ntub}(t_{tub} - t_{top})]^2}{8\epsilon_0\epsilon_{si}|N_{sub}|} \frac{1}{g^2(X_{E_{max}})} \quad (3.21)$$

次に、(3.18)式および(3.21)式を用いてパンチスルー耐圧の拡散層ドーズ量依存性、基板比抵抗依存性を計算した結果を図 3-9 に示す。この際、拡散層不純物量(完全空乏化時の空間電荷量)には以下のようにして求めた値を用いた。まず、 N_{tub} 不純物濃度(Phosphorus)、 P_{top} 不純物濃度(Boron)はイオン注入条件を振って試作した Double-RESURF 構造サンプルにおける不純物プロファイルの実測値(SIMS 分析による評価)を基準値とし、この値に不純物ドーズ量比をかけることにより、各ドーズ量条件での Boron と Phosphorus の不純物プロファイルを求めた。この不純物プロファイルから P_{top} 層、 N_{tub} 層の拡散層不純物量を求めた。図 3-9 には、こうして求めた試作サンプルの耐圧実測値を示してある。(3.18)式によるパンチスルー耐圧の理論計算結果は実測値とよく一致しており、理論が正しいことが確認できた。

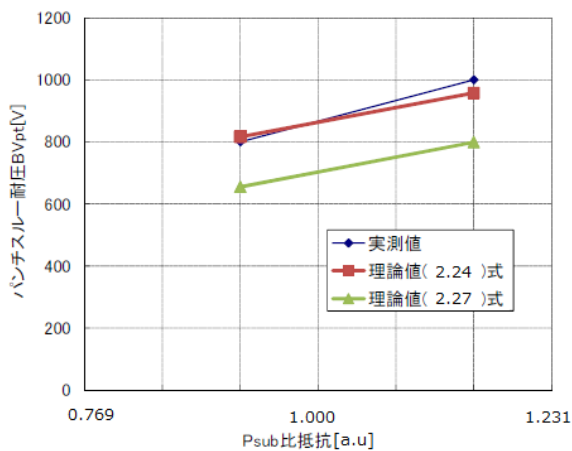
また、(3.21)式によるパンチスルー耐圧の理論計算値は、絶対値については実測値と 100~200V 程度乖離しているが、構造パラメータに対する依存性は一致しており、構造パラメータ依存性が正しいことが確認できた。



(a) Ntub ドーズ量依存性



(b) Ptop ドーズ量依存性



(c) 基板比抵抗依存性

図 3-9. 高耐圧 Pch-LDMOSFET のパンチスルー耐圧 構造パラメータ依存性

(a) Ntub ドーズ量依存性、(b) Ptop ドーズ量依存性、(c) 基板比抵抗依存性

パンチスルー耐圧の構造パラメータ依存性

次に、導出したパンチスルー耐圧の理論式(3.21)式を用いて、パンチスルー耐圧の構造パラメータ依存性を調べる。

(3.21)式の分子の角括弧内は Ntub 層の単位面積あたりの不純物濃度であり、 $g(X_{E_{max}})$ は拡散層濃度に依存しないことから、パンチスルー耐圧は Ntub 層の単位面積あたりの不純物濃度(完全空乏化時の空間電荷量)の二乗に比例する。また、基板濃度に反比例する。Ptop 濃度は(3.21)式に含まれないため、パンチスルー耐圧は Ptop 濃度には依存しない。 $g(X_{E_{max}})$ は(3.17)式で表されるが、第一項 $X_{E_{max}}/L$ が支配的であるため、 $g(X_{E_{max}}) \doteq X_{E_{max}}/L$ と近似でき、 $X_{E_{max}}$ に(3.19)式、(3.20)式の近似を用いると、次式で表される。

$$g(X_{E\max}) \approx 1 + \frac{1}{L} \sqrt{\frac{\varepsilon_{si}}{\varepsilon_{ox}} t_{tub} t_{ox}} \log \left(\frac{1}{L} \sqrt{\frac{\varepsilon_{si}}{\varepsilon_{ox}} t_{tub} t_{ox}} \right) \quad (3.22)$$

(3.22)式は、 $1+z\log(z)$ の形をしている。 $1+z\log(z)$ は $z<1$ で1以下であるが、 z が小さいほど1に近くなる($z \rightarrow 0$ の極限で $z\log(z) \rightarrow 0$)。したがって、 L (ドリフトドレイン長)が長いほど $g(X_{E\max})$ は大きくなり、パンチスルー耐圧は小さくなる。また、 t_{tub} (N_{tub} の拡散深さ X_j)、 t_{ox} (RFP-Si間酸化膜厚)が大きいほど $g(X_{E\max})$ は小さくなり、パンチスルー耐圧は大きくなる(RFPがない構造は $t_{ox}=\infty$ に相当するが、(3.22)式は $t_{tub} \gg t_{ox}$ を仮定した近似式のため、RFPなしの構造では $g(X_{E\max})$ の依存性は(3.22)式と異なる)。

以上より、高耐圧 Pch-LDMOSFET のパンチスルー耐圧について得られた構造パラメータの依存性を下記にまとめる。

<パンチスルー耐圧の構造パラメータ依存性>

- ① N_{tub} 層の単位面積当たりの不純物濃度(完全空乏化時の空間電荷量)の二乗に比例
- ② 基板濃度に反比例
- ③ P_{top} 層濃度には依存しない
- ④ ドレインドリフト長が長いほど小さくなる
- ⑤ N_{tub} 拡散深さ、RFP-Si間酸化膜厚が大きいほど大きくなる

基板リーク現象(パンチスルー耐圧)の改善

ここでは、パンチスルー耐圧の理論検討結果を踏まえ、パンチスルー耐圧を改善することを目的に高耐圧 Pch-LDMOSFET における 耐圧構造の改善を行った。

前述のとおり、パンチスルー耐圧は N_{tub} 濃度と基板濃度に依存する。基板濃度を低下させることによりパンチスルー耐圧を上げることができるが、基板濃度を低下させると、高電圧時に N_{tub}/P_{sub} 接合より伸びる空乏層の体積が増加するため、次節で詳しく述べる高温リーク電流が増加してしまう。そこで、 N_{tub} の不純物濃度を増加させる方法を選択した。 P_{top} 層は N_{tub} 層に不純物をカウンタードーピングして形成されているため、 N_{tub} 層濃度を上げるために単に N_{tub} 層ドーズ量を増加させると、 P_{top} 層の不純物濃度が低下する。 P_{top} 層の不純物濃度はパンチスルー耐圧には影響しないが、高耐圧 Pch-LDMOSFET のオン電流経

路である Ptop 層の抵抗(ドリフト抵抗)が上がるため、電流能力が低下してしまう。そこで、Ptop 層の拡散深さ Xj を浅くすることで Ntub 層の正味の不純物濃度を増加させることを考案し、実行した。そのためには、Ptop 層のイオン注入工程を従来の拡散・ドライブ工程よりも拡散時間の短いドライブ工程に変更し、拡散深さを浅くする変更を行った。また同時に、高耐圧 Pch-LDMOSFET の電流能力向上のため、Ptop 層のドーズ量条件を従来条件よりもおよそ 1.30 倍に高濃度化した。ここで、変更した拡散・ドライブ工程は、ハイサイドロジックデバイスを形成するためのドライブ工程と兼ねているため、従来構造からの実質的な工程数の増加はない。

プロセスシミュレーションの計算結果では、Ptop 層の拡散深さ Xj が従来よりも 0.5 μ m 程度浅くなり、これにより Ntub 層の不純物濃度は従来のおよそ 1.50 倍に高濃度化した。また、Ptop 層の不純物濃度は従来のおよそ 1.82 倍に高濃度化した。工程改良前後の Ptop/Ntub 層における不純物プロファイルシミュレーション結果を図 3-10 示す(Xj、拡散層濃度の絶対値は明記していない)。

以上のシミュレーション結果に対して、実際の工程改良サンプルでは、Ptop 層の Xj は従来よりも 0.3 μ m 浅くなり、これにより Ntub 層の不純物濃度は従来のおよそ 1.54 倍に高濃度化すると推定される。また、Ptop 層の不純物濃度は従来のおよそ 1.84 倍に高濃度化すると推定される。

上述した工程改良の結果、高耐圧 Pch-LDMOSFET のパンチスルー耐圧のシミュレーション値は変更前の 800V から 1600V に向上した。工程改良後の構造を実際に試作および評価したところ、オン時のパンチスルー耐圧 1670V(オフ耐圧は 1700V)が得られた。工程改良後の高耐圧 Pch-LDMOSFET の出力特性波形を図 3-11(a)、(b)に示す。図 3-11(a)の出力特性はシミュレーション結果であり、図 3-11(b)の出力特性は実測結果である。

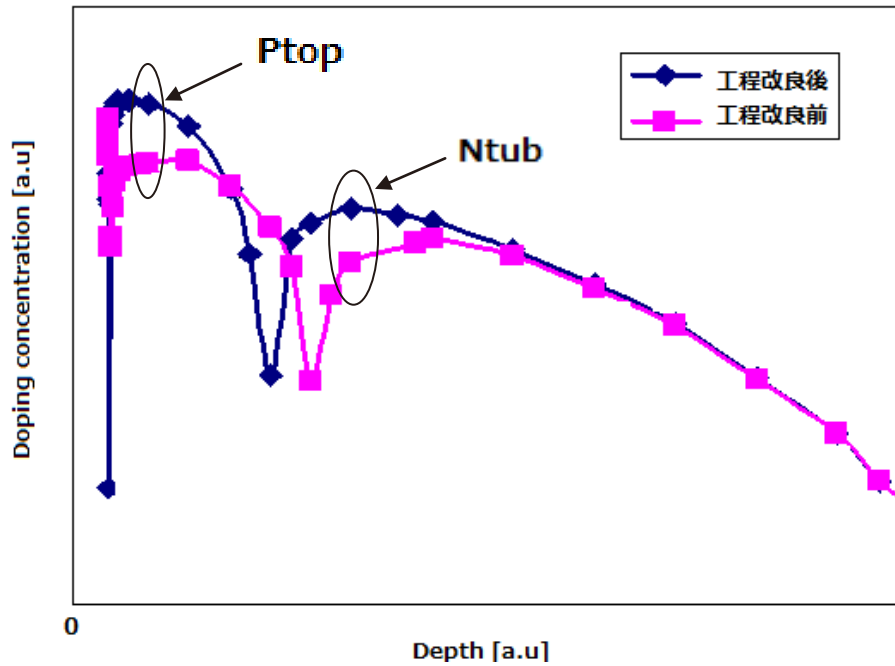


図 3-10. 工程改良前後の Ptop/Ntub 層における不純物プロファイルシミュレーション結果

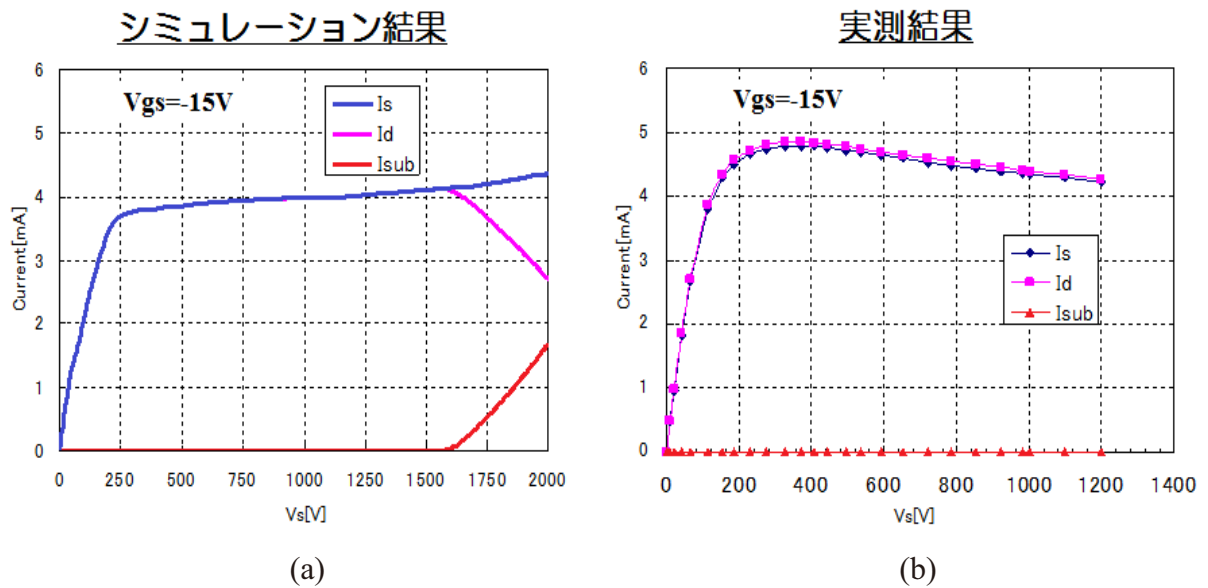


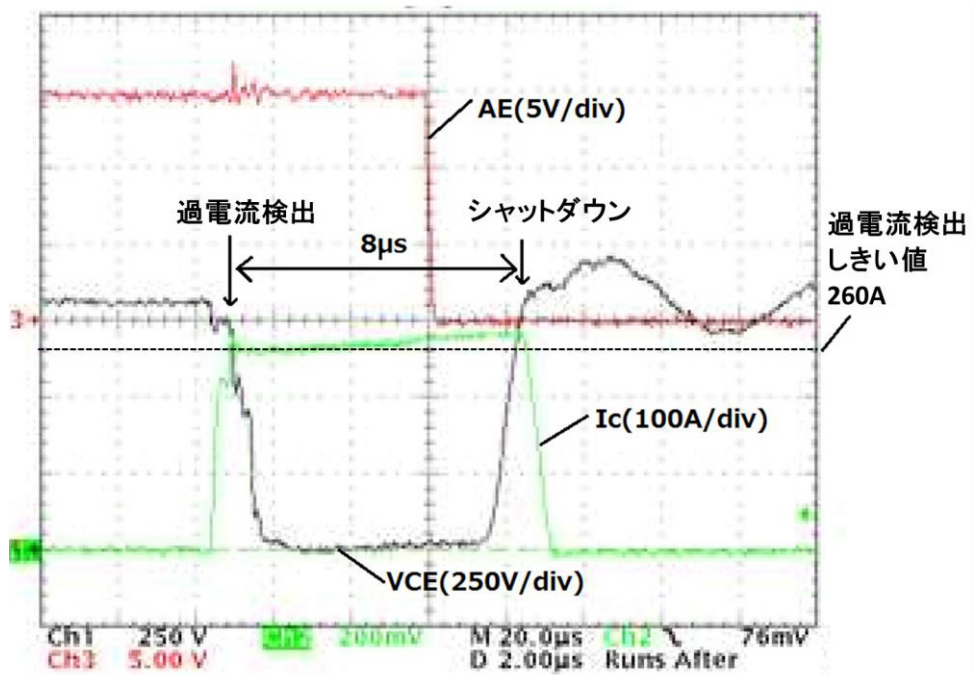
図 3-11. 工程改良後の高耐圧 Pch-LDMOSFET の出力特性波形

(a) シミュレーション結果、(b) 実測結果

過熱・過電流保護回路技術

前述の工程改良した新構造の高耐圧 Pch-LDMOSFET を内蔵して実際に試作した高耐圧 IC のハイサイドウェル内に過熱・過電流保護回路を形成することにより、上アーム側 IGBT

の過熱・過電流保護機能を実現している。過電流検出機能は、IGBT に内蔵された電流センス IGBT に流れる電流を高耐圧 IC に内蔵されたシャント抵抗を用いてモニタすることで行う。また、過熱検出機能は、IGBT 近傍に配置された温度検出用ダイオードの接合電圧を高耐圧 IC 側でモニタすることで行う。図 3-12 は試作した高耐圧 IC を搭載した 1200V/100A クラスの IPM における過電流試験の波形である。上アーム側 IGBT に 260A 超の過電流が流れた直後、過電流を示す異常通知信号(AE)が出力され、高耐圧 IC のゲート出力(HO)がシャットダウンされている。過電流発生からシャットダウンまでの時間は $10\mu\text{s}$ 以内であり、IGBT を保護するうえで十分な応答速度を実現している。



Ic: 上アーム側IGBTコレクタ電流

VCE: 上アーム側IGBTエミッタ・コレクタ間電圧

AE: 異常通知信号(ローアクティブ)

図 3-12. 保護機能を内蔵した高耐圧 IC 搭載 1200V/100A クラス IPM の過電流試験波形

まとめ

ここでは、高耐圧 IC の高機能化・高耐圧化を目的に、従来構造の 1200V クラス Pch-LDMOSFET で発生した基板リーク現象の発生メカニズムを理論的に解析した。その結果、高電圧印加により Ptop/Ntub 接合に存在していた電位障壁が部分的に消失することでパンチスルーが発生し、ホールが Ptop 層から Ntub 層を経由して基板に流れ込んでいること

が分かった。このメカニズムに基づいて基板リークが発生するパンチスルー耐圧を理論的に求め、実測と一致することを確認した。理論式よりパンチスルー耐圧は N_{tub} 層の単位面積当たりの不純物濃度の二乗に比例し、基板濃度に反比例することを導き、工程改良による濃度プロファイルの最適化を行った。工程改良で、高耐圧 Pch-LDMOSFET の N_{tub} 層不純物濃度を従来のおよそ 1.5 倍に高濃度化することによってパンチスルー耐圧を 800V から 1670V に改善することができ、1200V 以上のオン耐圧を確保できた。これにより、シミュレーションと解析式をもとに行った工程改良が、オン耐圧の改善に有効であることが分かった。

そして、新構造の高耐圧 Pch-LDMOSFET を内蔵した保護回路機能付きの高耐圧 IC を試作し、その高耐圧 IC を内蔵した 1200V/100A クラスの IPM に対して過電流試験を行った結果、上アーム側 IGBT の過電流を検知し、マイクロコンピューターへの異常通知信号であるシャットダウン動作を確認した。

3.3 横型高耐圧デバイスの高温保証化技術

はじめに

本節では、第1章で挙げたパワーICに対する要求項目のうち、高温保証化に寄与するデバイス技術・集積化技術の確立に取り組んだ。近年、インバータやIPMの小型化・大容量化に伴い、パワーデバイスやパワーICには高温動作や高温保証が求められている。特に、SiCデバイスである、SiC-MOSFETやSiC-IGBTは200°Cの高温環境下でも動作可能なデバイスとして注目されている。一方、それらパワーデバイスを駆動するためのパワーICについては、主な熱源となるパワーデバイスの直近に配置されるほど動作周囲温度(T_a)が上昇するため、200°Cまではいかないものの、従来よりも高温環境下で使用されることとなる。また、2.4節で述べた高周波化の面からもパワーICの高温動作が要求される。今後、電力変換システムの構成する周辺回路の受動素子小型化のため、GaNやSiCデバイスを採用し、数百kHzからMHzオーダーの動作周波数でスイッチング駆動することが予想される。高耐圧ICのレベルシフトデバイスは、レベルシフト動作の度に数百VのV_{dc}電圧が印加された状態で数mAのオン電流を決められたオンDutyの期間流す横型パワーデバイスである。そのため、スイッチング周波数が高くなるほど、レベルシフトデバイスにおける自己発熱が増加し、ジャンクション温度が厳しくなる。

これらの背景から、誘電体分離方式を適用した600Vクラスの高耐圧ICにおいては、

200°C動作についての研究報告や実用化もされ始めている^[38]。誘電体分離方式の場合、ICを構成するロジックデバイスやレベルシフトデバイス、HVJT などの接合面積を少なくでき、高温時の高温リーク電流を減らせるため、自己分離方式や pn 接合分離方式に比べて高温動作、高温保証に向いている。一方、自己分離方式の高耐圧 IC においては、これまで実用化されている 600V クラス、1200V クラス高耐圧 IC のいずれも 150°C のジャンクション温度(T_j)保証が最大温度である。特に、1200V クラスの高耐圧 IC の場合、150°C 以上の高温環境下では、ロジックデバイスの高温リークの影響は 600V クラスと変わらないが、1200V 耐圧の HVJT 側の高温リークによる耐圧低下の問題があるため、150°C 以上のジャンクション温度は保証できてない。

本節では、1200V クラスの高耐圧 IC について、150°C 以上の高温保証を実現するためのデバイス技術、集積化技術の確立を行った。以下に、その内容を述べる。

高耐圧デバイスにおけるアバランシェ耐圧の温度依存性

一般に、ダイオードや MOSFET などにおけるアバランシェ降伏電圧の温度係数は正である。通常、およそ 10%/100°C 程度の割合で上昇する。これは、温度上昇に従って格子振動が激しくなりキャリアの移動度が小さくなるため、アバランシェ降伏が起きにくくなる効果のためである。

図 3-13 に、実際に作製した IPM 向け 1200V クラスの高耐圧 IC におけるチップ外観写真を示す。内蔵した機能としては、通常のゲートドライブ機能に加え、前節でのべたレベルダウン素子および過電流検出などの保護機能を内蔵しているため、回路規模としては大きく、ハイサイド回路や HVJT の面積も大きくなる。

この実際のチップにおける VB-GND 間の耐圧波形を周囲温度(T_a)条件について振って測定した結果を図 3-14 に示す。また、耐圧特性(アバランシェ耐圧)の周囲温度(T_a)依存性グラフについて、実測結果とシミュレーション結果を図 3-15 に示す。高耐圧 IC の耐圧特性は、HVJT の接合耐圧で決まる。そのため、シミュレーションは、HVJT 部の単位奥行き長 $W[\mu\text{m}]$ あたりの 2 次元デバイス構造を面積倍した値をプロットしている。図 3-15 から、100°C 辺りまでは HVJT のアバランシェ耐圧が正の温度係数を示しているが、100°C を超えた辺りから耐圧が急激に低下しているのが分かる。また、実測結果は高温側で、より顕著に耐圧低下している。1200V 保証に対しては、150°C の周囲温度 T_a が限界であることが分かる。

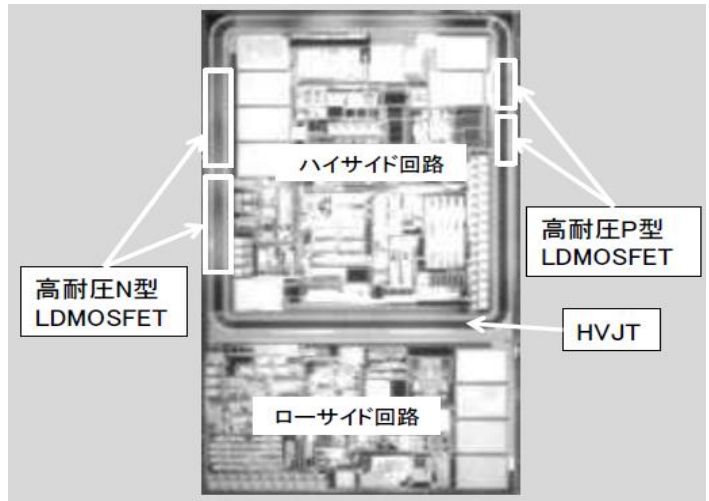


図 3-13. 作製した 1200V クラス高耐圧 IC のチップ外観写真

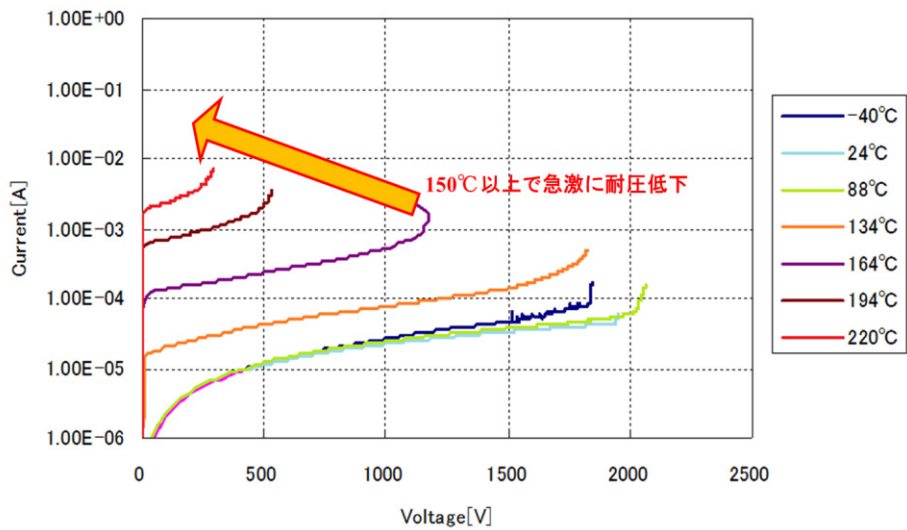


図 3-14. 1200V クラス高耐圧 IC の耐圧波形 温度依存性(周囲温度 Ta)

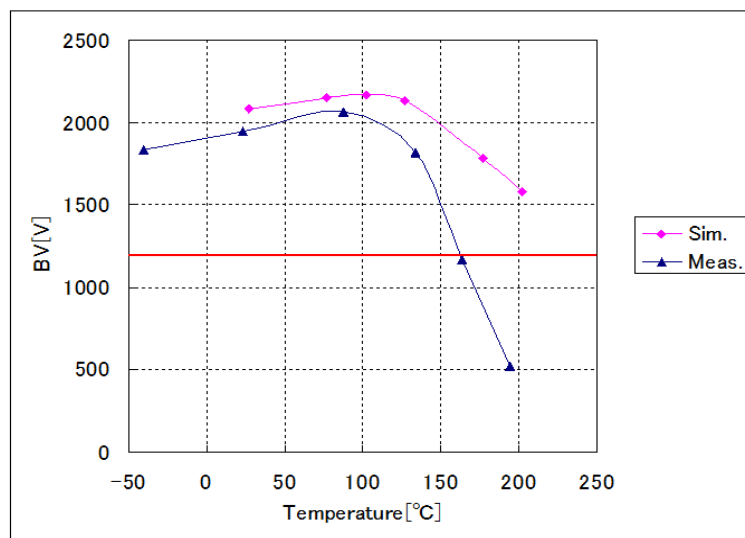


図 3-15. 1200V クラス高耐圧 IC の耐圧特性の温度依存性(実測とシミュレーション結果)

シミュレーションによる高温時耐圧低下現象の解析

高温におけるHVJT耐圧特性の低下メカニズムの解明と対策検討について、デバイスシミュレーションを用いて、室温付近27°Cと高温180°C環境におけるHVJT部(ハイサイド電源端子:VB-GND間1800V印加)の分布状態をそれぞれ比較した。

図3-16に電位分布図、図3-17に電界分布図、図3-18にインパクトイオン化図をそれぞれ示す。図3-16から、高温時におけるHVJT接合部や表面の電界強度に差はなく、空乏層の広がりもほぼ同じように分布していることがわかる。また、図3-17からは、HVJT部の高電位側Ptop層の表面やNtub層の深いところで電界集中しているのが分かるが、こちらについても高温時と低温時で電界集中ポイントに大きな差はない。一方、図3-18に示したインパクトイオン化図では、高温時にHVJTの高電位側で大量にインパクトイオン化が進んでいることが分かる。このことから、180°Cの高温状態では、27°Cの時に比べて、大量の電子-正孔対が発生しているといえる。これは、図3-19に示したキャリア密度の温度依存性で説明できる。縦軸 n は電子キャリア濃度、横軸は絶対温度 T の逆数である。周囲温度が低い図3-19(a)の領域は凍結(不純物イオン)領域と呼ばれ、この領域では電子濃度の対数を取った値は温度の逆数に比例する。その傾きは負であり、大きさはドナーのイオン化エネルギーを $2k$ で割った値 $(E_c - E_d) / 2k$ である。ここで、 E_c は伝導帯のエネルギー準位、 E_d はドナー準位、 k はボルツマン定数を表す。つまり、この領域では温度上昇によって伝導帯に熱励起される電子の数が増加する。次に、凍結領域より温度を上昇させ、図3-19(b)の領域に入るとドナー準位にある電子は伝導帯に出払うことになる。しかし、価電子帯の電子はまだ伝導帯に励起するだけのエネルギーを受け取ることができない。この領域を飽和(出払い)領域という。この領域では電子濃度は温度に関わらず一定となる。さらに、飽和領域よりも温度を上昇させていくと価電子帯の電子は伝導帯に励起するだけのエネルギーを受け取って熱励起する。これが図3-19(c)の領域で、真性領域という。この領域では電子濃度の対数を取った値は温度の逆数に比例する。その傾きは負で大きさはバンドギャップを $2k$ で割った値 $(E_c - E_v) / 2k$ である。ここで、 E_v は価電子帯のエネルギー準位を表す。この領域では温度上昇によって伝導帯に熱励起される電子キャリア数は増加し、その増加量は凍結領域よりも圧倒的に多い。今回の耐圧低下も、この真性領域に達しており、真性半導体まではいかないものの、過剰な熱励起キャリア(電子キャリア)により、アバランシェ降伏が誘発されたと考えられる。

また、シミュレーションモデルについて、アバランシェ降伏を考慮しないモデルで計算した

ところ、高温時における耐圧低下は発生しなかった。よって、高温時の耐圧低下現象はアバランシェ降伏によるものとの確認できた。

シミュレーション解析の結果とキャリア密度の温度依存性から、以下のことが分かった。

- ①高温時の耐圧はアバランシェ降伏により決まる
- ②耐圧低下は熱励起キャリアの過剰な増加により真性領域に達し、アバランシェを誘発
- ③耐圧低下は電界集中、空乏層幅の変化によるものではない

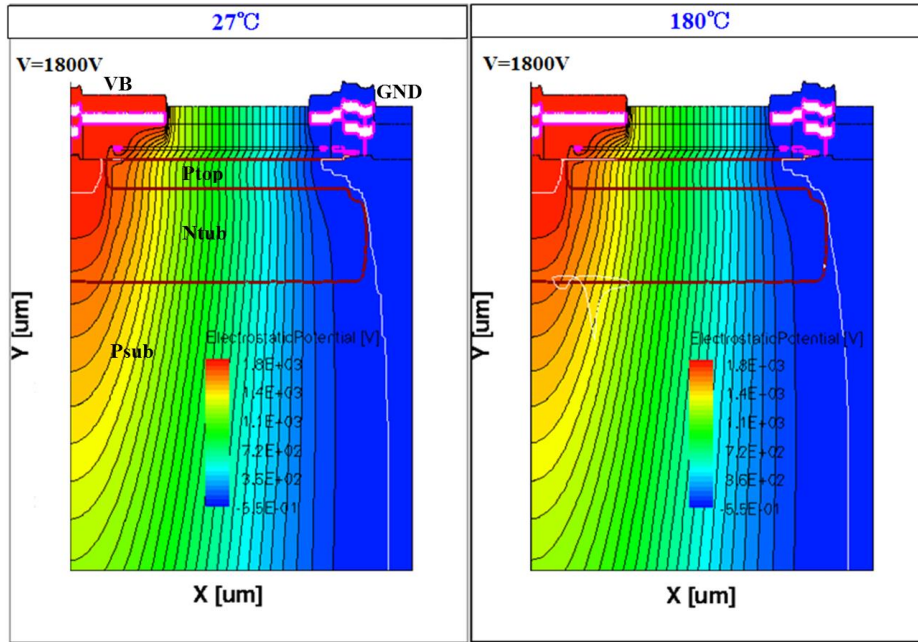


図 3-16. HVJT の電位分布図(VB-GND:1800V 印加、27°C、180°C)

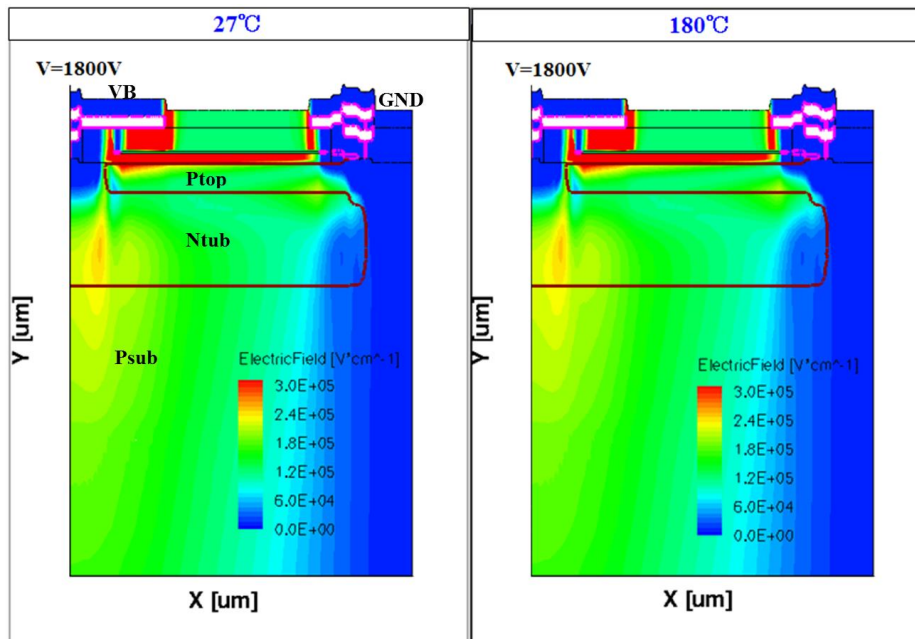


図 3-17. HVJT の電界分布図(VB-GND:1800V 印加、27°C、180°C)

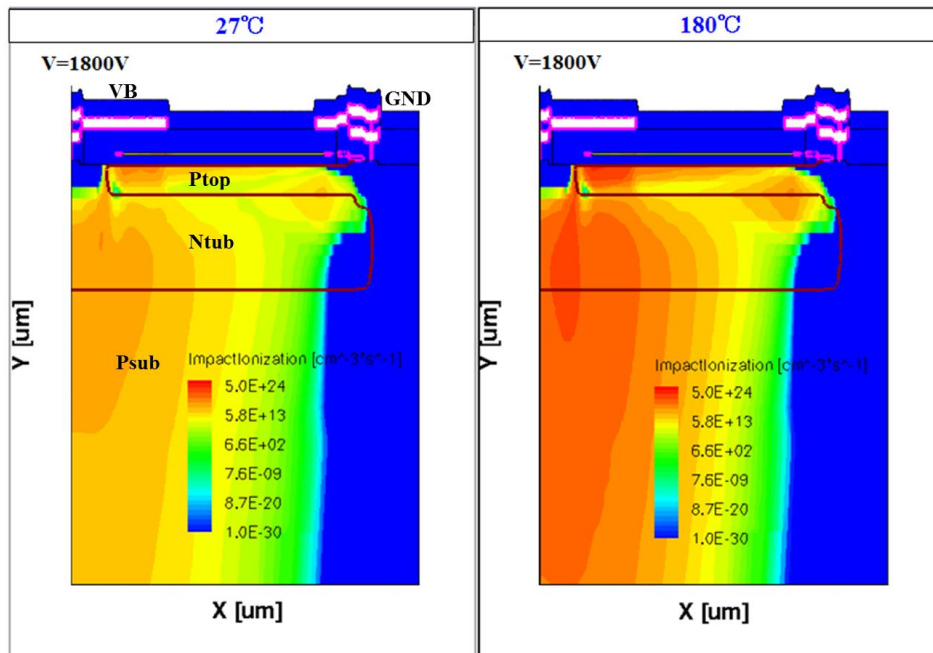


図 3-18. HVJT のインパクトイオン化図(VB-GND:1800V 印加、27°C、180°C)

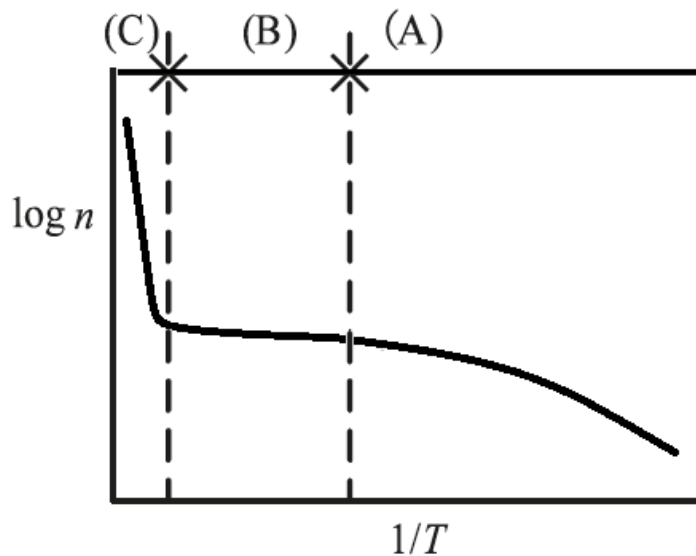


図 3-19. キャリア密度の温度依存性

高温時 HVJT 耐圧低下の改善

ここでは、HVJT の高温時における耐圧低下に対して、耐圧低下を克服し、175°Cの高温環境において 1200V 保証できる高耐圧 IC 技術の確立を行った。

前述のとおり、高温時の耐圧低下は、過剰な熱励起キャリアが HVJT 領域に注入されるこ

とで、アバランシェ降伏を誘発することが原因である。そのため、従来の高耐圧 IC において、過剰な熱励起キャリアの発生部を可能な限り小さくする必要がある。その際のポイントを下記に述べる。

①HVJT の周囲長、接合面積を最小限にする

②ハイサイド回路領域のある N2 層と Psub 基板から伸びる空乏層の体積を最小限にする

以上のコンセプトをもとに、新規の高耐圧 IC のチップ構成を考案した。図 3-20(a)に従来の高耐圧 IC チップ構成と、図 3-20(b)に考案した新規の高耐圧 IC チップ構成の平面図を示す。

上記①の HVJT 周囲長を最小限にするため、新規の高耐圧 IC では 2 チップ構成を採用した。そして、レベルアップとレベルダウン機能であるレベルシフトを Psub 基板が GND 電位に固定された低電圧側のチップに配置している。新規レベルシフトと HVJT を合わせた接合面積は 5 分の 1 以下にした。また、上記②のハイサイド回路領域のある N2 層(図 2-3 のデバイス断面図を参照)と Psub 基板との接合から伸びる空乏層の体積を最小化するために、ハイサイド回路領域の配置されたチップの周囲、P1 層/Psub 基板(裏面)の電位をフローティング電位とし、P1 層/Psub 基板に逆バイアスされない状態とした。高電位側チップは完全に GND 電位から切り離され(レベルシフトを介した経路しかなくなる)、P1 層/Psub 基板接合から空乏層が大きく伸びることがない。そのため、図 2-62(b)の新規構成にすることで、高温逆バイアス状態で HVJT に流入する熱励起キャリア量を大幅に減らすことができる。

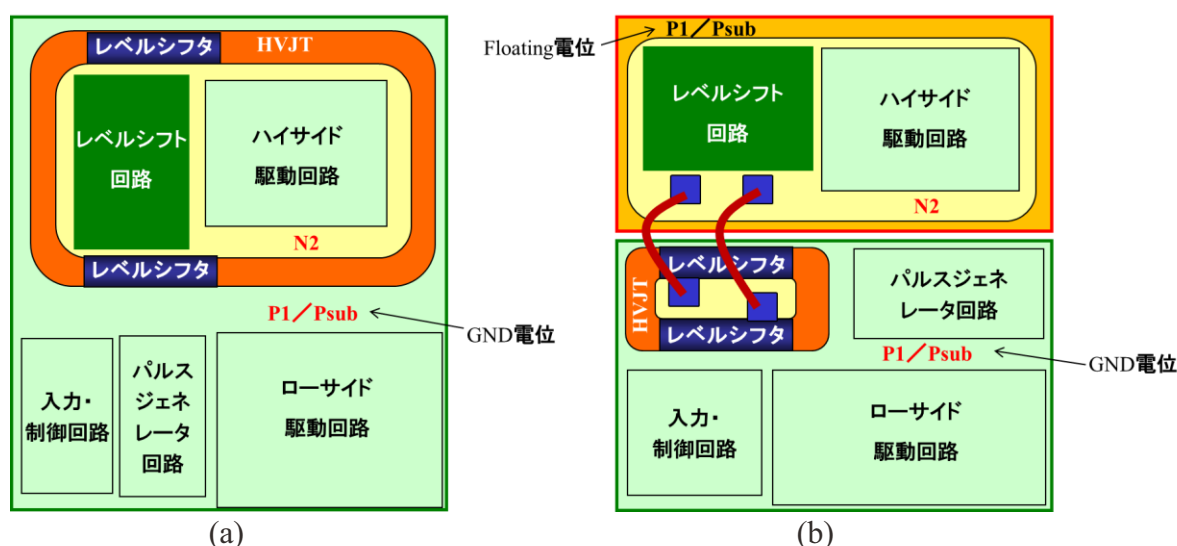


図 3-20. 従来と新規 1200V クラス高耐圧 IC 平面図

(a)従来:1 チップ構成、(b)新規:2 チップ構成(高電位側チップ裏面フローティング電位)

上述した新規チップ構成とした高耐圧 IC を実際に試作、評価した結果を図 3-21 に示す。従来構成では、熱励起キャリアが急増する影響で、高耐圧 IC の VB-GND 間耐圧は 150°C 以上の高温環境では 1200V を切るため、1200V 保証できなかった。しかし、新規チップ構成の高耐圧 IC では、175°C の高温環境下においても 1500V 以上の VB-GND 間耐圧があり、1200V、175°C(Ta)保証が可能であることが確認できた。

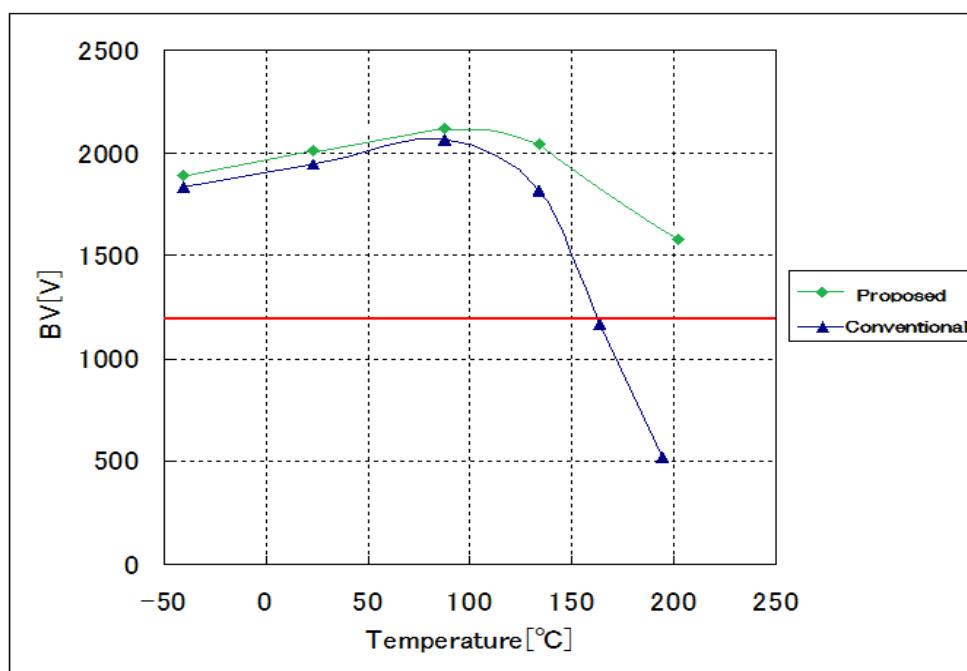


図 3-21. 従来チップ構成と新規チップ構成の高耐圧 IC における耐圧 周囲温度依存性

まとめ

本節では、150°C を超える高温環境下で発生する HVJT の耐圧低下現象について、シミュレーションを用いて解析を行った。解析の結果、高温環境下で耐圧低下する原因は、真性領域における熱励起キャリアの急増によって HVJT 内の電子キャリア密度が高くなり、より低い電界強度でアバランシェ降伏に至っていると推定される。高温耐圧低下の改善方法として、熱励起キャリアの発生量を抑えることが有効と考え、接合面積と空乏層の体積を小さくした新規チップ構成の高耐圧 IC における耐圧の温度依存性を評価した。その結果、高耐圧領域の接合面積、空乏層領域の体積を小さくすることで、高温耐圧低下の抑制効果があることが実証され、これまでに報告例のない 1200V 耐圧、175°C 保証化を実現できた。

3.4 結言

本章では、自己分離方式をベースとした 1200V クラス高耐圧 IC の“高機能化”、“高温保証化”に寄与するデバイス技術、集積化技術などについてそれらを実現するための新規構造・新規構成を示すとともに、それらの改善効果を明らかにした。

“高機能化”に関しては、レベルダウン素子(過電流検出など各種保護回路)を内蔵することで、パワエレシステムの安全性向上に大きく貢献することができ、この機能を内蔵するための技術をシミュレーションや理論式による解析や実験によって評価し、その有効性を示した。

“高温保証化”に関しては、1200V クラスの高耐圧 IC について、150°C 以上で急劇に耐圧低下するメカニズムをシミュレーションによって解析し、高温時の熱励起キャリアの過剰発生によって電子キャリア密度が不純物濃度よりも高くなることで耐圧低下の原因ということを示した。試作した新規構成の高耐圧 IC では、接合面から伸びる空乏層の体積を大幅に減らし、熱励起キャリアの発生を抑えることで、1200V 耐圧、175°C 保証可能であることが確認された。

第 2 章と第 3 章で述べた結果は、低コストの自己分離方式を用いた高耐圧 IC を高性能化するうえで有効な結果であり、電源ボード、プリント基板の面積を小型化できるだけでなく、対応容量 600V/100A クラス以上の中容量分野や 150°C を超える高温環境下でも適用でき、これまで以上に広範囲な用途に高耐圧 IC が適用できることを示している。

第 4 章

誘電体分離方式ゲートドライバ IC の高性能化

第4章 誘電体分離方式ゲートドライバ IC の高性能化

4.1 序言

本章では、SOI基板上に形成した誘電体分離方式の高耐圧 IC における高性能化に関わる技術の確立へ向けた取り組みについて述べる。

第1章の表 1-1 で示したように、ゲートドライバ IC に誘電体分離方式を採用する利点の一つとして、外付け部品の取り込み(内蔵)が容易であることが挙げられる。例えば、ブートストラップダイオードや横型 IGBT などのパワーデバイスを内蔵することも誘電体分離技術では容易となる。また、パワーデバイスの誤オン動作を防ぐため、ゲート出力(HO)電位をマイナス電位とすることも、電位領域を個別に設定できる誘電体分離方式であれば可能である。また、自己分離や pn 接合分離と違い、MOS やバイポーラ素子などのロジックデバイスをトレンチ酸化膜や BOX 層などで仕切ることが可能なため、接合面積を小さくすることができる。こうすることで、高温リーク電流を減らせるため、誘電体分離方式の高耐圧 IC は 200°C 動作などの高温動作も可能である^[38]。誘電体分離方式は、分離性能や分離面積といった技術的な性能は他の分離技術よりも優れているが、現状の SOI 基板は高価なためにコストパフォーマンスの面で劣る。そのため、誘電体分離方式を適用した高耐圧 IC は電源システムの高機能化、小型化、高温保証化、安全性などを重要視する車載用機器などを中心に普及している。

しかしながら、表 1-1 にあるように、誘電体分離方式の高耐圧 IC は実用化されているもので最大 600V 耐圧が限界であり、1000V 以上の高耐圧化が困難である。それは、SOI 基板にある BOX 層の厚膜化がウェハ反りの問題などで難しいからである。

本章では、この“高耐圧化”の取り組みとして、4.2 節で厚膜 SOI 基板をベースとした 600V クラスの高電位配線技術と、4.3 節では未だに実用化されていない 1200V クラスの高耐圧化に対する考察を述べる。

4.2 高電位配線下における高耐圧化技術

はじめに

SOI を適用した 600V クラスの高耐圧 IC 技術は、薄膜 SOI が主流であり、厚膜 SOI は一般的に薄膜 SOI に比べて寄生動作防止効果や大電流化・放熱性などの利点があるが、

①レベルシフト(高耐圧 Nch-LDMOSFET)の高耐圧化

②レベルシフトからハイサイド駆動回路部への高電圧配線技術

③トレンチ分離構造による素子分離性能

などの特性を満足するためにデバイス構造や基板材料などに工夫が必要であり、製造工程が複雑となる^{[39][40]}。

本研究では、厚膜 SOI 基板上の 600V クラス高耐圧 IC の高耐圧化、高信頼化を目的に、600V クラス高耐圧 IC のレベルシフトデバイスにおける高電位配線技術の確立に取り組んだ。高耐圧 IC における素子の高耐圧化を図る場合、基板条件を含めた素子構造の最適化が必要となる。誘電体分離方式の高耐圧 IC において、高耐圧の必要な素子は、レベルシフトデバイスと高耐圧終端領域である。高耐圧終端領域については、容量結合型の多重トレンチ分離構造を採用したため、接合耐圧の検討は不要となる。そのため、レベルシフトデバイスである高耐圧 Nch-LDMOSFET の事前検討として、高耐圧化に必要な基板条件を導き、さらにはドレインからハイサイド回路領域へ接続するための高電位配線による耐圧低下に対して、シミュレーションによる電位分布の把握と耐圧改善に取り組んだ。次に、事前検討結果を受け、新規デバイス構造の考案と実験における高耐圧化の検証と多重トレンチ分離技術に関する実験結果、およびプロトタイプ IC によるスイッチング特性の評価に取り組んだ^[41]。

ここでは、以上の内容について述べる。

2次元の解析式による基板条件の検討

600V 以上の高耐圧を得るためには、基板条件、つまり、埋め込み酸化膜である BOX 層の厚さとデバイスの形成される SOI 層の厚さを決定する必要がある。ここでは、厚膜 SOI における高耐圧 Nch-LDMOSFET の簡略化した物理モデルを用いて、2次元の解析式を導き、600V 以上の耐圧を得るための基板条件を求めた^[42]。図 4-1 に物理モデルを示す。支持基板上に BOX 層と P+ / N- / N+ 接合を配置しており、高耐圧 Nch-LDMOSFET のドリフト領域を模擬している。ここでは、図に示す N-層が完全空乏化している場合を考える。N-層の電界は、Poisson 方程式より、次式で表される。

$$\frac{dE_x(x,y)}{dx} + \frac{dE_y(x,y)}{dy} = \frac{qN_d(x)}{\epsilon_{si}} \quad (4.1)$$

ここで、 $N_d(x)$ は N-層の不純物濃度、 ϵ_{si} はシリコンの誘電率、 q は電荷素量を表す。また、ドリフト長 L に沿った x 方向の電界が一様に臨界電界(E_{cr})に達していると仮定すると、 x 方

向の電界は最大となるため、 $dE_x(x,y)=0$ となり、(4.1)式は次式となる。

$$\frac{dE_y(x,y)}{dy} = \frac{qN_d(x)}{\epsilon_{si}} \quad (4.2)$$

次に、N-層(シリコン)と上部酸化膜の界面における y 方向の電界が 0 と仮定すると、 $E_y(x,0)=0$ となり、シリコンの厚さ t_{si} とし、N-層(シリコン)と BOX 層の界面までの y 方向の電界は(4.2)式を積分して、

$$\frac{q}{\epsilon_{si}} \int_0^{t_{si}} N_d(x) dy = \frac{qN_d(x)t_{si}}{\epsilon_{si}} = E_y(x,t_{si}) \quad (4.3)$$

と表せる。また、 $0 < x < L$ 、 $0 < y < t_{si}$ の範囲において、(4.2)式の y 方向の積分から次式を得る。

$$E_y(x,y) = \frac{qN_d(x)}{\epsilon_{si}} y \quad (4.4)$$

また、N-層(シリコン)と BOX 層の界面における電圧 $V(x,t_{si})$ は次式のように表せる。

$$V(x,t_{si}) = \frac{\epsilon_{si} E_y(x,t_{si})}{\epsilon_{ox}} t_{ox} \quad (4.5)$$

ここで、 ϵ_{ox} はシリコン酸化膜の誘電率、 t_{ox} は BOX 層(シリコン酸化膜)の厚さである。

N-層(シリコン)における y 方向の電圧降下 $V(x,0)-V(x,t_{si})$ は、(4.4)式をさらに積分して、

$$V(x,0) - V(x,t_{si}) = \int_0^{t_{si}} E_y(x,y) dy = \frac{qN_d(x)}{2\epsilon_{si}} t_{si}^2 \quad (4.6)$$

となる。さらに、(4.3)式より次式が得られる。

$$V(x,0) - V(x,t_{si}) = \frac{t_{si}}{2} E_y(x,t_{si}) \quad (4.7)$$

支持基板電位 $V_{sub}=0V$ としたとき、(4.5)式と(4.7)式から、

$$V(x,0) = \left[\frac{t_{si}}{2} + \frac{\epsilon_{si}}{\epsilon_{ox}} t_{ox} \right] E_y(x,t_{si}) \quad (4.8)$$

と表せる。ここで、 $V(x,0)=V \times (x/L)$ で表されると仮定すると、

$$E_y(x,t_{si}) = Vx / \left[\frac{t_{si}}{2} + \frac{\epsilon_{si}}{\epsilon_{ox}} t_{ox} \right] L \quad (4.9)$$

となる。N-層(シリコン)と BOX 層の界面でアバランシェ降伏臨界電界(E_{cr})が発生した時に、

y 方向の電界 $E_y(x, t_{si})$ は、 $x=L$ のときに最大値となる。つまり、この時がブレイクダウン電圧 (V_{br}) となるため、 V_{br} は次式で表される。

$$V_{br} = E_{cr} \left[\frac{t_{si}}{2} + \frac{\epsilon_{si}}{\epsilon_{ox}} t_{ox} \right] \quad (4.10)$$

(4.10)式から明らかなように、厚膜 SOI 基板上的 Nch-LDMOSFET の耐圧は、N-層が形成される SOI 層の厚さ(t_{si})と BOX 層の厚さ(t_{ox})に比例し、それぞれの分担電圧で決まる。BOX 層の厚さ t_{ox} には、 $\epsilon_{si}/\epsilon_{ox}(=11.2/3.9 \approx 2.9)$ が乗じられているため、SOI 層の厚さ t_{si} よりも t_{ox} を厚くして積極的に BOX 層に電圧を分担した方が耐圧向上を図ることができる。

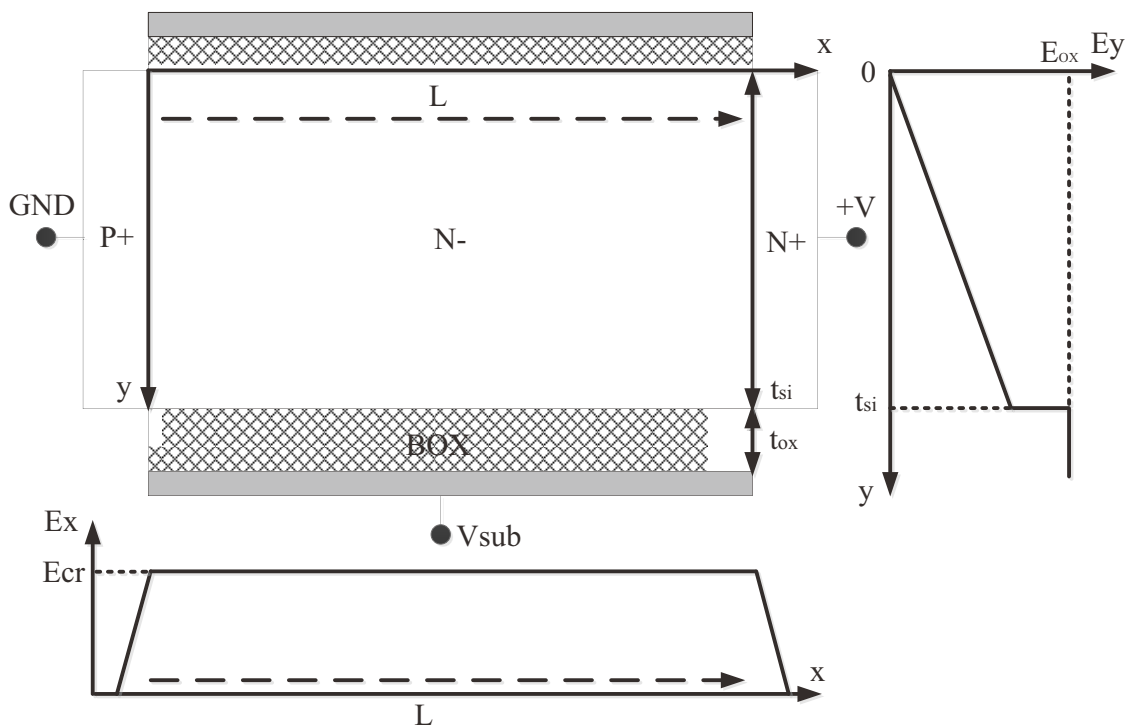


図 4-1. 厚膜 SOI における高耐圧 Nch-LDMOSFET のドリフト領域の物理モデル

次に(4.10)式から、600V 耐圧を得るために必要な基板条件を計算した。一般的に、SOI 基板の仕様として、8 インチウェハで $5\mu\text{m}$ 以上の BOX 層を熱酸化膜で形成すると、基板の反りが大きくなる。そのため、BOX 層の厚さは、仕様の最大 $t_{ox}=5\mu\text{m}$ 厚とした。SOI 層の厚さは(4.10)式から、 $t_{si}=20\mu\text{m}$ のときで耐圧が 731V(シリコンの臨界電界強度: $E_{cr}=3.0 \times 10^5 \text{V/cm}$ で計算)と計算でき、600V に対して耐圧マージンを確保した。また、SOI 層である N-層の不純物濃度 N_d は、シミュレーションより、600V 印加で完全に空乏化する濃度を求めた。

20 μm 厚の SOI 層において、600V 以上の耐圧を達成するには $N_d=2.0\times 10^{14}/\text{cm}^3$ から $1.0\times 10^{15}/\text{cm}^3$ の範囲内となる。これを比抵抗に換算すると、 $5\Omega\cdot\text{cm}$ から $20\Omega\cdot\text{cm}$ の範囲となる。この結果から、SOI 層の比抵抗は $15\Omega\cdot\text{cm}$ とした。

レベルシフトデバイスと高電位配線

今回開発した 600V クラス厚膜 SOI-高耐圧 IC の平面構造図を図 4-2 に示す。SET 信号と RESET 信号用に 2 つのレベルシフトデバイス (Nch-LDMOSFET) とハイサイド駆動回路、およびレベルシフタへ入力信号を伝達するための低電圧制御回路などを備えている。各回路はそれぞれトレンチ酸化膜の分離領域によって囲まれており、ハイサイド駆動回路部においては隣接のグランド領域から 600V 以上の素子分離を行う必要があるため、3 重構造からなる多重トレンチ分離構造を適用している。

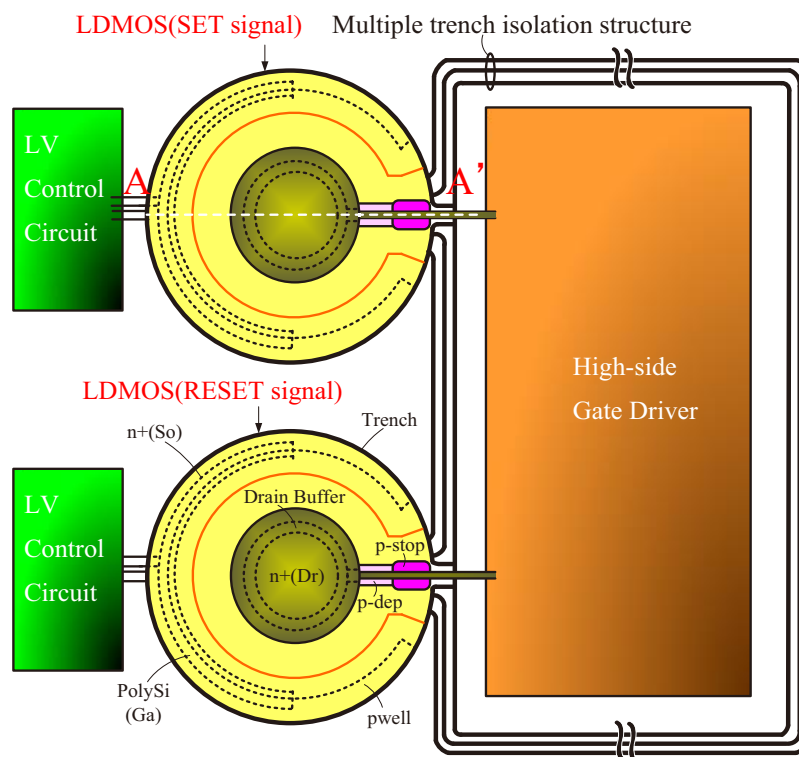


図 4-2. 開発した 600V クラス厚膜 SOI-高耐圧 IC の平面構造図

高耐圧 IC にとって重要な技術の一つが、高耐圧のレベルシフタからハイサイド駆動回路部へ電氣的に接続するための高電位配線技術である^[43]。今回開発した多重トレンチ分離構造では、高耐圧 Nch-LDMOSFET のドレインから引き出された高電位配線が図 4-2 に示

すように高電位側の1本のトレンチ酸化膜上を跨ぎ、その他のトレンチは所定の間隔を空けてT字形状でそれぞれNch-LDMOSFET外周のトレンチ酸化膜と結合する構造としている。

高電位配線は、Nch-LDMOSFETの耐圧領域における均一な電位分布を乱すため、この配線下のトレンチ端部における表面電界が高くなる。そのため、高耐圧化にはこの高電圧配線下のトレンチ付近の電界強度を緩和する必要がある。

上記課題を克服し、600V保証のNch-LDMOSFETを実現するために提案したレベルシフトデバイスと高電位配線の断面構造(図4-2のA-A'部)を図4-3に示す。図4-3のように、高電位配線直下のNch-LDMOSFETの耐圧領域表面にP-dep層とP-stop層からなる2つのフローティング電位のP層を隣接して設けている。

この2つのフローティング電位のP層は、高電位配線下の耐圧領域における高電界を緩和する目的で導入した。P-dep層の不純物濃度は、P-stop層の不純物濃度より低く、かつNch-LDMOSFETのドレインに高電圧が印加された際に完全に空乏化するように濃度および拡散深さを調整している。

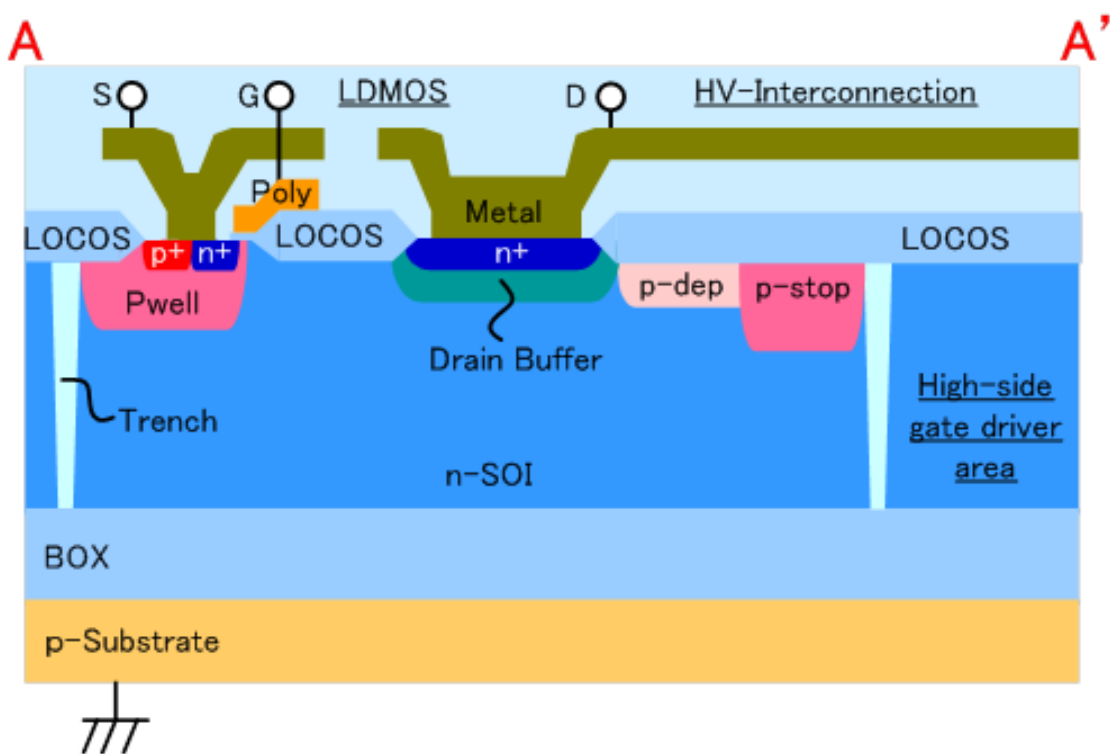


図4-3. 提案したレベルシフトデバイスと高電位配線の断面構造図(図3-2のA-A'部)

多重トレンチ分離構造

前述したように、600V クラスの厚膜 SOI-高耐圧 IC に用いた貼り合わせ SOI 基板の SOI 層厚は 20 μm 、埋め込み酸化膜である BOX 膜厚は 5 μm である。ハイサイド浮遊電位領域とグラウンド電位領域との隣接間分離において、600V の高電圧に耐えうる高い分離性能を達成するために、3 本のトレンチをそれぞれ容量結合させた多重トレンチ分離構造を適用した。なお、トレンチ幅は 1.4 μm で 20 μm の深掘りエッチング工程後に減圧 CVD による LP-TEOS(Low-Pressure Tetra Ethyl Ortho Silicate)膜で充填し、アニール処理を施している。図 4-4 に多重トレンチ分離構造の断面 SEM 写真を示す。

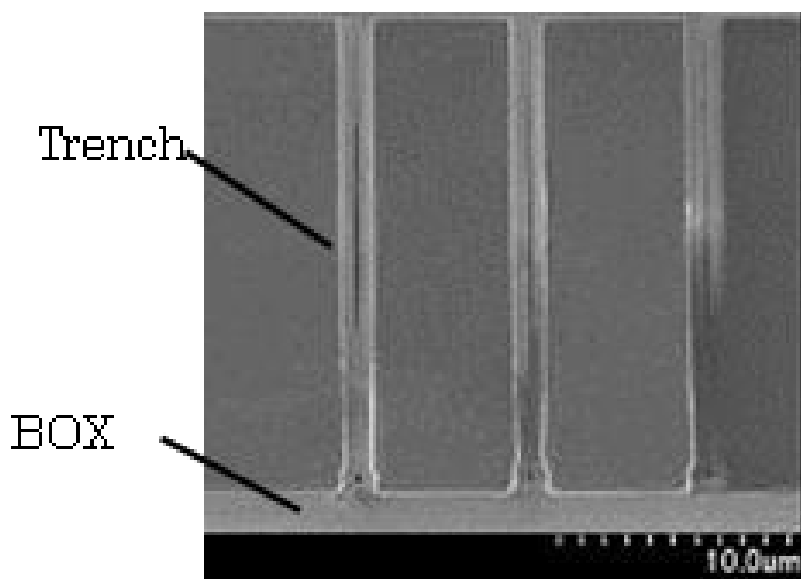


図 4-4. 多重トレンチ分離構造の断面 SEM 写真

デバイスシミュレーション結果

AC200V 系の電源もしくはパワエレシステムでは、高耐圧 IC が駆動するパワーデバイスのスイッチングにより、高耐圧 IC 内のレベルシフタとして機能する Nch-LDMOSFET のドレイン端子には 600V 程度の高電圧が過渡的に印加されるため、ドレイン-ソース間耐圧は 600V 以上の高耐圧が求められる。また、前述したように Nch-LDMOSFET の耐圧領域上に配置した高電位配線によって、その直下の耐圧領域の電位分布は乱される。そのため、高耐圧を保証するためには高電位配線下のデバイス構造に工夫を施す必要がある。

提案した高電位配線下の Nch-LDMOSFET 耐圧領域に 2 つのフローティング P-層を形成した構造のオフ状態($V_D=670V$)における電位分布とインパクトイオン化率分布を図 4-5(a)、

(b)に示す。また、Nch-LDMOSFET 耐圧領域に P-stop 層のみを形成した構造のオフ状態 ($V_D=670V$)の電位分布とインパクトイオン化率分布を求めた結果を図 4-6(a), (b)に示す。

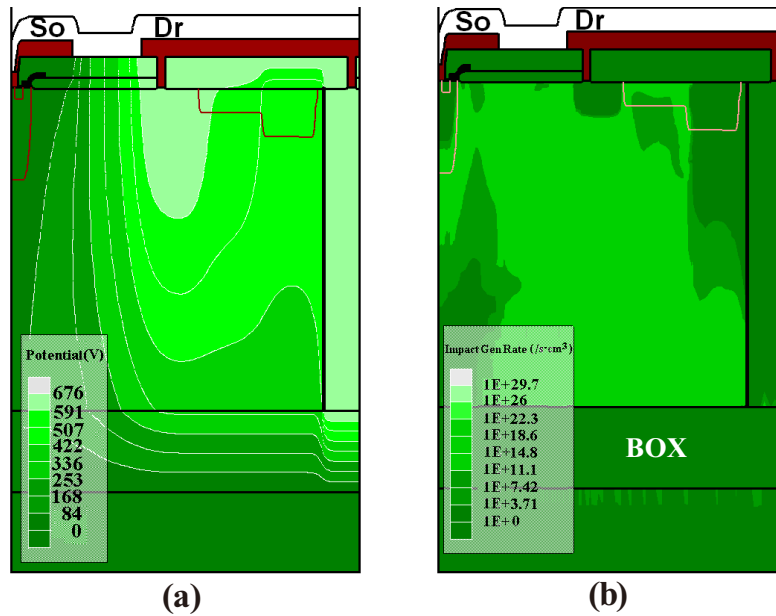


図 4-5. 提案した 2 つのフローティング P-層を形成した Nch-LDMOSFET
(a) 電位分布、(b) インパクトイオン化率分布($V_D=670V$ 、 $V_S=V_G=0V$ 印加時)

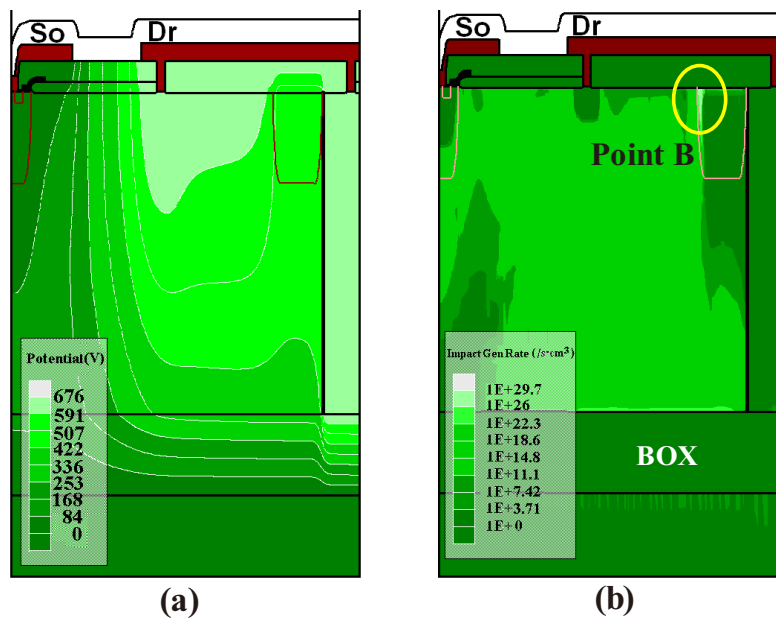


図 4-6. フローティング P-stop 層のみを形成した Nch-LDMOSFET
(a) 電位分布、(b) インパクトイオン化率分布($V_D=670V$ 、 $V_S=V_G=0V$ 印加時)

図 4-5(b)の結果からは極度に高いインパクトイオン化は確認されない。これは、P-stop 層に接して P-dep 層を形成することで高電圧配線下の電位分布を緩やかにし、P-stop 層付近の表面電界強度が緩和されているためである。一方、図 4-6(b)の結果では高電位配線下の P-stop 層の接合端である Point B の箇所でインパクトイオン化率が高いのがわかる。これは、ドリフト層である N-SOI 層と P-stop 層の接合界面の電界が高くなっているためである。

次に、提案した LDMOS のデバイスシミュレーションによる耐圧の P-dep ドーズ量依存性グラフを図 4-7 に示す。シミュレーションから、P-dep 層がない場合は耐圧が 577V まで低下する。この結果から、600V に対して十分な耐圧マージンを得るには、P-dep 層のドーズ量を $7.0E12/cm^2$ から $2.4E13/cm^2$ の範囲に設定すればよいことがわかった。

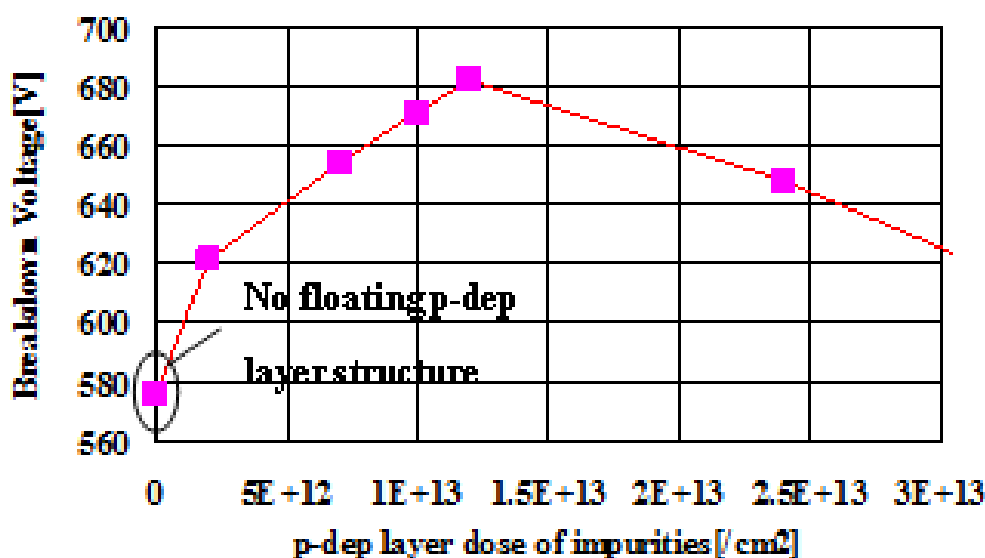


図 4-7. Nch-LDMOSFET の耐圧シミュレーション P-dep ドーズ量依存性

実験結果

図 4-8 に作製した Nch-LDMOSFET モニタの外観写真を示す。また、図 4-9 にオフ状態における Nch-LDMOSFET (P-dep ドーズ量: $1.2E13/cm^2$) の耐圧波形を示す。この結果からわかるように、Nch-LDMOSFET の耐圧は 670V であり、600V 以上の耐圧を得ることができた。なお、図示はしていないが、P-dep 層を形成していないタイプの Nch-LDMOSFET の耐圧は

560V であり、デバイスシミュレーション結果とほぼ一致した。

図 4-10 は、オン状態における Nch-LDMOSFET(P-dep ドーズ量: $1.2E13/cm^2$)の Id-Vg 波形である。レベルシフトデバイスを駆動する $V_g=5V$ のゲート電圧において 600V 以上の耐圧があることが確認できた。以上の結果から、高電位配線下の耐圧領域に 2 つのフローティング P-層を設けた新しいコンセプトを Nch-LDMOSFET に適用することで、600V 以上の高い耐圧特性を実験的に得ることができた。

また、作製した Nch-LDMOSFET のスイッチング動作における長期信頼性を確認する目的で、ホットキャリア試験を行った。図 4-11 に、Nch-LDMOSFET のホットキャリア耐性の試験結果を示す。本試験は、室温環境下で $V_d=600V$ 、 $V_g=5V$ の DC ストレス印加を行った。この結果、DC 印加 130 時間で Nch-LDMOSFET の飽和電流(I_{sat})は、わずか 2.7%しか低下していないことがわかる。この DC130 時間は、高耐圧 IC のスイッチング周波数($f=500KHz$)の実使用条件に換算すると 10 年以上に相当するため、ホットキャリア耐性は十分にあるといえる。

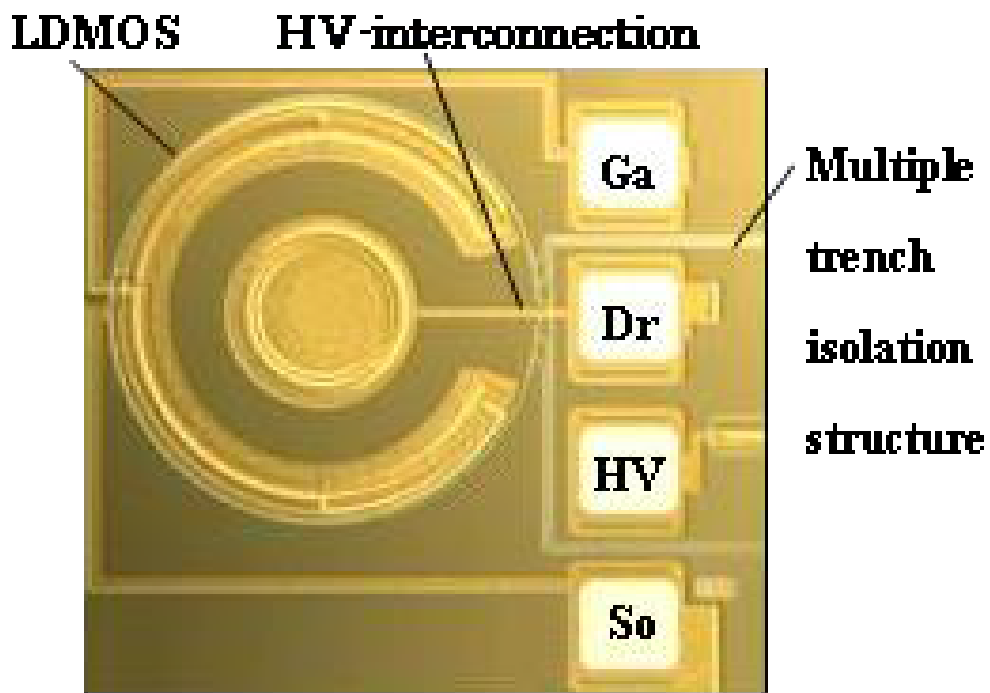


図 4-8. 作製した Nch-LDMOSFET モニタの外観写真

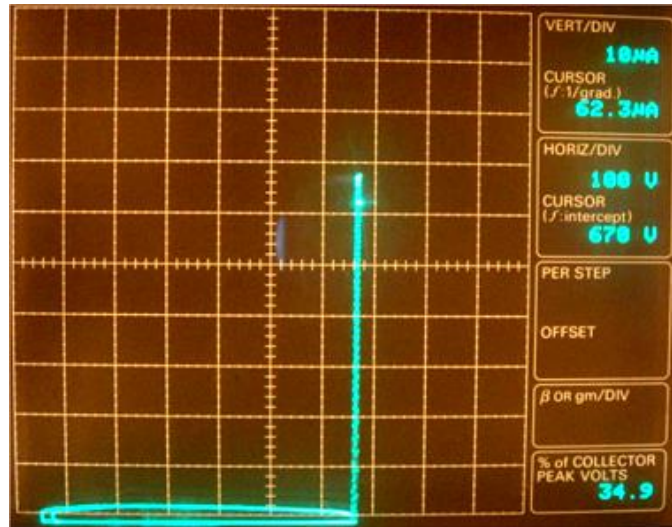


図 4-9. Nch-LDMOSFET の耐圧波形結果(P-depドーズ量:1.2E13/cm²)

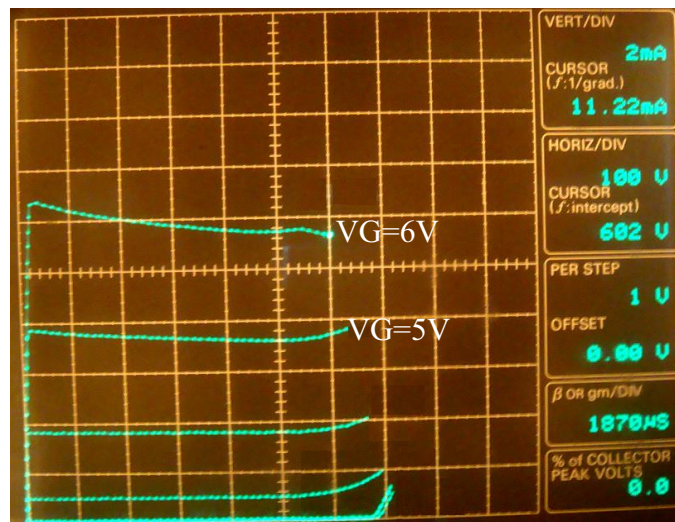


図 4-10. Nch-LDMOSFET の Id-Vg 波形結果(P-depドーズ量:1.2E13/cm²)

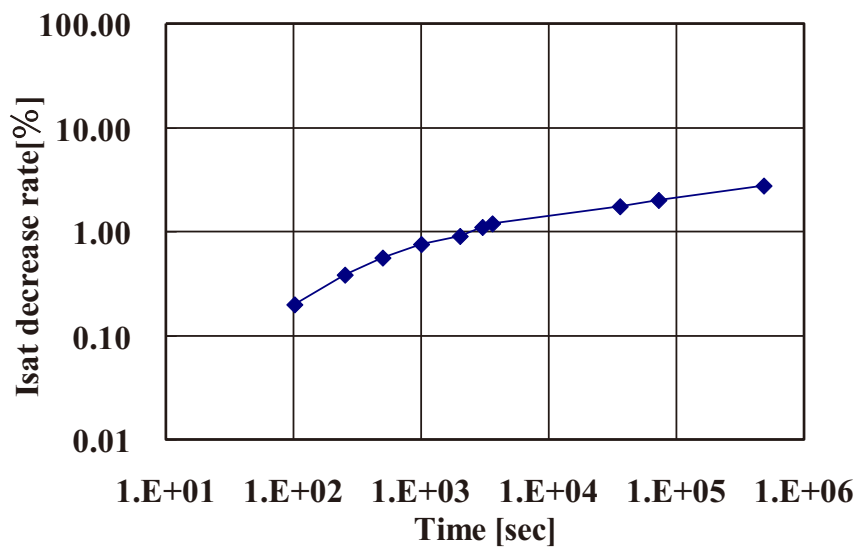


図 4-11. Nch-LDMOSFET のホットキャリア耐性試験結果(P-depドーズ量:1.2E13/cm²)

図 4-12 に、3 重構造からなる多重トレンチ分離構造の分離性能を示す。トレンチ幅 $1.4\mu\text{m}$ 、トレンチ深さ $20\mu\text{m}$ を形成するための深掘りドライエッチング技術と、シリコン酸化膜 (LP-TEOS 膜) による埋め込み技術を最適化することで、 1200V 以上の高い絶縁分離性能を達成した。また、本トレンチ構造は 600V 印加の BT 試験 (150°C , 1000 時間) をクリアしており、長期信頼性面においても問題ないことを確認している。

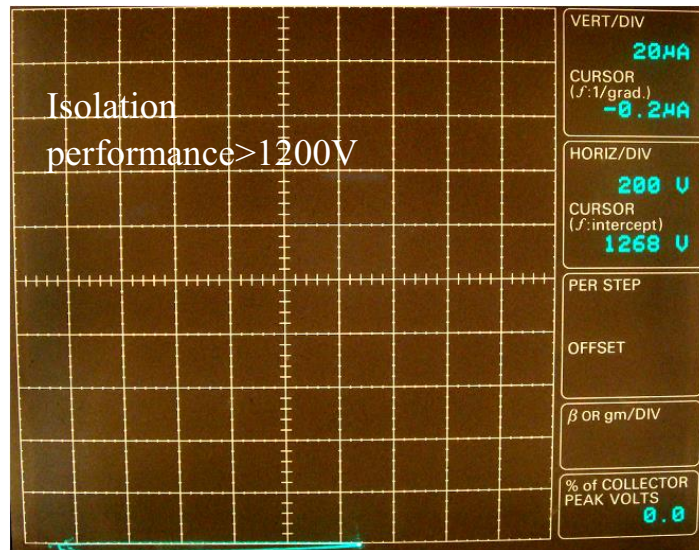


図 4-12. 多重トレンチ分離構造の素子分離性能

プロトタイプ IC における伝達動作確認

提案したレベルシフトデバイスとハイサイド駆動回路のスイッチング特性を評価するために厚膜 SOI 基板上にプロトタイプ IC を作製した。図 4-13 にそのチップ外観写真を示す。本 IC はハイサイド駆動回路とそれを取り囲む多重トレンチ分離構造、およびレベルシフトデバイスとして機能する 2 つ (SET 側、RESET 側) の Nch-LDMOSFET から構成されている。Nch-LDMOSFET には、今回提案した構造を用いて、ドレイン端子からハイサイド浮遊電位領域へ高電圧配線接続を行っている。図 4-14 は本 IC の回路ブロック図を示している。2 つの Nch-LDMOSFET は、HIN1 端子、HIN2 端子からそれぞれ入力信号が直接与えられることで動作する。

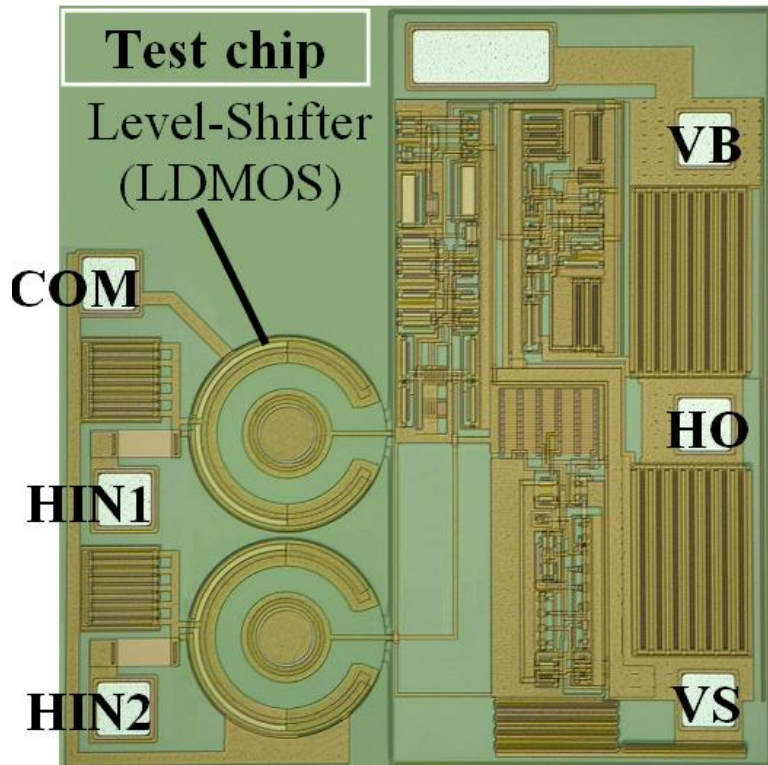


図 4-13. プロトタイプ IC のチップ外観写真

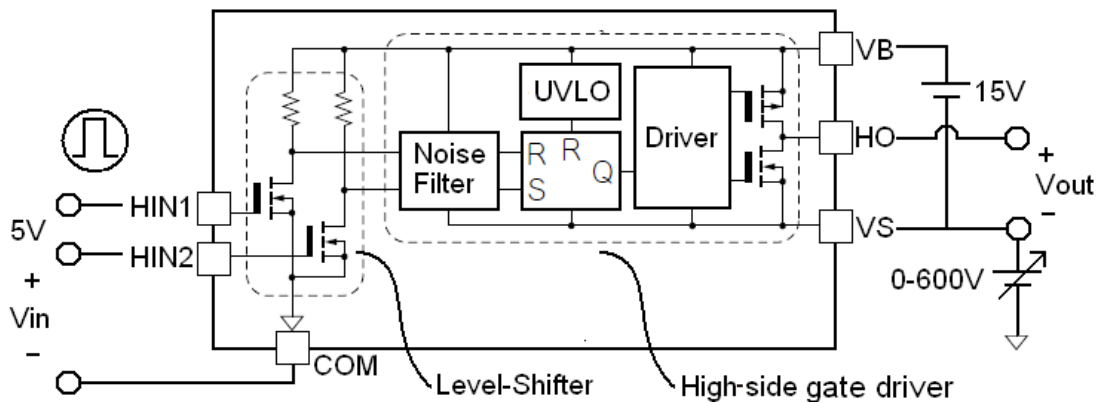


図 4-14. プロトタイプ IC の回路ブロック図と周辺構成図

図 4-15(a)、(b)には、図 4-14 のブロック図に示した VS 端子を 0V から 600V まで変化させた際のハイサイド駆動回路におけるターンオン・ターンオフの HO 出力波形をそれぞれ示した。VB 端子と VS 端子間には 15V の電源電圧を印加している。図 4-15 の結果から、本 IC は 600V の高電圧でも正常にスイッチング動作していることが確認できた。

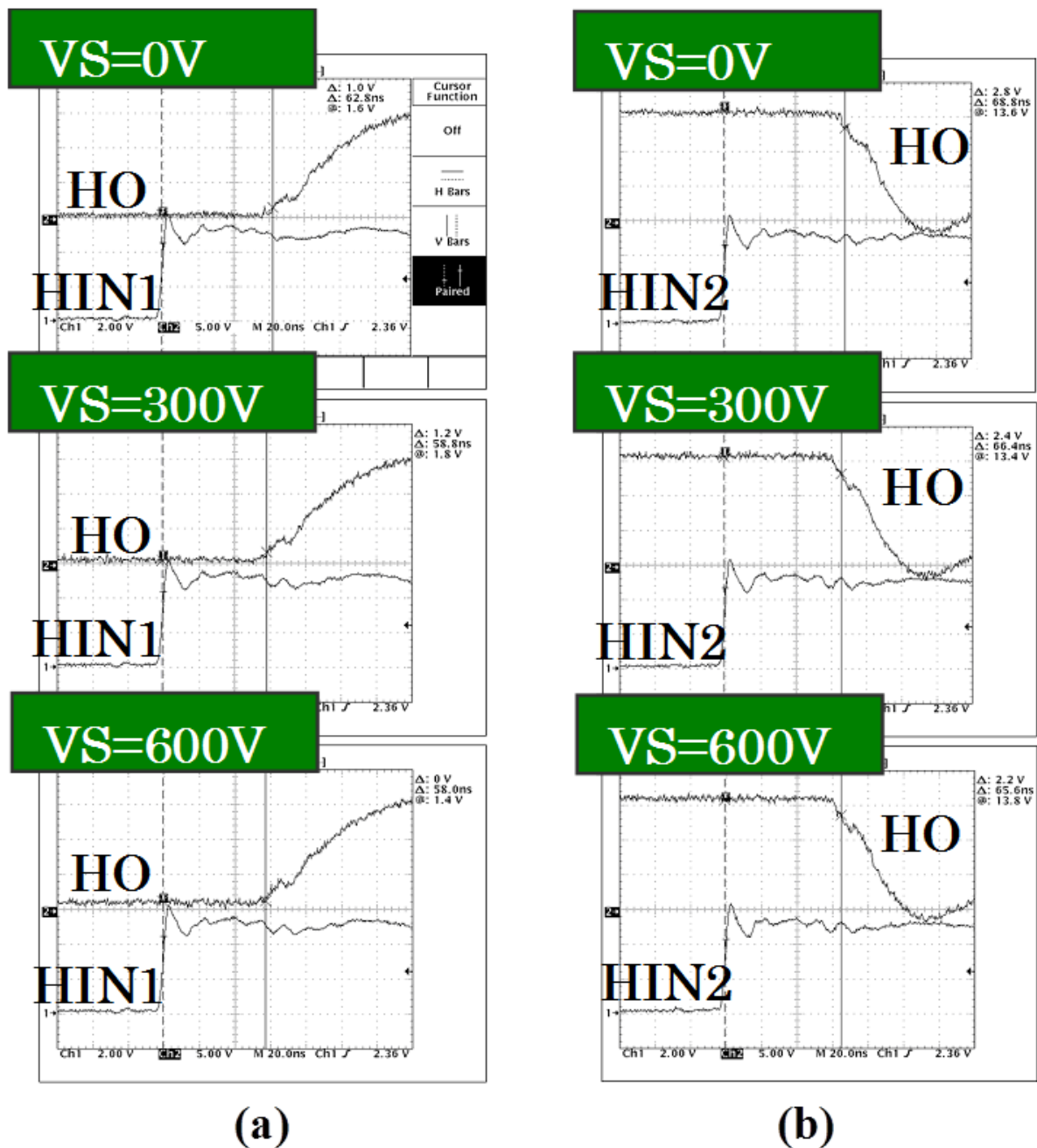


図 4-15. プロトタイプ IC における伝達特性:HO(出力)信号波形

(a) HIN1 入力時、(b) HIN2 入力時

まとめ

ここでは、厚膜 SOI 基板上の 600V クラス高耐圧 IC の高耐圧化、高信頼化を目的に、Nch-LDMOSFET のドレインからハイサイド駆動回路部へ接続する高電位配線によって引き起こされる耐圧低下について解析し、厚膜 SOI 基板上的における Nch-LDMOSFET の高電位配線技術を確立した。

シミュレーション解析および実験の結果、Nch-LDMOSFET の高電位配線下に2つのフローティング P-層を形成することで 600V 以上の高耐圧を実現した。Nch-LDMOSFET のホットキャリア耐性についても確認し、十分な耐性を達成した。多重トレンチ分離構造においても 1200V 以上の分離性能と信頼性を達成した。また、作製したプロトタイプ IC において、0V から 600V までの VS 電圧範囲で良好なスイッチング特性が得られた。これらの技術確立により、高耐圧、高信頼性の 600V クラス厚膜 SOI-高耐圧 IC の実現が可能となった。

4.3 さらに高耐圧化に向けた考察

はじめに

本節では、前述した 600V クラスの厚膜 SOI 高耐圧 IC よりもさらに高耐圧化、具体的には 1200V 耐圧を目指す場合に技術的な障壁となる事項について述べ、その実現性を考察する。

SOI 基板上レベルシフトデバイス耐圧 1200V 化の検討

耐圧検討を行うにあたって、前節の(4.10)式を用いて厚膜 SOI 基板上のレベルシフト素子の耐圧計算は可能であるが、SOI 層が $1\mu\text{m}$ 以下の薄膜 SOI 基板も考慮した場合、図 4-16 に示す素子耐圧 SOI 層膜厚依存性のグラフが一つの指標となる^[44]。SOI 層が $1\mu\text{m}$ 以下で耐圧が高くなる理由は、素子に高電圧を印加した際に縦方向の電界によって加速されたキャリアがインパクトイオン化するエネルギーを得るために必要な距離(SOI 層の厚さ)が十分でないためである。その結果、薄膜 SOI 素子の場合、印加電圧を BOX 層で支配的に電圧分担することになるため、SOI 層が薄いほど耐圧が高くなる。

図 4-16 のグラフも考慮して、1200V 以上の SOI 基板上のデバイス耐圧を得るためには、下記のいずれかのパラメータ調整が必要となる。

- ① SOI 層の厚さを $0.1\mu\text{m}$ 以下に薄くする
- ② SOI 層の厚さを $60\mu\text{m}$ 以上に厚くする
- ③ BOX 層(埋め込み酸化膜)の厚さを $10\mu\text{m}$ 以上に厚くする
- ④ BOX 層の材料を酸化膜よりも比誘電率の低い絶縁体材料にする
- ⑤ 多段構成のレベルシフトデバイス構造を採用する

上記に挙げた①については、SOI層の膜厚を $1.0\mu\text{m}$ 以下で作製する方法は、貼り合わせ基板では $0.5\mu\text{m}$ 以下のSOI層の薄膜化が困難であり、さらにSOI層の膜厚公差も $\pm 0.3\mu\text{m}$ 程度は最低必要になるので現実的でない。SIMOX基板では、酸素分子をイオン注入し高温アニールすることで $0.1\mu\text{m}$ 程度のSOI層膜厚制御が可能だが、高耐圧化に必要なBOX膜厚の厚膜化($4\mu\text{m}$ 以上は必要)が困難である。

また、②については、厚膜SOI基板でBOX層野膜厚を $5\mu\text{m}$ に設定した場合に、SOI層の膜厚が $60\mu\text{m}$ で 1330V の耐圧が得られる計算となる。しかしながら、 $60\mu\text{m}$ 厚のSOI層を誘電体分離するためには、深さ $60\mu\text{m}$ のトレンチ形成技術が必要となる。エッチングや酸化膜充填に伴うプロセス難易度が高く、難易度を下げするためにトレンチ幅を大きく広げることは、素子分離面積を大きくすることに繋がる。また、SOI層の膜厚が厚いということは、素子接合面積の増大や接合に逆バイアス時に伸びる空乏層体積も増すので高温リーク電流が増える。そのため、誘電体分離方式にして得られるはずの性能面における利点があり得れない。

③については、現状の基板メーカーにおける6~12インチのSOIウェハ技術において、BOX層の膜厚が $5\mu\text{m}$ 以上の仕様は、“反り”や“堆積時間”の観点から特別仕様となり、非常に高価であり安定供給も難しい。

次に、④に関しては、BOX層にSiOF膜や多孔質シリカ膜などの、いわゆる“Low-k層間絶縁膜”を適用し、酸化膜よりも低い誘電率にすることで、よりBOX層の薄膜化と高耐圧化が図れるのが狙いである。熱膨張係数やシリコンとの密着性、絶縁破壊電界強度などの特性も考慮して材料選択し、実用化に向けては信頼性データなどを確認する必要がある。

最後に⑤については、近年いくつかの報告例がある。1つを例に挙げると、図4-17に示したカスケード型レベルシフト素子のように、 100V 程度の耐圧に設定したNch-LDMOSFETを15段直列接続して、多重トレンチ分離構造を囲うことで 1200V 耐圧を実現する多段構成のコンセプトである^[45]。カスケード型のレベルシフトデバイスは高耐圧化が実現できるが、高電位(多段接続の上段)側のNch-LDMOSFETのゲート制御技術が困難で、分圧抵抗素子を設けるなどしてゲート制御は可能だが、寄生容量バランスの崩れから dV/dt ノイズ破壊に至ることや、ゲート容量が大きいことで信号伝達時間の遅れも生じる。よって、レベルシフト動作やノイズ耐性の面で背反がある。

まとめ

以上のことから、デバイス特性や回路特性に影響を与えずに 1200V 以上のレベルシフト

素子耐圧を SOI 基板上で得るためには、基板形成技術に依るところが大きく、特に BOX 層を厚膜化に向けた技術の革新により、SOI における 1200V クラス高耐圧 IC の実現性も高まる。たとえば、BOX 層と支持基板の裏面を同時酸化する両面酸化法などで BOX 層の厚膜化や IC の製造工程におけるウェハの反りを低減するなどの試みも図られている。

また、今後の SOI 方式を用いたパワーエレクトロニクス製品の普及拡大により、SOI 基板自体の低コスト化への期待も高まっていくだろう。

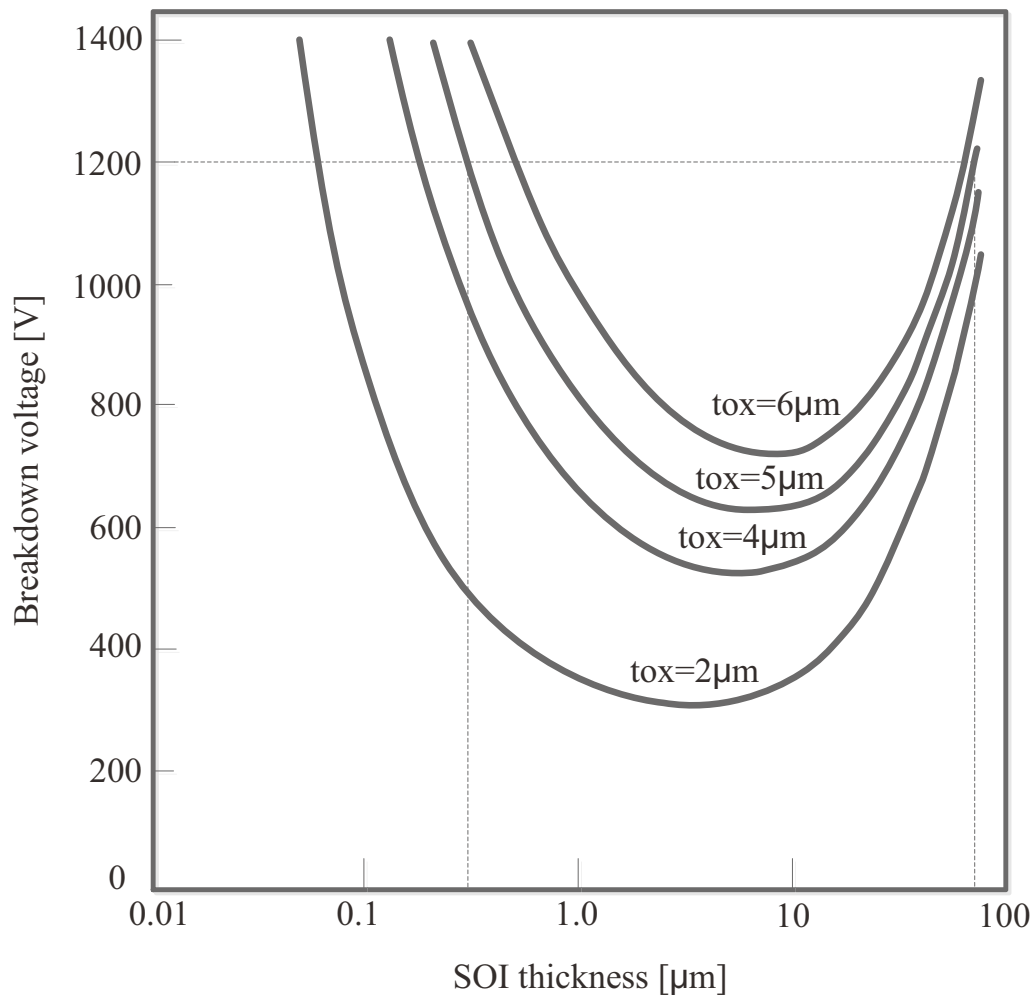


図 4-16. SOI 層の膜厚と素子耐圧の関係(BOX 層の膜厚 $tox=2,4,5,6\mu\text{m}$)^[44]

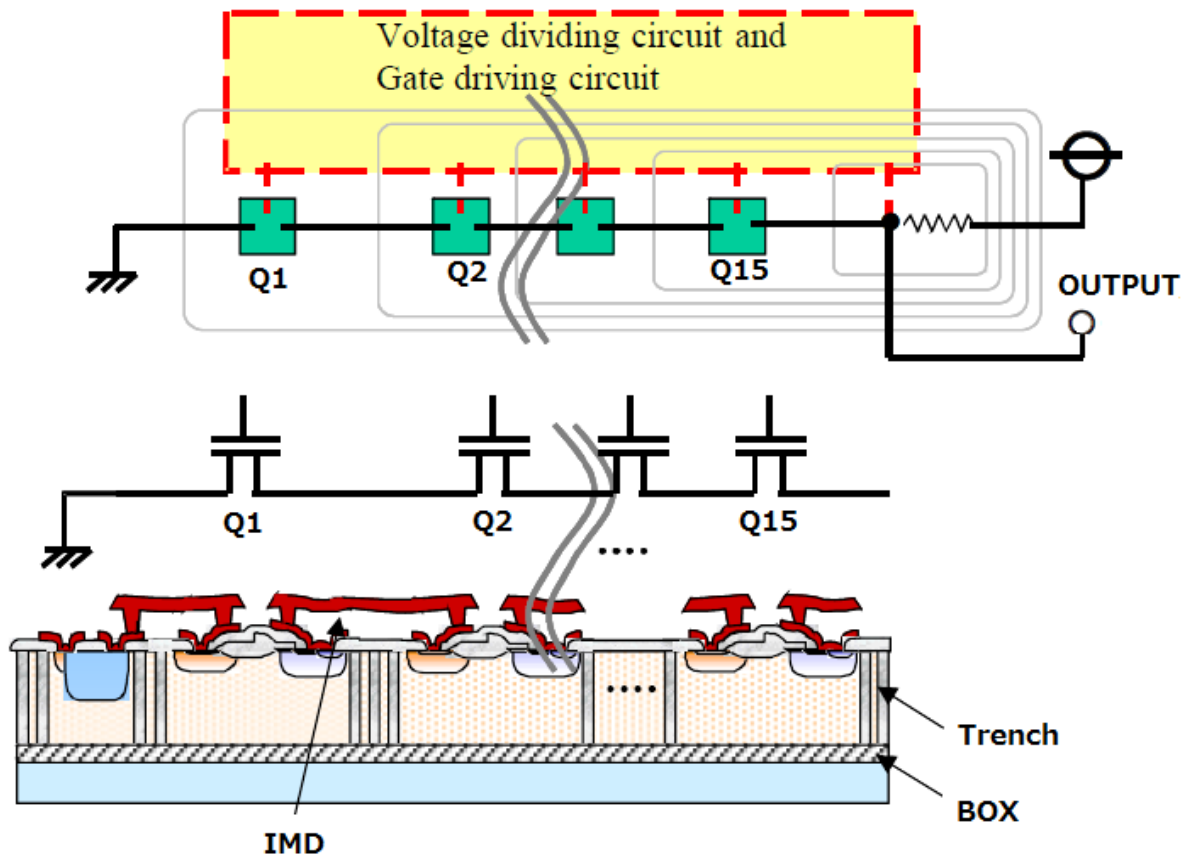


図 4-17. カスケード型レベルシフト素子の構造図(15 段直列接続)^[45]

4.4 結言

本章では、誘電体分離方式をベースとした 600V クラス高耐压 IC の“高耐压化”、“高信頼化”に寄与するレベルシフトデバイスの高電位配線技術について、それらを実現するための新規デバイス構造をシミュレーションで解析し、トレンチ付近の表面電界を緩和するフローティング P-dep 層の濃度を最適化した結果、耐压低下に対する改善効果と有効性を明らかにした。

さらなる“高耐压化”に向けた考察に関しては、SOI 基板上の単一素子耐压としては難しい 1200V クラスのデバイスについて、具体的事例とともにその実現性を考察した。SOI 基板上の素子耐压を 1200V 以上に高める手段は複数あるが、いずれも課題が多い。量産化やコスト、デバイス・回路特性への影響などの視点で考えると、SOI 基板上的における 1200V 耐压製品の実用化はもう少し時間がかかると思われる。今後、BOX 層の厚膜化(低コスト化)技術など基板技術のブレークスルーが実用化と普及の鍵となるであろう。

第 5 章

アイソレータ方式ゲートドライバ IC の高性能化

第5章 アイソレータ方式ゲートドライバ IC の高性能化

5.1 序言

本章では、前章までの高耐圧 IC とは異なり、完全絶縁型であるデジタルアイソレータ方式のゲートドライバ IC における高耐圧化技術の確立に取り組んだ。

近年、産業用機器や車載用機器、医療用機器などの各種装置では、デジタルアイソレータ IC を用いた電力変換システムが適用され始めている。本章の前半(5.2 節)では、従来の誘導性結合型のデジタルアイソレータ IC の構成について触れ、後半(5.3 節)では、鉄道、送電線、発電システムなどのパワエレシステムの高信頼化と小型化を目的とした超高耐圧マイクロトランスについて、それを実現するために考案したプロセス技術の確立について述べる。そして、最後にその実験結果と考案したプロセス技術の有効性および実現性を述べる。

5.2 従来の高耐圧デジタルアイソレータ技術

従来のデジタルアイソレータ IC の構成

デジタルアイソレータは、信号処理を行うための回路や受動素子を一連の IC プロセスにより作製しており、2 つのコイルにより誘導性結合に基づく磁界変化を利用した信号伝達を行うマイクロトランス(薄膜トランスとも呼ぶ)を送信回路および受信回路とともに集積化したものである。このマイクロトランスにより、マイクロコンピューターなどが接続される 1 次側とモータなどの負荷を取り扱う 2 次側が完全に絶縁できるため、デジタルアイソレータは産業用や車載用、医療用の分野で用いるアイソレータとして広く適用されることが期待されており、その開発が積極的に進められている。図 5-1 には、そのアプリケーションの一つである車載用パワエレシステムの応用例を示した。図 5-1 は、EV/HEV におけるパワエレシステムの構成を表しており、高電圧のモータドライブシステムでは、安全規格により、高い絶縁性能(ガルバニックアイソレーション)が求められる。機械的、電氣的な異常によるシステムの破壊を最小限にするため、マイクロコンピューターとゲートドライバ IC(モータ制御部)を絶縁する必要がある。

次に、一般的なデジタルアイソレータ IC の構成図(2 チップ構成)を図 5-2 に示す。一般に、デジタルアイソレータ IC は TX チップ(送信回路)、マイクロトランス、RX チップ(受信回路)の構成からなり、1 チップから 2 チップ、3 チップのマルチチップ構成と様々ある。信号伝達のイ

インターフェースにマイクロトランスを用いているため、絶縁と高速伝達が可能である。図5-2に示したように、通常マイクロトランスは1次側(低電位側)と2次側(高電位側)のコイルが基板に対して積層された構造となっており、コイル間に厚い絶縁膜を形成している。

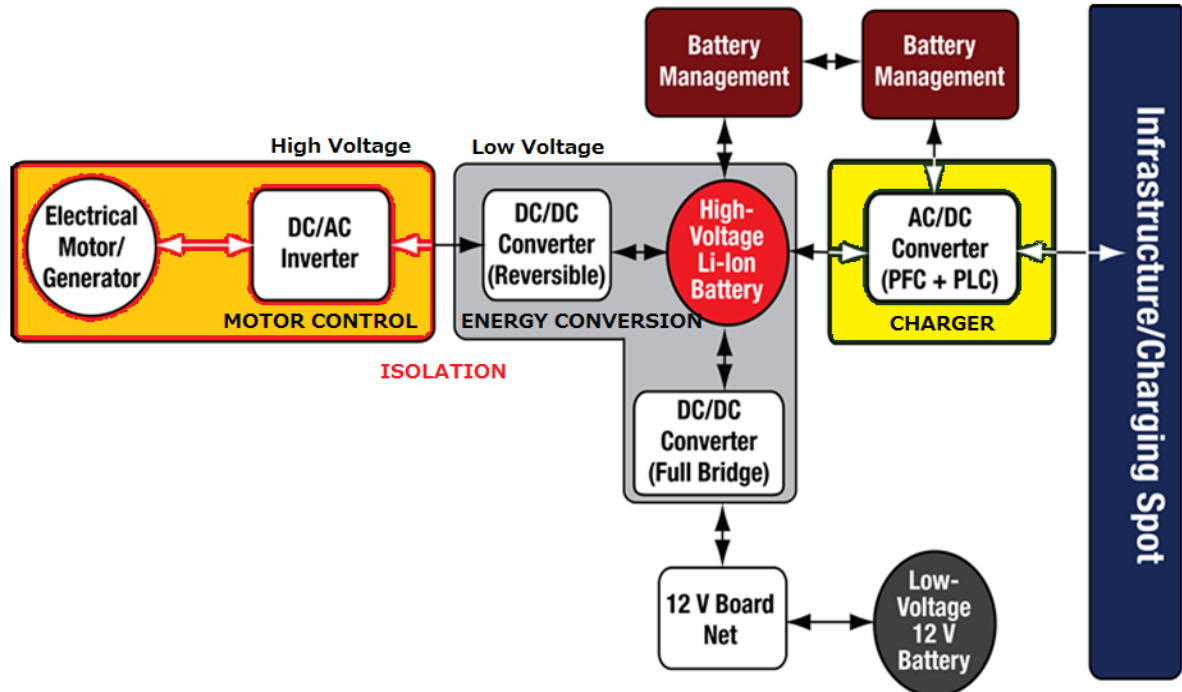


図 5-1. EV/HEV におけるパワエレシステムの構成

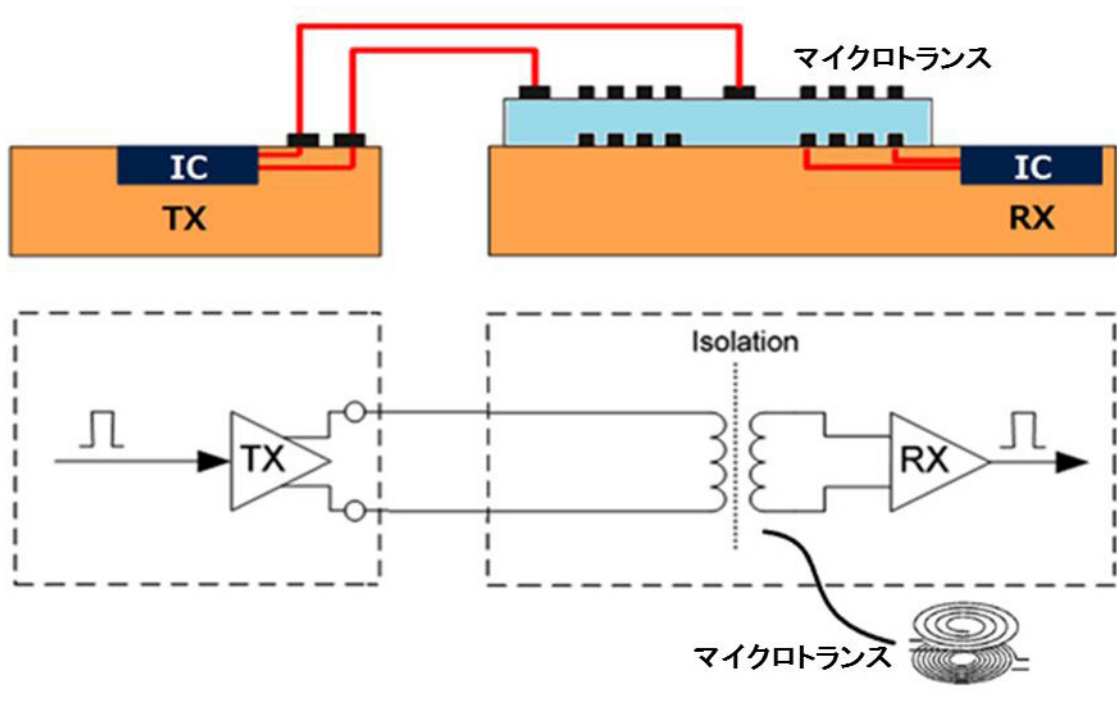


図 5-2. 一般的なデジタルアイソレータ IC の構成図(2 チップ構成の場合)

デジタルアイソレータ IC における高耐圧化の流れ

現在、デジタルアイソレータ IC は、最大の絶縁耐圧定格として 5kVrms(実効値)まで実用化されている。第1章(1.2節)で述べた背景から、近年、さらなる高耐圧化に向けた研究が進められている。以降に、富士電機と香港科学技術大学(HKUST)の共同研究で実現されたシステム・オン・チップ TSV(Through-Silicon-Via)構成のデジタルアイソレータ IC 技術^[46]とルネサステクノロジ社の 7kVrms デジタルアイソレータ IC 技術^[6]について紹介する。

システム・オン・チップ TSV 構成のデジタルアイソレータ IC 技術は、図 5-3 に示した構成で、TX チップ側に深いトレンチの TSV 技術を用いて、トレンチ内を銅めっきで埋め込んで 1 次側コイルを形成している。また、2 次側コイルは BCB(bisbenzo-cyclo-butene)膜を堆積した

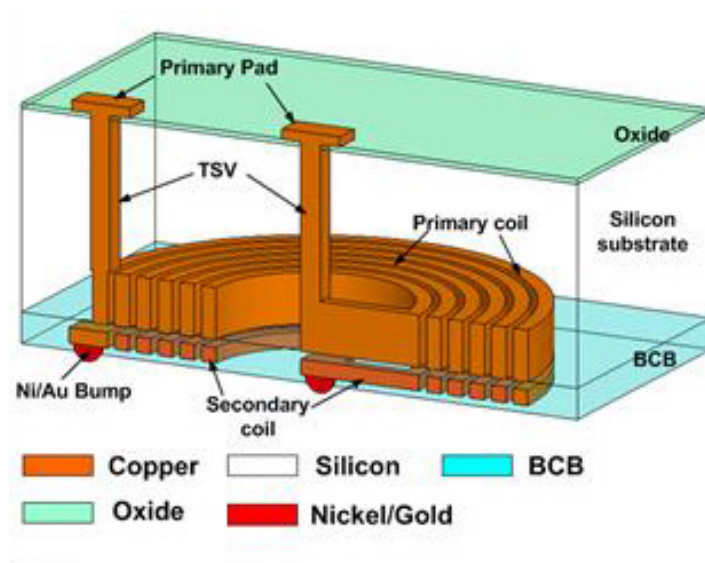


図 5-3. Si 基板上システム・オン・チップ TSV 構成のデジタルアイソレータ IC 断面図^[46]

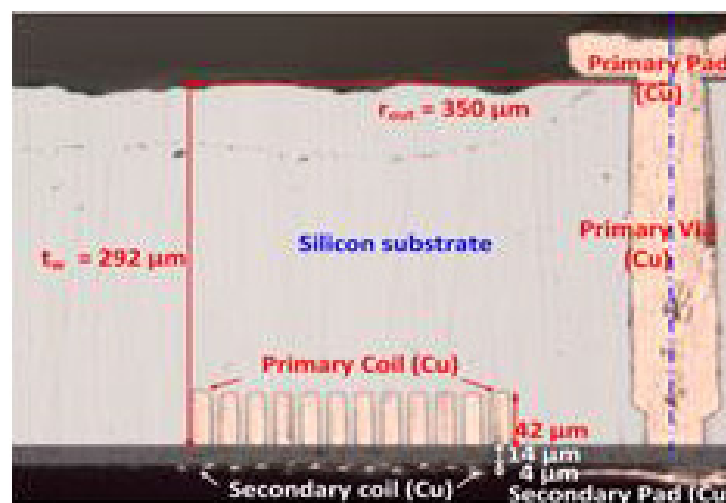


図 5-4. Si 基板上システム・オン・チップ TSV 構成のデジタルアイソレータ断面写真^[46]

後に形成し、Ni/Au バンプ電極により、RX チップ側と接触させてシステム・オン・チップ構成を実現している。図 5-4 の断面マイクロスコープ像を見て分かるように、コイル間に用いた BCB 膜厚は $14\mu\text{m}$ である。 $14\mu\text{m}$ の BCB 膜で、 4kVrms 以上の絶縁性能を達成している。

次に、 7kVrms のデジタルアイソレータ IC 技術は、図 5-5 に示した Face to Face Stack 構造と呼ばれる TX チップ側に配置した 1 次側コイルを実装時にひっくり返し、RX チップ側に配置した 2 次側コイル上にのせた構造である。コイル間の絶縁膜にはポリイミド系の DAF(die-attach-film)膜を用いているため、厚膜化が容易である。DAF 層の膜厚は、図 5-6 の断面マイクロスコープ像に示したように $24.6\mu\text{m}$ であり、さらに保護膜として TX チップ、RX チップ上にポリイミド膜や SiN 膜が堆積されている。絶縁性能は 7kVrms で、TDDB(time-dependent dielectric breakdown)評価から DC1700V で 20 年以上の保証年数を達成している。これらの研究は、近年のデジタルアイソレータ IC への高耐圧化、高信頼化要求の流れを受けて研究された内容である。現状、産業向け 3.3kV クラスの IGBT 駆動はパルストランス方式が主流であり、パワエレシステムの小型化のためには 5kVrms を超える超高耐圧のデジタルアイソレータ IC が求められている。上述した 2 つの事例は、いずれもコイル間の絶縁膜にはポリイミド系や BCB 膜といった非酸化膜を用いている。それぞれの膜の絶縁破壊電界強度は、DAF 膜で $3.0\sim 4.0\text{MV/cm}$ 、BCB 膜で 5.3MV/cm である^[47]。これらの絶縁膜は樹脂系のため厚膜化が容易な反面、一般的な熱酸化膜よりも絶縁破壊電界強度が低く、高い絶縁性能を実現するためには絶縁膜をより厚く堆積する必要がある。その結果、マイクロトランスの伝達特性における基本性能である結合係数が低くなり、伝達に必要な相互インダクタンスを得ようとするトランス面積を大きくしなければならないなどの課題がある。

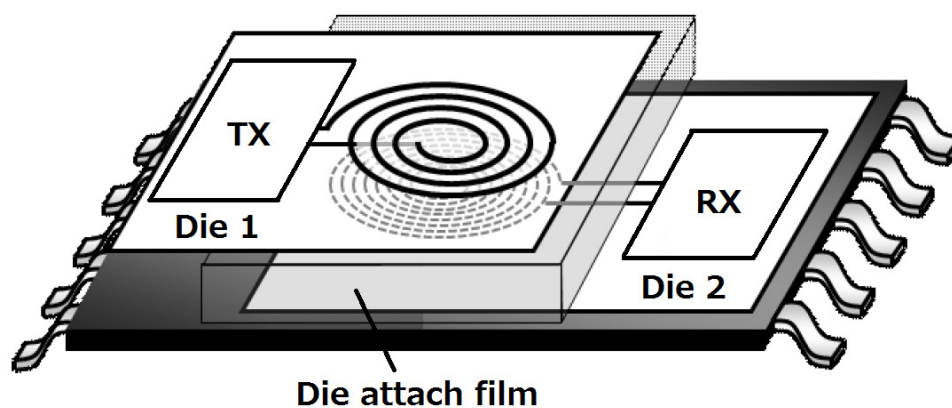


図 5-5. Face to Face Stack 構造のデジタルアイソレータ IC 構造図^[6]

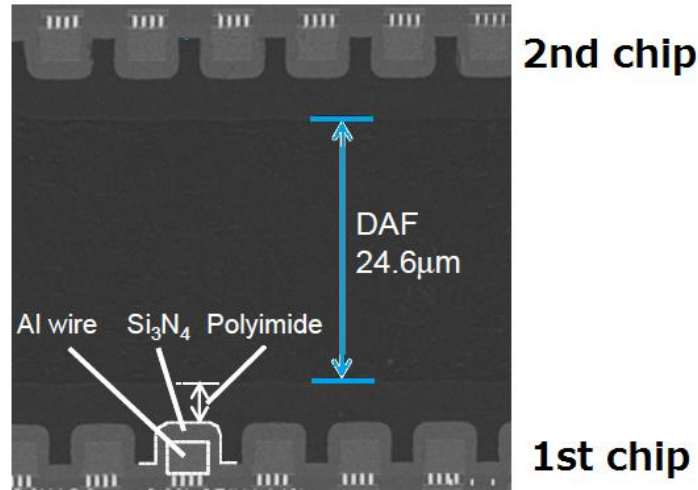


図 5-6. Face to Face Stack 構造のデジタルアイソレータ IC の断面マイクロスコープ像^[6]

5.3 “超高耐圧”マイクロトランス技術

はじめに

5kVrms を超える超高耐圧仕様に向けた技術開発を行うにあたり、前述したマイクロトランスに用いる絶縁膜の絶縁破壊電界強度は重要なパラメータの一つである。なぜなら、(5.1) 式に示されるとおり、トランスの性能指標である相互インダクタンス M は、1 次側と 2 次側コイルの結合係数 k に比例するため、高い絶縁破壊電界強度で層間絶縁膜厚を極力薄くすることが k 値の向上に結び付き、ひいてはトランスの性能を高めることができるからである。

$$M = k \sqrt{L_1 L_2} \quad (5.1)$$

ここで、 L_1 は 1 次側コイルのインダクタンス、 L_2 は 2 次側コイルのインダクタンスを表す。

また、前述した DAF 膜や BCB 膜はいわゆる樹脂系の材料であり、半導体集積回路チップにおける保護フィルムとして使用されてきた。そのため、ゲート酸化膜や層間絶縁膜のように電極間に高電界のかかる薄膜絶縁材料としての市場実績は少なく、特に DAF 膜の場合は製造方法上、実装技術に関わるので、コイル同士のアライメント方法やパーティクル管理などの課題もある。

さらに、コイル配線の層間膜に DAF 膜や BCB 膜などの樹脂系材料を用いた配線構造の場合は、コイル配線と樹脂系材料とが接触する界面において、コイルとして用いた金属配線が樹脂系材料に含まれる水分により腐食して、配線の信頼性が劣化するという問題、および

腐食に起因する配線と樹脂系材料との剥離による構造破壊が発生するという問題がある。一般に、アルミなどの金属膜と樹脂系材料との密着性は弱く、樹脂中の水分による配線腐食の有無に依らず、それぞれの膜応力の集中などの要因によっても金属配線と樹脂系材料との剥離が発生することがある。そのため、腐食対策や配線と樹脂系材料の密着性向上を図る目的で酸化膜やシリコン窒化膜などのバッファ層が必要となり、製造コストが高くなる。

本研究では、マイクロトランスの層間絶縁膜を半導体製造プロセスで実績のある酸化膜のみで形成することで、デジタルアイソレータ IC の高耐圧化、高信頼化、低コスト化に寄与するためのプロセス技術の確立を行う。

絶縁性能として、10kVrms 程度の超高耐圧を保証するためには、例えば 8.0MV/cm の絶縁破壊電界強度の酸化膜では 15 μ m 厚、4.0MV/cm の絶縁破壊電界強度のポリイミド膜では 30 μ m 厚が最低必要となる。ここで、絶縁膜を厚膜化するにあたり、新たな課題が生じる。それは、絶縁膜の成膜後、もしくは硬化(キュア)後に起こるウェハの反りである。通常、酸化膜を 5 μ m 程度堆積すると、膜に圧縮応力 (compressive stress) がかかり、ウェハは上に凸状態の反りが生じる。逆に、ポリイミド膜を仮に 16 μ m 程度堆積すると、400 $^{\circ}$ C 程度の硬化後(10 μ m 厚まで縮む)には膜に引張応力(tensile stress)が働き、図 5-7 に示したような 100 μ m 程度の凹状態の反りが生じる。このウェハの反りにより、製造工程における搬送不良、フォーカス不良、割れなどの問題が発生する。装置やアライメント精度にもよるが、6 インチウェハの場合はウェハの反りが $\pm 80\mu$ m 以内であればコイル形成工程が処理可能となる。

よって、本研究では、

- ①絶縁膜には酸化膜を使用
- ②絶縁膜はコイルに使用するアルミ配線が形成可能な低温成長で堆積
- ③15 μ m 以上の絶縁膜を堆積後、ウェハの反り量が $\pm 80\mu$ m 以内

以上の点に配慮し、超高耐圧マイクロトランスのプロセス技術の確立を行った。

絶縁酸化膜の厚膜化に伴うプロセス条件の事前検討として、酸化膜の熱膨張係数に着目した。そして、厚膜化可能なプロセス条件を考案し、成膜実験と膜厚の評価を行った。また、簡易的なマイクロトランスの評価として、平行スパイラル型のトランスを作製し、伝達性能の評価も行い、超高耐圧マイクロトランスにおける実現性について考察する。

本節では、以上の内容について述べる。

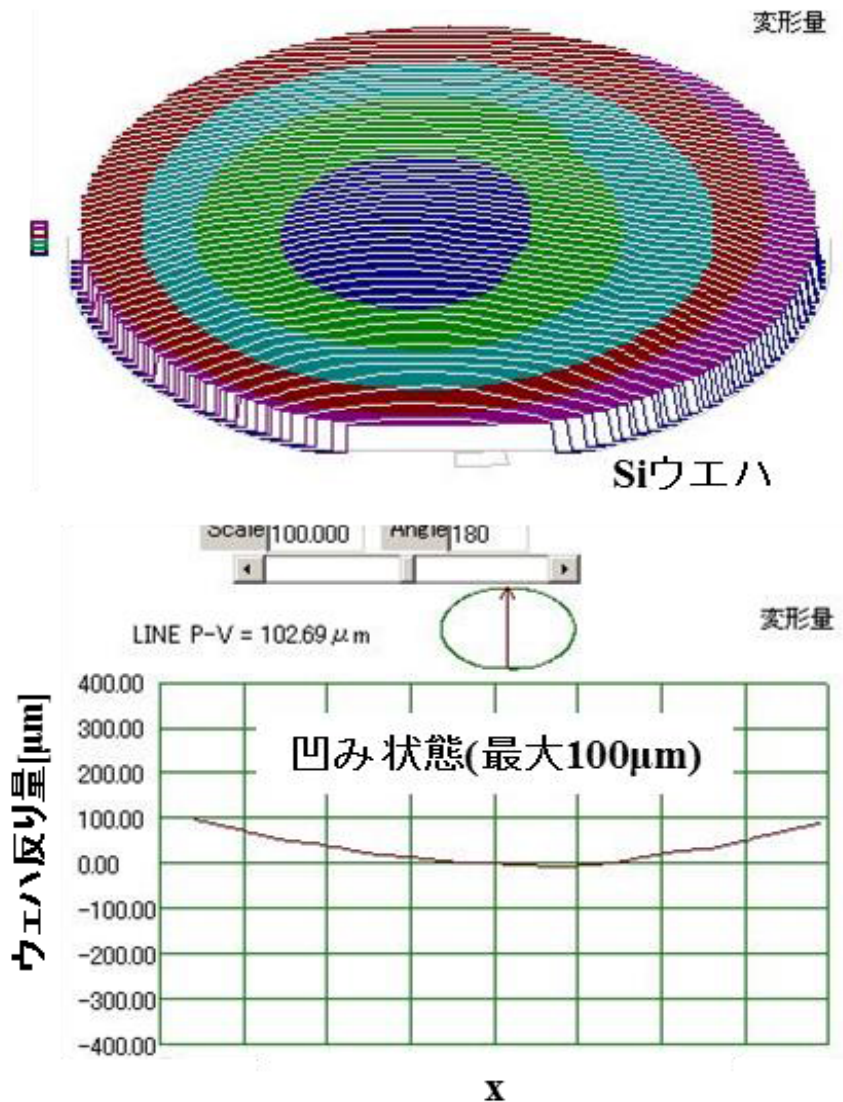


図 5-7. ポリイミド膜硬化後 10 μ m 厚の 6 インチウエハ反り量
(薄ウエハー厚み測定機 Real BG300 測定)

層間絶縁膜に用いる酸化膜の検討

ここでは、5kVrms を超える超高耐圧仕様のマイクロトランスにおける層間絶縁膜の厚膜化について検討した。前述したように、一般的に酸化膜を厚膜化する場合には膜に圧縮応力が働きウエハが凸状態に反る。これは、酸化膜とウエハ材料であるシリコンの熱膨張係数の差によって生じる。酸化膜の熱膨張率は 0.3ppm/ $^{\circ}$ C 程度であるに対し、シリコンの熱膨張率は 3ppm/ $^{\circ}$ C 程度であるため、酸化膜の熱膨張率が約 1 桁小さい。たとえば、1000 $^{\circ}$ C で熱酸化して周囲温度が冷める時や CVD 装置で酸化膜を堆積して温度が冷める時などに、酸化膜はほとんど縮まず、シリコンは大きく縮む。従って、ウエハは凸状態となる。

この問題を回避するため、熱膨張係数がシリコンよりも高い酸化膜を検討した。なお、マイクロトランスの層間絶縁膜の選定にあたっては、熱酸化膜のような 1000°C を超える高温酸化は堆積時間や成膜温度の面で採用できないため、コイル材料となるアルミや銅などの金属材料への影響が小さい 400°C 前後の低温で成膜できるものを選ぶ必要がある。今回選定したのが、耐湿性に優れ、一般に半導体集積回路で保護膜だけでなく、平坦化膜、ゲッタリング膜、層間絶縁膜などで使用されている PSG(Phospho Silicate Glass)膜である。PSG 膜は、酸化膜中にリンがドーピングされた、 $\text{SiO}_2 + \text{P}_2\text{O}_5$ を成分としており、400°C 程度の低温成膜温度で常圧 CVD 装置によって成膜される。PSG 膜は、成膜後の温度冷却時にドーピングされたリン濃度に応じて縮む膜である。PSG 膜のリン濃度はクラックの発生しない 4.6mol%とした。また、PSG 膜だけではウェハが凹状態になるため、内部応力をキャンセルする目的で、同じく低温 350~ 450°C 程度の成膜温度であるプラズマ CVD 装置で堆積する P-TEOS(Plasma-Tetra Ethyl Ortho Silicate)膜も使用する。P-TEOS 膜は、一般的な酸化膜と同程度の熱膨張係数のため、成膜後に PSG 膜でかかる引張応力をキャンセルする方向に働く。

酸化膜の厚膜化実験

次に、上述した PSG 膜と P-TEOS 膜を積層することで、内部応力を緩和しつつ酸化膜の厚膜化が可能であるか確認実験を行った。ここでは、シリコン基板上にまず 1000°C 以上の熱酸化膜を 3.0 μm の厚さで基板裏面と表面を両面酸化(初期酸化)してから、PSG 膜と P-TEOS 膜をそれぞれ、1.5 μm と 1.6 μm の厚さで堆積し、熱酸化膜を含めたトータル膜厚が 18.5 μm になるまで繰り返した。PSG 膜や P-TEOS 膜を一度に厚く堆積しない理由は、堆積時に酸化が進むとウェハが固定治具(サセプターなど)と接着する恐れがあるためである。

実験結果を表 5-1 に示す。表 5-1 から、PSG 膜と P-TEOS 膜のセット工程が完了するたびに 16~35 μm 程度凹方向に反っているのが分かる。これは、P-TEOS 膜よりも PSG 膜の引張応力が強いことを示している。そのため、PSG 膜と P-TEOS 膜のセット工程を 3 回処理した後、P-TEOS 膜のみを連続で堆積し、内部応力の緩和を図った。その結果、最終の P-TEOS(7)膜を堆積した時点で、ウェハの反り量は $\pm 80\mu\text{m}$ 以内(14.6 μm)に収めることができた。

今回の実験フローを図 5-8 に示す。マイクロトランスの金属材料には AlSiCu を用い、3.0 μm 厚で形成した。また、保護膜には、P-TEOS 膜(1.6 μm)とポリイミド膜(10 μm 厚)とした。今回はマイクロトランスにおける層間絶縁膜の厚膜化を主としているので、簡単化のために

一般的な積層スパイラル型のトランスではなく、並行スパイラル型のトランス構造とした。図 5-9 に積層スパイラル型と並行スパイラル型の構造を比較する。積層スパイラル型のほうが並行スパイラル型よりも同じチップ面積でコイルの巻き数をより多く巻けるため、単位面積当たりの相互インダクタンスは高くできる。一方、平行スパイラル型のマイクロトランスは、メタル 1 層プロセス(単層)で作製可能であるため、プロセスを単純化できる。相互インダクタンスは積層スパイラル型よりも劣るが、厚い酸化膜上に形成したマイクロトランス特性の簡易評価としては問題ない。図 5-10 に、今回作製した並行スパイラル型トランスの断面構造図を示す。

表 5-1. Si 基板上酸化膜の厚膜化実験結果

工程	膜厚[Å]						反り量[μm]			
	T	C	O	L	R	Ave	反り方向	反り量	前工程からの変化量	初期からの変化量
1. 初期酸化							-	8.8		
2. PSG(1)⇒TEOS(1)	62643	62445	62815	62759	63372	62807	凹	30.2	21.4	21.4
3. PSG(2)⇒TEOS(2)	94894	93284	93993	93913	94936	94204	凹	47.0	16.8	38.2
4. PSG(3)⇒TEOS(3)	129032	128473	129727	129498	130934	129533	凹	82.2	35.2	73.4
5. TEOS(4)	145673	144942	146223	146431	147880	146230	凹	48.5	-33.7	39.7
6. TEOS(5)	160817	159992	161181	161925	163398	161463	凹	38.4	-10.1	29.6
7. TEOS(6)	177599	176605	180243	179017	180513	178796	-	19.5	-18.9	10.7
8. TEOS(7)	184524	183631	184772	188498	187589	185803	-	14.6	-4.9	5.8

±20μm以内は-、+21μm以上は凹、21μm以下は凸で記入

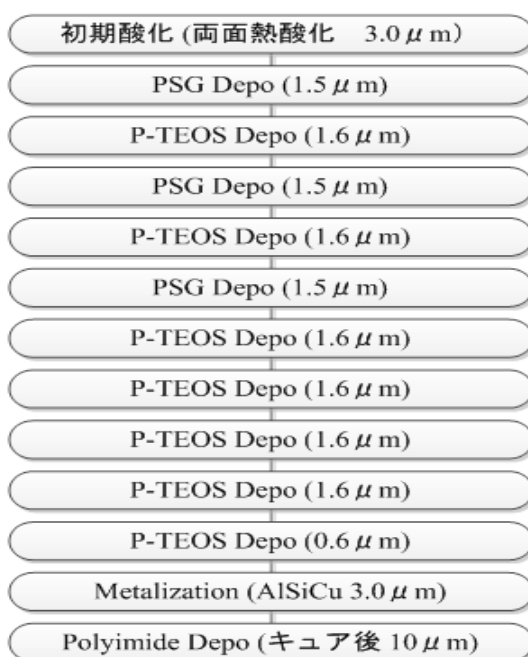


図 5-8. 実験(工程)フロー図

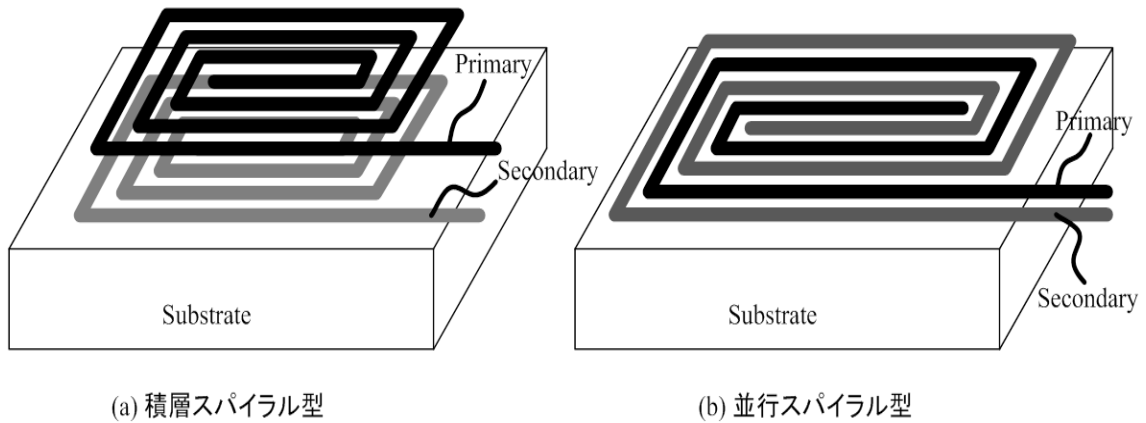


図 5-9. マイクロトランスの構造比較図(a) 積層スパイラル型、(b) 並行スパイラル型

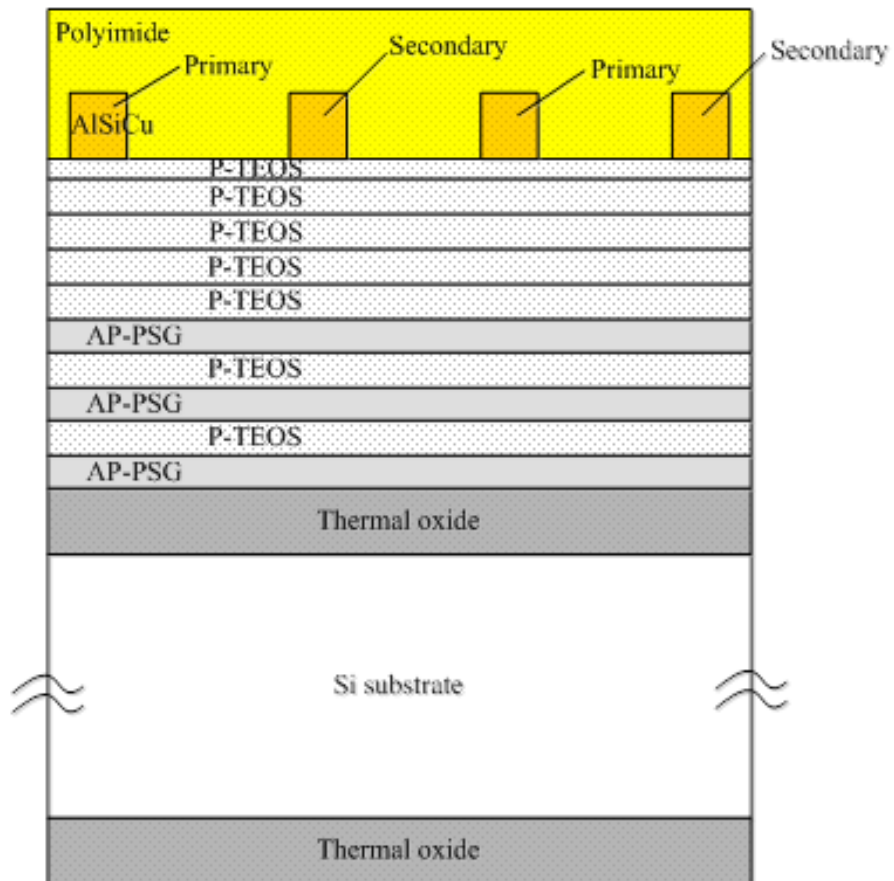


図 5-10. 作製した並行スパイラル型トランスの断面構造図

実験結果

図 5-11 に、図 5-8 の工程フローで実際に作製した並行スパイラル型トランスの外観写真を示す。コイル(AlSiCu)の幅は $3.0\mu\text{m}$ 、1 次側と 2 次側のコイル間隔は $18\mu\text{m}$ 、コイル巻き数は

1 次側、2 次側ともに N=8 とした。図 5-12 に、FIB 断面像を示す。また、図 5-13 には STEM(Scanning Transmission Electron Microscope)像、図 5-14 にはリン元素に対する EDX(Energy Dispersive X-ray Spectroscopy)像を示す。これらの断面像を観て分かるように、層間絶縁膜である PSG 膜と P-TEOS 膜はクラックやボイドも発生することなく、均一にトータル 18 μm 以上の厚膜化が実現できている。

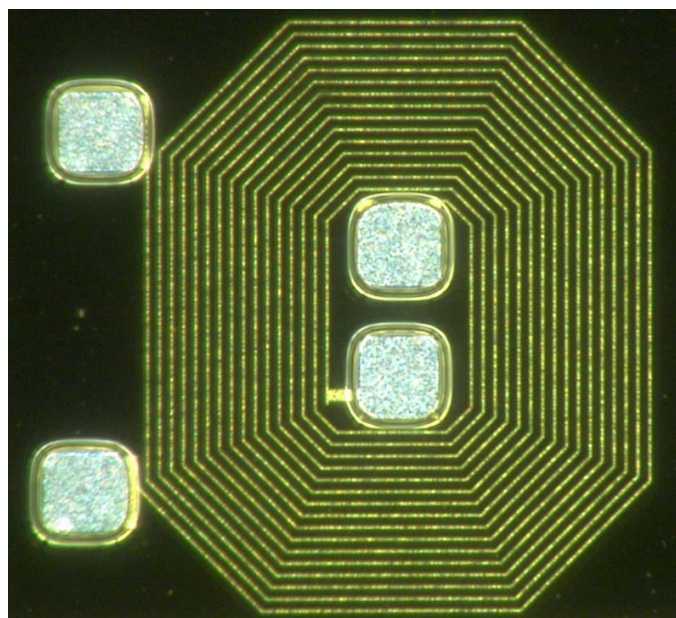


図 5-11. 実験した並行スパイラル型トランスの外観写真

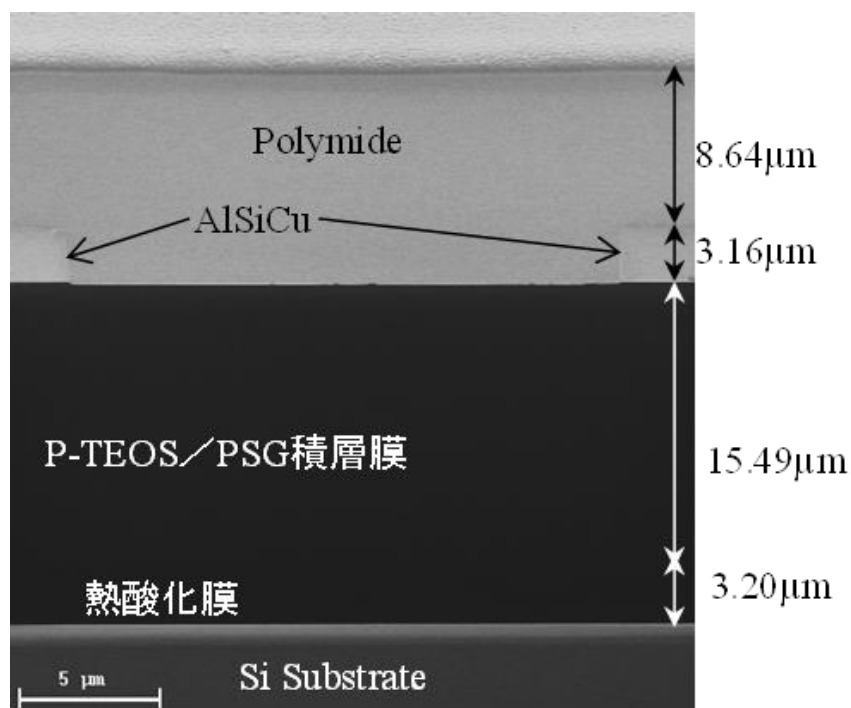


図 5-12. 実験した並行スパイラル型トランスの FIB 断面像

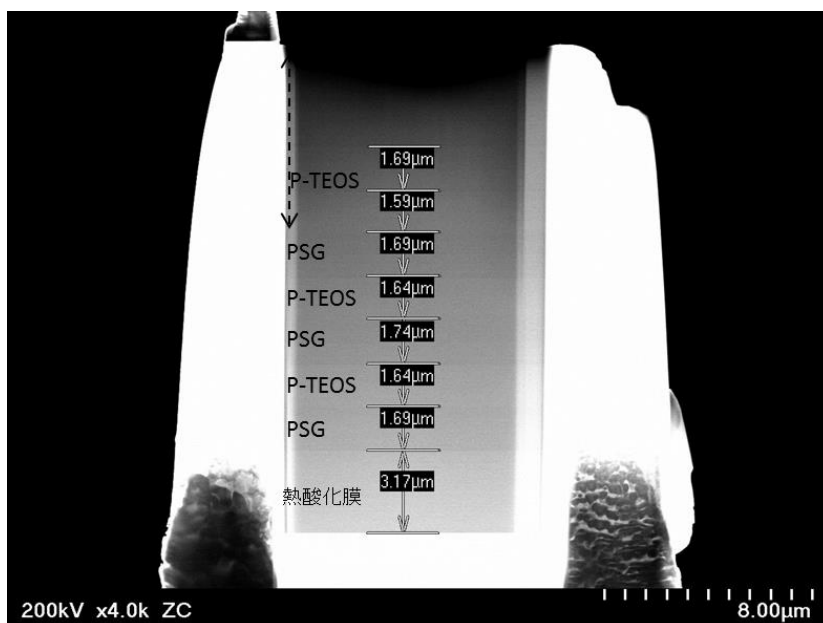


図 5-13. 実験した並行スパイラル型トランスの STEM 断面像

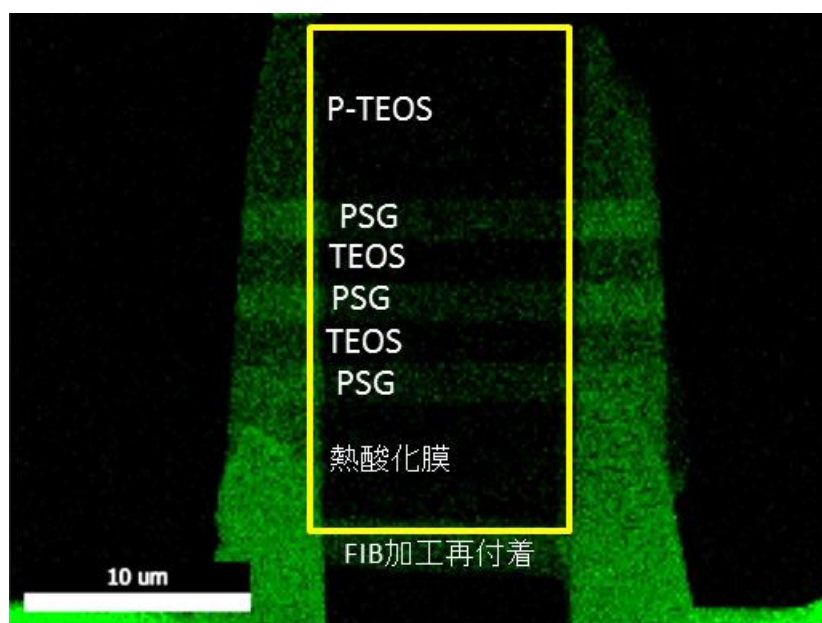


図 5-14. 実験した並行スパイラル型トランスの EDX (リン元素) 断面像

次に、作製した並行スパイラル型のマイクロトランスの伝達特性をネットワークアナライザと RF プロブで評価した。図 5-15 には、 $f=50\text{MHz}$ の発振周波数、 2.5V 振幅の正弦波を 1 次側コイル (Primary coil) に入力した時の 2 次側コイル (Secondary coil) の伝達波形を示した。1 次側の入力電圧のおよそ 0.54 倍の電圧が 2 次側に伝達されているのが分かる。図 5-16 には、1 次側コイルと 2 次側コイルの電圧比 (V_2/V_1 ratio) の周波数依存性を示す。周波数

が高くなるほど電圧比も高くなっていることが分かる。このことから、今回の構造では $f=50\text{MHz}$ 以上の高周波数で信号伝達するのが望ましい。実験で作製した並行スパイラル型のマイクロトランスの伝達特性結果から、厚い絶縁酸化膜上に形成したマイクロトランスがデジタルアイソレータ IC の伝達素子として十分に機能することが確認できた。

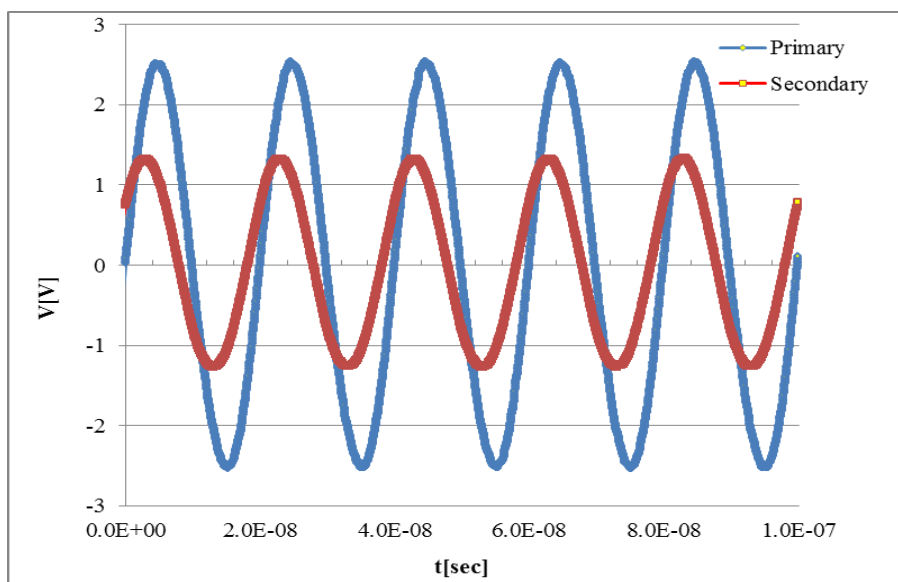


図 5-15. $f=50\text{MHz}$ 、 2.5V 振幅の正弦波をコイルに入力した時の伝達波形

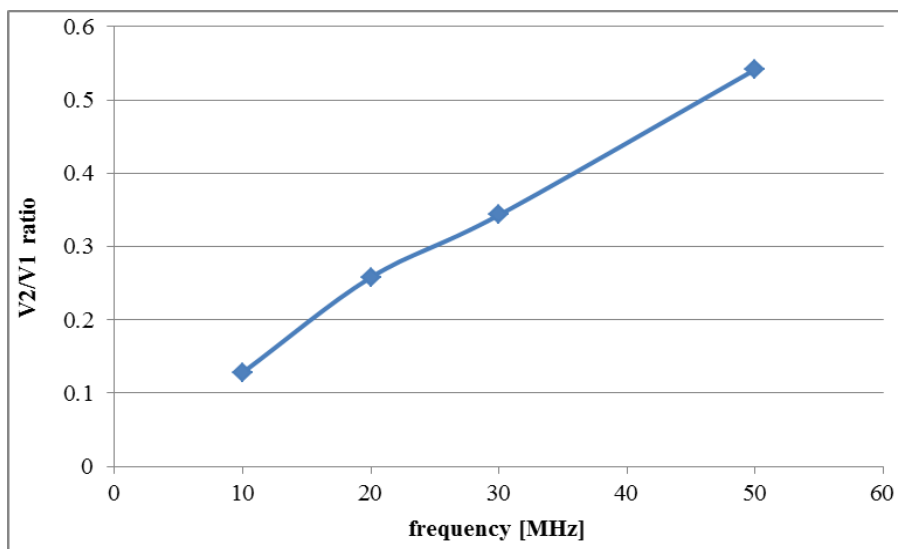


図 5-16. 1 次側コイルと 2 次側コイルの電圧比($V2/V1$ ratio)の周波数依存性

次に、PSG 膜と P-TEOS 膜それぞれの膜における絶縁性能について述べる。図 5-17 に、今回実験した PSG 膜と P-TEOS 膜の積層膜、および熱酸化膜における絶縁耐圧をパワーデバイス・アナライザ B1505A (キーサイト・テクノロジー製) で金属電極と対基板の 2 端子測定

をしたときの I-V 波形を示す。15 μm 厚の PSG/P-TEOS 積層膜の絶縁耐圧は 5.6kV であり、3.0 μm 厚の熱酸化膜の絶縁耐圧は 2.4kV であった。図 5-18 に、今回実験した PSG 膜と P-TEOS 膜、および熱酸化膜の絶縁破壊電界強度の実測値を示す。比較として載せた DAF 膜や BCB 膜の値は文献を参考とした^{[6][47]}。PSG 膜は常圧 CVD 装置で 400 $^{\circ}\text{C}$ の温度で成膜し、P-TEOS 膜もプラズマ CVD 装置で 400 $^{\circ}\text{C}$ の温度で成膜しているため、絶縁破壊電界強度は 1000 $^{\circ}\text{C}$ 以上で成膜する熱酸化膜よりも低い。今回の実験で成膜した PSG 膜と P-TEOS 膜の積層膜は、PSG 膜が 4.8 μm 、P-TEOS 膜が 10.2 μm 堆積されており、単一の PSG 膜換算で 3.4MV/cm、P-TEOS 膜換算では 3.9MV/cm という絶縁破壊電界強度が得られており、前述した BCB 膜や DAF 膜と大きく遜色はない良好な膜質であることが分かる。また、今回の実験で作製した PSG/P-TEOS 積層膜は、トータル 15 μm でウェハ反り量が 20 μm 以下であるため、さらに厚膜化することも容易である。その場合、30 μm 厚の PSG/P-TEOS 積層膜では、10kV 以上 (11.2kV 程度) の絶縁耐圧が得られる見込みである。

本研究で示したプロセス技術を用いることで、マイクロトランスの製造工程におけるウェハの反りを抑制しながら厚い絶縁酸化膜を堆積することが可能であることを示した。これにより、5kVrms 以上の超高耐圧マイクロトランスの実現が可能となる。また、マイクロトランスの層間絶縁膜を複雑な工程を用いることなく、半導体プロセスで一般的に用いられる低温成長の酸化膜で構成できるので、金属電極の腐食や剥離に対する耐性の高い“高信頼”かつ“安価”なデジタルアイソレータ IC 技術への応用が期待される。

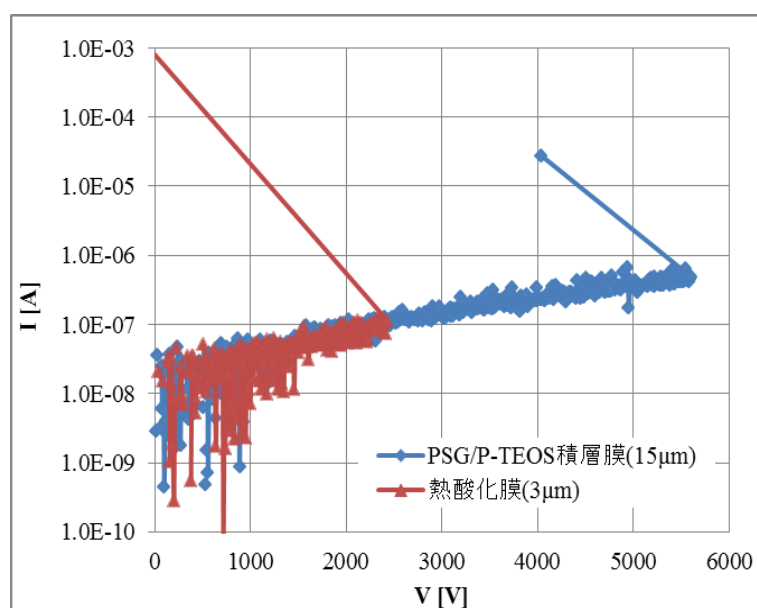


図 5-17. 作製した PSG/P-TEOS 積層膜(15 μm)と熱酸化膜(3 μm)の絶縁耐圧波形

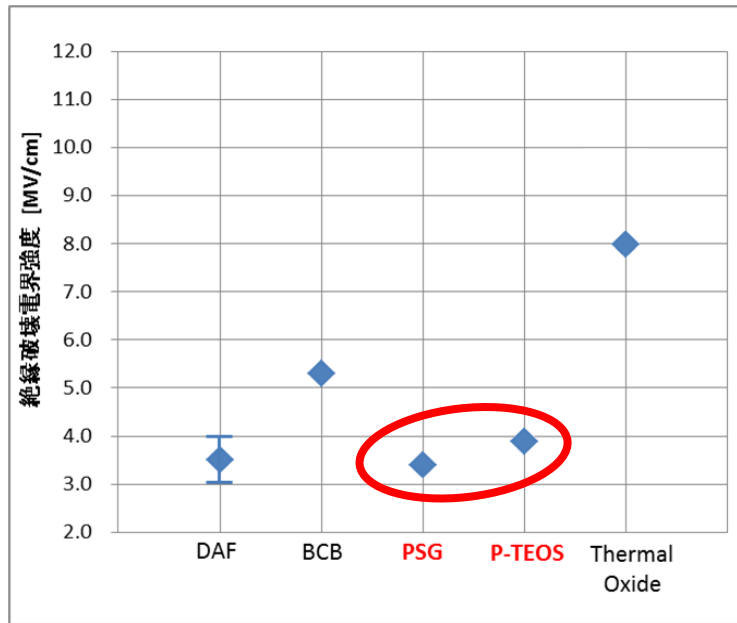


図 5-18. 層間絶縁膜材料ごとの絶縁破壊電界強度

まとめ

ここでは、5kVrms を超える超高耐圧仕様に向けたマイクロトランスにおける層間絶縁膜の厚膜化について、プロセス技術の検討を行い、ウェハの反りを抑制する酸化膜の堆積方法を確立した。このプロセス技術は、今後、5kVrms を超える絶縁性能のマイクロトランスの実現に向けた基礎的な技術の一つになり得るもので、パワエレシステムの小型化、高耐圧化、高信頼化、低コスト化に貢献すると考えられる。

5.4 結言

本章では、次世代のパワーエレクトロニクス製品として期待されているデジタルアイソレータ IC のキーデバイスあるマイクロトランスの高耐圧化、高信頼化に関する研究を行った。高信頼化に寄与する低温成長の酸化膜をマイクロトランスの層間絶縁膜として選択し、従来の課題であった厚膜化におけるウェハの反りを緩和するプロセスの有効性を実験的に明らかにし、5kVrms を超える“超高耐圧”のマイクロトランスの実現に向けた基礎技術を確立した。今後、本プロセス技術をベースとした“超高耐圧”のデジタルアイソレータ IC は、絶縁性能の観点から鉄道分野や送電線、高電圧発電システムなどの高耐圧の求められるパワエレ分野に適用され、その高電圧パワエレシステムへの応用が期待される SiC パワーデバイスのゲートドライバ IC として候補になり得るであろう。

第 6 章

結 論

第6章 結論

本研究では、電源システムやパワーエレクトロニクスシステムに使用する高耐圧 IC の“高機能化”、“小型化”、“高速化”、“高ノイズ耐量化”、“高温保証化”、“高耐圧化”に寄与するデバイス技術、回路技術、集積化技術、また、次世代のパワーエレクトロニクス製品として期待されるデジタルアイソレータ IC の“高耐圧化”、“高信頼化”に寄与するプロセス技術などに関する新しい方法論を提案し、IC および要素デバイスのシミュレーションや理論式による解析、実験試作、評価を行った。得られた結果に基づいて、IC 内部やデバイス内部の物理メカニズムを把握し、それらの電気特性との関係を解析した。以下に、本研究により得られた成果、および明らかになったことをまとめ、本論文の結論とする。

第2章では、自己分離方式をベースとした 600V クラス高耐圧 IC の高性能化に関する研究について述べた。

“高機能化”に関しての取り組みでは、高耐圧 IC に 600V 耐圧デバイスである起動素子を内蔵するために、デバイスシミュレーションによる解析を行い、起動素子のソース長 W_s の調整が起動特性を左右する重要なパラメータであることが分かった。そのシミュレーション結果をもとに、起動素子および起動回路の内蔵化に成功し、作製した新規パワーマネジメント IC により、電源ボードの部品点数の大幅削減や小型化に対する有効性を示した。

“高速化”に関しての取り組みでは、高耐圧 IC の入出力伝達遅延時間の短縮について取り組んだ。各回路部における伝達遅延時間の構成比率から、レベルシフトデバイスの低寄生容量化が効果的であると考え、デバイス技術の確立を行った。低寄生容量化を図る新規デバイス構造を考案し、シミュレーションと実験を行い、その効果を実証した。その結果、12%の入出力伝達遅延時間の短縮が実現され、応答速度の面では 1MHz の高速動作周波数へ対応できる低寄生容量レベルシフトデバイスの技術確立が実現できた。

また、“高ノイズ耐量化”に関しての取り組みでは、IGBT のスイッチング時に発生する負電圧サージによる高耐圧 IC の内部状態を 3次元の過渡シミュレーションによって明らかにし、その解析結果に基づき、独自の自己遮蔽構造を考案した。考案したデバイス構造によって、負電圧サージに対するノイズ耐量が 3倍以上に改善されることを実証した。これにより、高価な誘電体分離方式を使用しなくとも、低コストの自己分離方式のデバイス構造を工夫することで、中容量分野などさらに高い対応容量のアプリケーションにも適用できるという新しい知見が得られた。

第3章では、自己分離方式をベースとした1200Vクラス高耐圧ICの高性能化に関する研究をまとめた。

“高機能化”に関する取り組みでは、レベルダウン素子(過電流検出など各種保護回路)の内蔵を目的として、1200Vクラスで問題となる基板リーク現象のメカニズムと基板リークを防止するデバイス条件をデバイスシミュレーションと理論式の解析によって導いた。このデバイス条件で作製することで、1200V耐圧のレベルダウン素子が実現でき、レベルダウン機能を内蔵した高耐圧ICにより、パワエレシステムの安全性向上に大きく貢献することができる。

また、“高温保証化”に関する取り組みでは、1200Vクラスの高耐圧ICについて、150°C以上で急劇に耐圧低下するメカニズムをシミュレーションによって解析し、高温時の過剰な熱励起キャリアが耐圧低下の原因ということが分かった。試作した新規構成の高耐圧ICでは、接合面から伸びる空乏層の体積を大幅に減らし、熱励起キャリアの発生を抑えることで、1200V耐圧、175°C保証が可能となり、新規構成のICが高温保証に有効であることを示した。なお、第2章と第3章で述べた結果は、低コストの自己分離方式でも、高耐圧ICのさらなる高性能化が可能であることを示す有効な結果であり、電源ボード面積を小型化できるだけでなく、対応容量600V/100Aクラス以上の中容量分野や150°Cを超える高温環境下でも適用できるため、高耐圧ICがもっと幅広いパワエレシステムおよび電源システムのアプリケーションに普及していくことを示している。

第4章では、誘電体分離方式をベースとした600Vクラス高耐圧ICの高性能化に関する研究を行った。

“高耐圧化”に関する取り組みとして、厚膜SOI基板上におけるレベルシフトデバイスの高電位配線技術について技術確立を行った。厚膜SOI基板上におけるレベルシフトデバイスの高耐圧化を実現するため、デバイスを高電圧印加時の電界集中箇所をシミュレーションで解析し、トレンチ付近の表面電界を緩和する新しいデバイス構造を考案した。そして、実験試作と評価により、考案したデバイスの耐圧低下に対する改善効果と有効性を明らかにした。

さらなる“高耐圧化”に向けた考察に関しては、SOI基板上の単一素子耐圧としては難しい1200Vクラスのデバイスについて、具体的事例とともにその実現性を考察した。SOI基板上の素子耐圧を1200V以上に高める手段は複数あるが、いずれも課題が多いことを指摘した。アプリケーションや要求コストにもよるが、1200Vクラスの高耐圧ICは、誘電体分離方式

よりも自己分離方式や pn 接合分離方式の方が技術面で先行しており、今後も自己分離方式(もしくは pn 接合分離方式)が主流となるだろう。

第 5 章では、次世代のパワーエレクトロニクス製品として期待されているデジタルアイソレータ IC のキーデバイスあるマイクロトランスの高耐圧化・高信頼化に関する研究を行った。

“高耐圧化”、“高信頼化”に関する取組みとして、低温成長の酸化膜をマイクロトランスの層間絶縁膜として選択し、従来の課題であった厚膜化におけるウェハの反りを緩和するプロセスの有効性を実験的に明らかにし、5kVrms を超える“超高耐圧”のマイクロトランスの実現に向けた基礎技術として実証した。本プロセス技術をベースとした“超高耐圧”のデジタルアイソレータ IC は、絶縁性能の観点から、SiC デバイスが適用される高電圧パワエレシステムにおいて、SiC パワーデバイスのゲートドライバ IC として候補となり得ると考える。

以上、本研究の成果は高耐圧 IC のキーデバイスであるレベルシフトデバイスの要素技術や集積化技術、およびデジタルアイソレータ IC のキーデバイスであるマイクロトランスの要素技術の発展に大きく貢献することが期待される。また、本論文で明らかにしたデバイス・プロセス技術、集積化技術によって得られた結果によって、高耐圧 IC やデジタルアイソレータ IC の高性能化が促進され、劣悪な電源ノイズ環境や高電圧・高温環境などにおいても誤動作・破壊しない強靱なパワー IC の実現につながると考えられ、今後は両者がフォトカプラやパルストランスドライブシステムのアプリケーション範囲である中容量帯や大容量帯に進出し、パワエレシステムに広く普及していくことを期待する。

参考文献

- [1] グリーン IT 推進協議会 調査分析委員会, 総合報告書, “低炭素社会に向けたグリーン IT の貢献” p.112, (2013).
- [2] 谷内 利明, “パワーエレクトロニクスハンドブック”, R&D プランニング pp.125-133, (2002).
- [3] N. Konishi, M. Mori, M. Naito, T. Tanaka, K. Miyata, & M. Okamura, “A 6000 V, 1500 A light activated thyristor”, IEEE IEDM Digest of Tech. Papers, p. 642-645, (1980)
- [4] IGBT 図書企画編集委員会: 世界を動かすパワー半導体—IGBT がなければ電車も自動車もうごかない— 電気学会, (2008).
- [5] M.F. Chang, G.C. Pifer, H. Yilmaz, E.J. Wildi, R.G. Hodgins, K. Owyang, M.S. Adler and M. Cornell, “ADVANCED 1200V HVIC TECHNOLOGY”, IEEE IEDM, p. 230-233, (1986)

- [6] S. Uchida, S. Kaeriyama, H. Nagase, K. Takeda, Y. Nakashiba and T. Maeda “A Face-to-Face Chip Stacking 7kV RMS Digital Isolator for Automotive and Industrial Motor Drive Applications” in Proc. the 26th International Symposium on Power Semiconductor Devices and ICs, pp.442-445, (2014).
- [7] 荒井 和雄, “SiC 半導体のパワーデバイス開発とその実用化への戦略”, Synthesiology, Vol. 3, No.4, 産業技術総合研究所, p.259-271, (2010).
- [8] 澄田 仁志, 平林 温夫, 小林 英登, “PDP スキャンドライバ IC 技術”, 富士時報, Vol. 76, No. 3, p. 169-171, (2003).
- [9] 熊谷 直樹, 原田 祐一, 神保 信一, “自動車用自己分離型統合パワーIC 技術”, 富士時報, Vol. 76, No. 10, p. 622-625, (2003).
- [10] 武田 久雄, 藤島 直人, 多田 元, “高耐压 DMOS プロセス技術”, 富士時報, Vol. 61, No. 7, p. 452-455, (1988).
- [11] J. W. Lathrop, “Semiconductor-Network-Technology-1964,” Proc. IEEE, p. 1430, Vol. 52, (1964).
- [12] K. Izumi, M. Doken and H. Ariyoshi, “CMOS Devices Fabricated on Buried SiO₂ Layers Formed by Oxygen Implantation into Silicon,” Electron Lett., p. 593, Vol. 14, (1978).
- [13] 飯田 眞喜男, 藤本 裕, 安部 博文, 伴 博行, 水野 祥司, 大倉 勝徳, “自動車用 SOI インテリジェントパワーIC 技術”, デンソーテクニカルレビュー, p.87-92, Vol. 8, No. 1, (2003).
- [14] “SiC を用いた鉄道車両インバータ用 3.3 kV 小型ハイブリッドモジュール”, 日立評論, 研究開発, p.135, (2013. 01).
- [15] A. Kadavelugu, S. Bhattcharya, B. J. Baliga, S. H. Ryu, D. Grider and J. Palmour, “Zero Voltage Switching Characterization of 12 kV SiC N-IGBTs,” in Proc. the 26th International Symposium on Power Semiconductor Devices and ICs, pp.350-353, (2014).
- [16] E. V. Brunt, L. Cheng, M. O’Loughlin, C. Capell, C. Jonas, K. Lam, J. Richmond, V. Pala, S. Ryu, S. T. Allen, A. A. Burk, J. W. Palmour and C. Scozzie, “22 kV, 1 cm², 4H-SiC n-IGBTs with Improved Conductivity Modulation,” in Proc. the 26th International Symposium on Power Semiconductor Devices and ICs, pp.358-361, (2014).
- [17] 山田谷 政幸, 山路 将晴, 山本 毅, “LLC 電流共振制御 IC 「FA5760」”, 富士電機技報, Vol. 85, No. 6, p. 445-451, (2012).
- [18] 陳 健, “PFC および待機用コンバータ無しで広入力電圧範囲に対応した LLC 共振コンバータ”, 第 27 回スイッチング電源技術シンポジウム, D2-2, (2012).
- [19] 山路 将晴, 赤羽 正志, 上西 顕寛, “800V 保証 HVIC 技術”, 富士時報, Vol. 83, No. 6, p. 398-404, (2010).
- [20] 京野 羊一, “主流となった全波電流共振方式 薄型化や大画面化が普及を後押し”, 日経エレクトロニクス, 7 月 28 日号, p. 111-117, (2008).
- [21] M. Yamaji, J. Chen, M. Yamadaya, K. Sonobe, A. Jonishi, N. Hiasa, and H. Sumida, “A New 600V-Class Power Management IC Realizing a System Downsizing for Current

- Resonant Type Converters,” The Power Conversion, Intelligent Motion (PCIM) Asia (China) 2012.
- [22] T. Nakanishi, and J. Itoh, Proc. 5th Int. Energy Conversion Congress and Exhibition for the Asia/Pacific, Melbourne, 2013, p. 52.
- [23] J. Itoh, T. Araki, Proc. 5th Int. Energy Conversion Congress and Exhibition for the Asia/Pacific, Melbourne, 2013, p. 372.
- [24] M. Yamaji, A. Jonishi, H. Sumida and Y. Hashimoto: “Proposal of a new lateral high-voltage n-channel MOS structure with a reduced parasitic output capacitance for a level-shift circuit integrated in 800V-class high-voltage ICs,” Japanese Journal of Applied Physics (JJAP), 54(4S), 04DP10, 2015.
- [25] M. Yamaji, A. Jonishi, T. Tanaka, H. Sumida and Y. Hashimoto: “A 600 V High-Voltage IC Technique With a New Self-Shielding Structure for High Noise Tolerance and Die Shrink,” Transaction of Electron Devices (TED), IEEE (Volume: 62, Issue: 5), 1524-1529, 2015.
- [26] J. Zhu, G. Sun, W. Sun and Y. Zhang: “Negative voltage surge resistant circuit design in HVIC,” Electronics Letters, (Volume: 49, Issue: 23), 1476-1477, 2013.
- [27] S. L. Kim, C. K. Jeon, M. H. Kim, and J. J. Kim, “Realization of Robust 600V High Side Gate Drive IC with a New Isolated Self-Shielding Structure,” in Proc. of the 17th Int. Symp. Power Semicond. Devices IC’s, Santa Barbara, pp. 143-146, 2005.
- [28] T. Takahashi, T. Terashima and J. Moritani, “Trench-Isolated High-Voltage IC with Reduced Parasitic Bipolar Transistor Action,” in Proc. of the 19th Int. Symp. Power Semicond. Devices ICs, Jeju, pp. 69-72, 2007.
- [29] T. Yamazaki, N. Kumagai, K. Oyabe, G. Tada, H. Takeda, Y. Seki and K. Sakurai, “New high voltage integrated circuits using self-shielding technique,” in Proc. of the 11th Int. Symp. Power Semicond. Devices ICs, Toronto, pp. 333-336, 1999.
- [30] K. Shimizu and T. Terashima, “The 2nd Generation divided RESURF structure for High Voltage ICs,” in Proc. of the 20th Int. Symp. Power Semicond. Devices IC’s, Orlando, pp. 311-314, 2008.
- [31] J. J. Kim, M. H. Kim, S. L. Kim, C. K. Jeon, Y. S. Choi, H. S. Kang and C. S. Song, “The new high voltage level up shifter for HVIC,” PESC (Power Electronics Specialists Conference), 20, pp. 626-630, 2002.
- [32] R. Herzer, “Integrated gate driver circuit solutions,” Proceedings. CIPS 2010, pp.1-10, 2010.
- [33] T. Fujihira, Y. Yano, S. Obinata, N. Kumagai and K. Sakurai, “Self-shielding: new high-voltage inter-connection technique for HVICs,” in Proc. of the 8th Int. Symp. Power Semicond. Devices IC’s, Maui, pp. 231-234, 1996.
- [34] 吉野 学, 清水 和宏, “1200V 級 HVIC 搭載 基板リーク改善高耐圧 P-channel MOS” 電子デバイス半導体電力変換合同研究会, EDD-13-74, pp.67-72, 2010.
- [35] 田中 貴英, 上西 顕寛, 赤羽 正志, 山路 将晴, 菅野 博, 澄田 仁志, “1200V ク

- ラス HVIC 用 Pch-LDMOS” 平成 26 年 電気学会全国大会論文集 4-139, p.235, 2014.
- [36] M. Yoshino and K. Shimizu, “A novel high voltage Pch-MOS with a new drain drift structure for 1200V HVICs,” in Proc. of the 25th Int. Symp. Power Semicond. Devices IC’s, Kanazawa, pp. 77-80, 2013.
- [37] Q. Li, Z. Li and B. Zhang, "Analytical Model for the Surface Electrical field Distributions of Double RESURF Devices with Gaussian-doped P-top Region," ICCAS 2007, pp. 1283-1286, Jul. 2007.
- [38] S. Pawel, M. Roßberg and R. Herzer, “600V SOI Gate Drive HVIC for Medium Power Applications Operating up to 200°C,” in Proc. of the 17th Int. Symp. Power Semicond. Devices IC’s, Santa Barbara, pp. 55-58, 2005.
- [39] G. Huanmei, L.Xiaorong, Z. Wei, D. Hao and L. Tianfei “A new integrated SOI power device based on self-isolation technology,” Journal of Semiconductors, Vol. 31, No. 8, pp. 084012- 1-6, 2010.
- [40] 秋山 肇, 保田 直紀, 寺島 和秀, 守谷 純一, “SODI 技術による誘電体分離 HVIC の高耐圧化”, 電子デバイス/半導体電力変換研究会, EDD-04-55, 2004.
- [41] M.Yamaji, K. Abe, A. Jonishi, H. Takahashi and H. Sumida, “New Level-Shift LDMOS Structure for a 600V-HVIC on Thick SOI,” Journal of Energy and Power Engineering 6, pp. 1515-1520, 2012.
- [42] J.P. Colinge, Silicon-on-Insulator Technology: Materials to VLSI, 3rd Edition, University of California, USA, pp. 278-282, 2004.
- [43] T. Fujihira, Y. Yano, S. Obinata, N. Kumagai and K. Sakurai, “Proposal of New Interconnection Technique for Very High-Voltage IC’s”, JJAP, 35 pp. 5655-5663, 1996.
- [44] S. Merchant, E. Arnold, H. Baumgart, S. Mukherjee, H. Pein and R. Pinker, “REALIZATION OF HIGH BREAKDOWN VOLTAGE (>700V) IN THIN SOI DEVICES,” in Proc. of the 3rd Int. Symp. Power Semicond. Devices IC’s, Baltimore, pp. 31-35, 1991.
- [45] 白木 聡, 山田 明, “HVIC 用 SOI 型 1200V レベルシフト素子の開発”, 電気学会論文誌 C, IEEJ Trans. EIS, Vol.133, No.5, pp.930-936, 2013.
- [46] L. Peng, R. Wu, X. Fang, Y. Toyoda, M. Akahane, M. Yamaji, H. Sumida, and J. Sin: “A Fully Integrated 3D TSV Transformer for High-Voltage Signal Transfer Applications,” ECS Solid State Letter, 2 (5), pp. Q29-Q31, 2013.
- [47] Dow Chemical, “Processing Procedures for CYCLOTENE 4000 Series Photo-BCB Resins (Puddle Develop Process)”, Application Notes, pp. 1-10, 2009.

発表論文一覧

I. 査読付き論文 (Journal)

- 1) M. Yamaji, K. Abe, A. Jonishi, H. Takahashi and H. Sumida: “New Level-Shift LDMOS Structure for a 600V-HVIC on Thick SOI,” Journal of Energy and Power Engineering 6, 1515-1520, 2012.
- 2) L. Peng, R. Wu, X. Fang, Y. Toyoda, M. Akahane, M. Yamaji, H. Sumida, and J. Sin: “A Fully Integrated 3D TSV Transformer for High-Voltage Signal Transfer Applications,” ECS Solid State Letter, 2013.
- 3) L. Peng, R. Wu, X. Fang, Y. Toyoda, M. Akahane, M. Yamaji, H. Sumida, and J. K. O. Sin: “Optimization of Monolithic 3D TSV Transformers for High-Voltage Digital Isolators,” ECS Journal of Solid State Science and Technology 3 (10), Q207-Q211, 2014.
- 4) L. Peng, R. Wu, X. Fang, Y. Toyoda, M. Akahane, M. Yamaji, H. Sumida, and J. K. O. Sin: “A Simple Low Cost Monolithic Transformer for High-Voltage Gate Driver Applications,” Electron Device Letters (EDL), IEEE (Volume:35, Issue: 1), 108-110, 2014.
- 5) M. Yamaji, A. Jonishi, H. Sumida and Y. Hashimoto: “Proposal of a new lateral high-voltage n-channel MOS structure with a reduced parasitic output capacitance for a level-shift circuit integrated in 800V-class high-voltage ICs,” Japanese Journal of Applied Physics (JJAP), 54(4S), 04DP10, 2015.
- 6) M. Yamaji, A. Jonishi, T. Tanaka, H. Sumida and Y. Hashimoto: “A 600 V High-Voltage IC Technique With a New Self-Shielding Structure for High Noise Tolerance and Die Shrink,” Transaction of Electron Devices (TED), IEEE (Volume: 62, Issue: 5), 1524-1529, 2015.

II. 国際学会発表

- 1) M. Sawada, M. Yamaji, S. Matsunaga, M. Iwaya, and H. Takahashi: “High side n-channel and bidirectional Trench Lateral Power MOSFETs on one chip for DCDC converter ICs,” The 20th International Symposium on Power Semiconductor Devices and ICs, 2008.
- 2) S. Matsunaga, S. Sugahara, K. Yamada, and M. Yamaji: “Single chip 12V 5A DC-DC converter integrated with Trench Lateral Power Devices,” Applied Power Electronics Conference and Exposition, 2009.
- 3) M. Yamaji, K. Abe, A. Jonishi, H. Takahashi and H. Sumida: “A Novel 600V LDMOS with HV Interconnection for HVIC on Thick SOI,” The 22th International Symposium on Power Semiconductor Devices and ICs, 2010.
- 4) H. Sumida, M. Yamaji: “Field Plate Effect on Blocking Capability of High-Voltage Lateral SOI Devices,” 218th ECS Meeting, The Electrochemical Society 2010.
- 5) M. Yamaji, J. Chen, M. Yamadaya, K. Sonobe, A. Jonishi, N. Hiasa, and H. Sumida: “A New 600V-Class Power Management IC Realizing a System Downsizing for Current

- Resonant Type Converters,” The Power Conversion, Intelligent Motion (PCIM) Asia (China) 2012.
- 6) T. Karino, O. Sasaki, M. Yamaji and H. Sumida: “700V PIC Technology Based on 0.35 μ m Design for AC-DC Power Units,” The 24th International Symposium on Power Semiconductor Devices and ICs, 2012.
 - 7) L. Peng, R. Wu, X. Fang, Y. Toyoda, M. Akahane, M. Yamaji, H. Sumida, and J. K. O. Sin: “A Novel 3D TSV Transformer Technology for Digital Isolator Gate Driver Applications,” The 25th International Symposium on Power Semiconductor Devices and ICs, 2013.
 - 8) M. Akahane, A. Jonishi, M. Yamaji, H. Kanno, T. Tanaka, H. Nishio and H. Sumida: “A New Level Up Shifter for HVICs with High Noise Tolerance,” Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014.
 - 9) A. Jonishi, M. Akahane, M. Yamaji, T. Imai, H. Kanno, T. Tanaka, W. Tomita, T. Mori, and H. Sumida: “1200V-Class HVIC Technology with a Divided High-side Well Structure for High-functionality and Downsizing of Circuits,” The 26th International Symposium on Power Semiconductor Devices and ICs, 2014.
 - 10) M. Yamaji, A. Jonishi, H. Sumida and Y. Hashimoto: “An 800V-Class Lateral NMOS Structure with a Reduced Parasitic Capacitance for a Level-Shift Circuit Integrated in a High Voltage Gate Driver IC,” The 46th Solid State Devices and Materials, 2014.
 - 11) M. Yamaji, A. Jonishi, H. Sumida and Y. Hashimoto: “A New Enhanced Noise Tolerance Technique for a 600V High Voltage IC,” IEEE PEDS, 2015.
 - 12) A. Jonishi, M. Akahane, M. Yamaji, H. Kanno, T. Tanaka, N. Tochintai and H. Sumida: “A breakthrough concept of HVICs for high negative surge immunity,” The 27th International Symposium on Power Semiconductor Devices and ICs, 2015.

III. 国内学会発表

- 1) 澤田 睦美, 松永 慎一郎, 山路 将晴, 北村 明夫, 藤島 直人: “トレンチ横型パワー MOSFET のホットキャリア耐性,” IEICE: 電子情報通信学会 2006 年 11 月.
- 2) 山路 将晴, 上西 顕寛, 澄田 仁志: “多重拡散構造を利用した高耐圧 JFET デバイスの耐圧検討,” 応用物理学会 2009 年 10 月.
- 3) 山路 将晴, 澄田 仁志, 上西 顕寛, 赤羽 正志: “厚膜 SOI 基板上に形成した 600V-LDMOS の高電圧配線技術,” 電子デバイス半導体電力変換合同研究会, 2010 年 11 月.
- 4) 山路 将晴, 上西 顕寛, 赤羽 正志, 澄田 仁志: “グリーン IDC 用電源向け 800V-HVIC,” 電子デバイス半導体電力変換合同研究会, 2011 年 10 月.
- 5) 山路 将晴, 上西 顕寛, 赤羽 正志, 澄田 仁志: “電源システム小型化に寄与する電流共振型 600V パワーマネジメント IC,” 電子デバイス半導体電力変換合同研究会, 2012 年 10 月.
- 6) 齊藤 俊, 狩野 太一, 佐々木 修, 山路 将晴, 澄田 仁志: 0.35 μ m ルールを用いた

700V クラス AC/DC 電源 IC 用パワー IC 技術,” 電子デバイス半導体電力変換合同研究会, 2012 年 10 月.

- 7) 上西 顕寛、田中 貴英、赤羽 正志、山路 将晴、菅野 博、澄田 仁志:“1200V クラス HVIC 用高耐圧 Pch-LDMOS,” 電気学会全国大会, 2014 年 3 月.
- 8) 田中 貴英、上西 顕寛、赤羽 正志、山路 将晴、今井 朋弘、菅野 博、富田 航、森 貴浩、澄田 仁志:“分割ハイサイドウェル構造を用いた 1200V クラス HVIC 技術,” 電子デバイス半導体電力変換合同研究会, 2014 年 10 月.
- 9) 上西 顕寛、菅野 博、赤羽 正志、山路 将晴、田中 貴英、棚内 規行、澄田 仁志:“高負電圧サージ耐量を実現する新しい HVIC 構造,” 電子デバイス半導体電力変換合同研究会, 2015 年 10 月.

その他

- 1) 山路 将晴、上西 顕寛、赤羽 正志:“800V 保証 HVIC 技術,” 富士時報 Vol.83 (2010) 398.
- 2) 山田谷 政幸、山路 将晴、山本 毅:“LLC 電流共振制御 IC「FA5760N」,” 富士時報 Vol.85 (2012) 445.
- 3) 上西 顕寛、赤羽 正志、山路 将晴:“IPM 用 HVIC 技術,” 富士電機技報 Vol.88 no.4 (2015) 264.
- 4) 山路 将晴:“A Novel 600V-LDMOS with HV-Interconnection for HVIC on Thick SOI、他 TCAD 活用事例の講演,” TCAD セミナー2010(日本シノプシス主催), 2010 年 7 月.
- 5) 山路 将晴、北村 明夫、藤島 直人、“半導体装置の製造方法,” JP Patent 4780905 (2003).
- 6) 山路 将晴、澄田 仁志、“半導体装置,” JP Patent 5092202 (2005).
- 7) 山路 将晴、北村明夫、“半導体装置,” JP Patent 5594407 (2007).
- 8) 山路 将晴、北村明夫、“半導体装置,” JP Patent 5369413 (2007).
- 9) 北村 睦美、小林 善則、山路 将晴、上西 顕寛、松永 慎一郎、“半導体装置およびその製造方法,” JP Patent 5401957 (2008).
- 10) 山路 将晴、“高耐圧半導体装置および高電圧集積回路装置,” JP Patent 5493435 (2009).
- 11) 山路 将晴、“半導体装置,” JP Patent 5458809 (2009).
- 12) 高橋 英紀、毎熊 健、山路 将晴、“半導体装置の製造方法,” JP Patent 5515821 (2010).
- 13) 山路 将晴、“高耐圧半導体装置,” JP Patent 5499915 (2010).
- 14) 山路 将晴、“高耐圧集積回路装置,” JP Patent 5293831 (2010).
- 15) 山路 将晴、“半導体装置および駆動回路,” JP Patent 5505499 (2011).
- 16) 山路 将晴、“高耐圧集積回路装置,” JP Patent 5435138 (2011).
- 17) 山路 将晴、“高耐圧半導体装置および駆動回路,” JP Patent 5099282 (2012).
- 18) 山路 将晴、“半導体装置,” JP Patent 5321768 (2012).など.

謝辞

本研究の遂行に当たり、ご親切なご教示とご指導を頂きました国立大学法人信州大学大学院総合工学研究科 橋本 佳男教授、上村 喜一教授には心からの感謝の意と御礼の言葉を申し上げます。また、本論文の作成に当たり、ご指導、ご高配を賜りました国立大学法人信州大学大学院総合工学研究科 佐藤 敏郎教授、番場 教子准教授、宮地 幸祐准教授、国立大学法人筑波大学大学院数理物質科学研究科 岩室 憲幸教授に深く感謝致します。

本研究全体にわたり、多大な御支援を頂きました、富士電機株式会社 電子デバイス事業本部 開発統括部長 藤平 龍彦博士には深く感謝致します。特に、開発統括部 デバイス開発部長 大月 正人博士には、このような貴重な研究の機会を与えて頂き、重ねて感謝申し上げます。

また、本研究に関し、惜しみない技術的アドバイスを頂いた、富士電機株式会社 澄田 仁志博士、パワーIC の試作・評価ならびにディスカッションに参加頂いた、富士電機株式会社 藤本 英俊様、北村 明夫様、高橋 英紀様、毎熊 健様、安部 啓成博士、斉藤 俊様、豊田 善昭様、菅野 博様、大橋 英知様、山田谷 政幸博士、陳 健様、富士電機津軽セミコンダクタ株式会社 佐田 博仁様、香港科学技術大学 Johnny. K.O. Sin 教授とその学生、学校法人福山大学 菅原 聡准教授には深く感謝致します。特に、パワーIC用デバイスのシミュレーション解析や物理モデルの解析およびデバイス・回路の評価などに協力して頂いた、富士電機株式会社 上西 顕寛様、赤羽 正志様、田中 貴英様には深く感謝致します。

最後に、本研究に理解を示し、精神面の支えをはじめ、博士を志すきっかけを与えてくれた両親と、生活のすべてにおいて全面的な理解と支援を注いでくれた家族に深く感謝し、謝辞の結びとする。

以上