

氏名(本籍・生年月日) 山路将晴(長野県 昭和53年3月2日)
学位の種類 博士(工学)
学位記番号 甲第655号
学位授与の日付 平成28年3月20日
学位授与の要件 信州大学学位規程 第5条第1項該当
学位論文題目 ゲート駆動用パワーIC技術の高性能化に関する研究
論文審査委員 主査 教授 橋本佳男 准教授 番場教子
教授 佐藤敏郎 准教授 宮地幸祐
教授 岩室憲幸(筑波大学)

論文内容の要旨

パワエレや情報電源システムの省エネ化の取り組みとして、機器の電力変換部のインバータ化により、システムの電源効率向上、低待機電力化が推進されている。この電力変換部に用いられるパワーICに要求されることは、パワーデバイスの駆動を最適なタイミングで誤動作なく行うことに加え、パワーデバイス側の過電流などの異常情報をマイコンに伝える保護機能や、従来外付け部品として構成していた受動素子や能動素子をICに内蔵することにより、システムの高機能化や小型化を図ることである。本論文では、パワーICの中でも民生・産業・車載分野と広く適用されるゲートドライバIC、特に600Vから1200V耐圧の高耐圧ICにフォーカスした。ゲートドライバICに求められる性能を実現するうえで、その課題や物理現象に関する解析を行い、そこから得られた解析結果をもとに新規デバイス構造などを考案した。そして、要求性能の実現に向けた実験と評価および、その効果と有効性を示す。また、次世代のパワエレ技術として期待されるデジタルアイソレータICについても要素プロセス技術の検討を行い、その結果をもとに実験試作し、得られた効果から有効性や将来性について考察する。

第1章では、パワーICの高性能化に関する研究の背景と目的などについて述べる。

第2章では、自己分離方式をベースとした600Vクラス高耐圧ICの高性能化に関する研究に取り組んだ。“高機能化”に関しては、高耐圧ICに600V耐圧の起動素子を内蔵するためにデバイスシミュレーション解析を行い、起動素子のソース長の調整が特性を左右する重要なパラメータであることが分かった。その結果をもとに、起動素子を内蔵した新規パワーマネジメントICで電源ボードの部品点数削減や小型化に対する有効性を示した。“高速化”に関しては、高耐圧ICの入出力伝達遅延時間の短縮について取り組んだ。各回路部における伝達遅延時間の構成比率から、レベルシフトデバイス

の低寄生容量化が効果的であると考え、デバイス技術の確立を行った。耐压特性を犠牲にすることなく、低寄生容量化を図れる新規デバイス構造を考案し、シミュレーションと実験を行い、その効果を実証した。その結果、12%の伝達遅延時間の短縮が図れ、1MHzの高周波化に対応可能な低寄生容量レベルシフトデバイスの技術確立が実現できた。また、“高ノイズ耐量化”に関しては、IGBTのスイッチング時に発生する負電圧サージによる高耐压ICの内部状態を3次元シミュレーションによって明らかにし、その解析結果に基づき、独自の自己遮蔽構造を考案した。考案したデバイス構造により、負電圧サージに対するノイズ耐量が従来の3倍以上向上することを実証した。これにより、低コストの自己分離方式の高耐压ICでも、デバイス構造の工夫で600V/100Aクラスの中容量帯アプリケーションに適用できるという新しい知見が得られた。

第3章では、自己分離方式をベースとした1200Vクラス高耐压ICの高性能化に関する研究を行った。“高機能化”に関しては、保護機能搭載を可能とするレベルダウン素子の内蔵を目的として、1200Vクラスで問題となる基板リーク現象のメカニズムと改善条件をシミュレーションと理論式の解析によって導いた。導いた改善条件で作製することで、1200V耐压のレベルダウン素子が実現できた。レベルダウン機能を内蔵した高耐压ICによってパワエリシステムの安全性向上に大きく貢献する。また、“高温保証化”に関しては、1200Vクラスの高耐压デバイスにおいて、150℃以上で耐压低下するメカニズムをシミュレーションによって解析し、高温時の過剰な熱励起キャリアが原因ということが分かった。試作した新規構成の高耐压ICでは、接合面から伸びる空乏層の体積を減らし、熱励起キャリアの発生を抑えることで1200V耐压、175℃保証が可能となり、高温保証に有効であることを示した。

第4章では、誘電体分離方式をベースとした600Vクラス高耐压ICの“高耐压化”に関する研究を行い、厚膜SOI基板上的レベルシフトデバイスの高電位配線技術について技術確立を実施した。高耐压化を実現するため、デバイスを高電圧印加時の電界集中箇所をシミュレーションで解析し、トレンチ付近の表面電界を緩和する新デバイス構造を考案した。そして、考案したデバイスの実験試作と評価により、耐压低下に対する改善を示した。さらなる“高耐压化”に向けた考察に関しては、SOI基板上的素子耐压を1200V以上に高める手段は複数あるが、いずれも課題が多いことを指摘した。

第5章では、デジタルアイソレータICのキーデバイスあるマイクロトランスの高耐压化・高信頼化に関する研究を行った。その取組みとして、低温成長膜であるPSG膜とP-TEOS膜の積層膜をマイクロトランスの層間絶縁膜として選択し、従来課題であった厚膜化におけるウェハの反りを緩和するプロセスの有効性を実験的に明らかにし、5kVrmsを超える超高耐压マイクロトランスの実現に向けた基礎技術を実証した。

本研究により、高耐压ICやデジタルアイソレータICの要素技術の発展に大きく貢献することが期待される。