

信州大学審査学位論文

医療用 CMOS 撮像モジュールへの応用を目指した  
撮像素子 WL-CSP プロセスの開発

2017年 3月

信州大学大学院総合工学系研究科

藤森 紀幸

## 目次

1. 緒言.....	1
1.1 研究背景.....	1
1.1.1 内視鏡.....	1
1.1.2 臨床現場における内視鏡の役割.....	2
1.1.3 内視鏡用撮像装置.....	3
1.1.4 半導体パッケージング技術.....	5
1.1.5 半導体パッケージング技術と医療デバイス.....	6
1.2 本研究の目的.....	11
1.3 本論文の概要.....	11
1.4 第1章 参考文献.....	13
2. 内視鏡システムからの要求事項.....	14
2.1 内視鏡システム概要.....	14
2.2 CMOS 撮像素子の仕様.....	15
2.3 CMOS 撮像素子のインターフェース回路.....	20
2.4 撮像モジュールの設計.....	21
2.5 第2章 参考文献.....	25
3. チップ再配列 WL-CSP 技術の概要とパッケージおよびプロセス設計 ...	26
3.1 パッケージ基本構造.....	26
3.2 パッケージの設計.....	27
3.2.1 パッド構造.....	27
3.2.2 TSV の設計.....	33
3.2.3 パッケージの設計ルール.....	35
3.2.4 カバーガラス-撮像素子接合樹脂の選定.....	36
3.3 TSV 形成プロセス設計.....	37
3.4 チップ再配列 WL-CSP 技術概要.....	41
3.5 第3章 参考文献.....	43
4. チップ再配列 WL-CSP 技術の諸課題と改善法.....	44
4.1 チップ再配列 WL-CSP 技術の諸課題.....	44
4.2 CIS チップ再配列によるウエハ反りの制御.....	44
4.2.1 構造解析シミュレーションによる検討.....	45
4.2.2 構造解析シミュレーション結果の考察.....	53
4.2.3 実験評価サンプルによる検証.....	55
4.3 チップ再配列 WL-CSP プロセス設計.....	58

4.3.1	CIS ウエハダイシング .....	59
4.3.2	小口径ハンドリングウエハへの CIS チップの再配列 .....	59
4.3.3	チップ間隙への樹脂充填 .....	60
4.3.4	バックグラインドおよび化学機械研磨 .....	61
4.3.5	TSV (Through Silicon Via) の形成 .....	61
4.3.6	再配線 .....	62
4.3.7	電極形成 .....	64
4.3.8	テスト .....	65
4.4	CIS チップ再配列の検討 .....	66
4.4.1	小口径ハンドリングウエハへの CIS チップの再配列検討 .....	66
4.4.2	チップ間隙への樹脂充填検討 .....	71
4.4.3	バックグラインドおよび化学機械研磨検討 .....	72
4.4.4	CIS チップ再配列検討の考察 .....	73
4.5	熱プロセスによる CIS ダメージ評価 .....	75
4.6	薄化による CIS ダメージ評価 .....	80
4.7	プラズマプロセスによる CIS ダメージ評価 .....	83
4.7.1	TEG ウエハによる検討 .....	83
4.7.2	アニール処理の効果 .....	87
4.7.3	WL-CSP プロセスにおけるプラズマプロセスダメージの考察 .....	88
4.7.4	プラズマダメージ低減構造 .....	91
4.8	第 4 章 参考文献 .....	93
5.	WL-CSP を応用した医療用 CIS 撮像モジュールとその特性評価 .....	95
5.1	WL-CSP 型 CIS 撮像モジュールの概要 .....	95
5.1.1	試作した WL-CSP 型 CIS .....	95
5.1.2	WL-CSP 型 CIS 撮像モジュール .....	96
5.2	WL-CSP 型 CIS 撮像モジュールのアセンブリ工程 .....	98
5.2.1	フリップチップボンディング .....	98
5.2.2	レンズホルダ装着 .....	102
5.2.3	基板折り曲げ .....	103
5.2.4	ケーブル接続 .....	103
5.2.5	対物レンズ装着 .....	104
5.3	WL-CSP 型 CIS 撮像モジュールの撮像特性 .....	105
5.3.1	WL-CSP 型 CIS の初期撮像特性評価 .....	105
5.3.2	WL-CSP 型 CIS の暗時画像出力特性評価 .....	106
5.3.3	WL-CSP 型 CIS に用いたガラス接合剤の特性評価 .....	112
5.4	WL-CSP 型 CIS 撮像モジュールの動作試験 .....	114
5.5	WL-CSP 型 CIS 撮像モジュールの環境耐性試験 .....	115
5.6	第 5 章 参考文献 .....	117

6. 結論 .....	118
研究業績 .....	124
謝辭 .....	126

# 第 1 章

## 緒言

### 1.1 研究背景

#### 1.1.1 内視鏡

1950 年に実用化された「胃カメラ」は、小型な銀塩カメラと照明ランプを先端に組み込み、体内画像を撮影したフィルムを取り出し現像することによって医師が診断を行っていた。1957 年には光を伝送する光ファイバーを組み込んだ「ファイバースコープ(光ファイバ内視鏡)」が開発され、体外で体内の画像をリアルタイムに観察する今日の内視鏡検査の原型が確立された。さらに 1982 年には光ファイバーを CCD 型の固体撮像素子に置き換えて内視鏡先端に実装し、体内画像をテレビモニタへと映し出す「ビデオスコープ(電子内視鏡)」が開発され、近年では半導体技術の進化に伴い、より小型で高画質なビデオスコープが実現されている。また 2000 年代に入り、体腔内への挿入チューブを必要としない飲み込み型の内視鏡(カプセル型内視鏡)も開発され、体内の画像を体外に無線送信して観察する新しい検査も確立されている。これら内視鏡を用いた医学的手技は、単なる観察に加え内視鏡専用の処置具を用いた生検、ポリープ切除、碎石、粘膜切除など、多岐に渡り、早期診断・早期治療を目指す臨床現場を支える主要なデバイスの一つである[1-1]。

図 1-1 に代表的な医療用電子内視鏡システム及び内視鏡本体の外観を示す。電子内視鏡システムの基本構成は、被験者に挿入されるカメラヘッド部を含む内視鏡本体と、光源やビデオプロセッサ、カラーモニタなどを含むシステムステーション部に大別される。

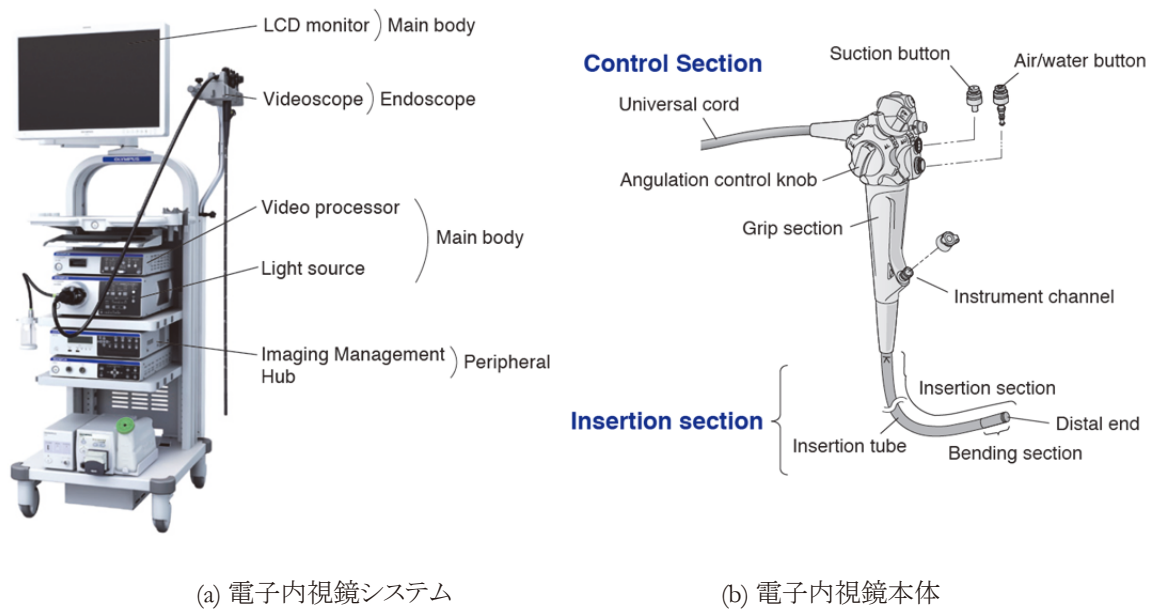


図1-1 医療用内視鏡システム概要[1-2]

### 1.1.2 臨床現場における内視鏡の役割

医療内視鏡は、医師が被験者の体腔内の微小な色調の違いや、形状の変化を捉え、病変部を低侵襲、かつ早期に発見することを1つの目的としている。例えば近年、狭帯域光観察(NBI: Narrow Band Imaging)と言われる、小さな病変を早期に発見、治療するための、粘膜表面の色、構造をより自然に、より精細に観察するための新たな内視鏡観察技術が普及している[1-3]。がんの増殖には、血管からの栄養補給を必要とするため、病変の近くの粘膜には、多くの血管が集まりやすくなると考えられており、粘膜内の血管などをより鮮明に観察しやすくするために、血液中のヘモグロビンが吸収しやすい特殊な光を照らし画面に表示するのが、狭帯域光観察である。図 1-2 に狭帯域光観察の概要を示す。狭帯域光観察では、毛細血管の集まりやそのパター

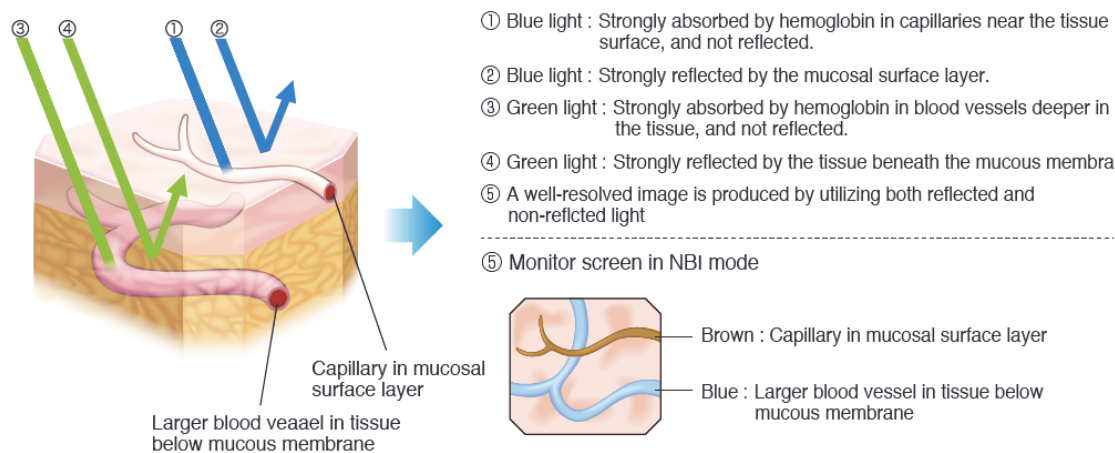


図1-2 狭帯域光観察概要[1-4]

ンなどが鮮明に表示され、通常光による観察では見えにくかったがんなどの早期病変の観察において有用性が期待されている。またこれまででは、血管や粘膜の詳細な観察のためには色素による染色を行わなければならないこともあったが、狭帯域光観察を行うことによって、被験者の身体的な負担が軽減されることも期待されている。この観察技術を実現するためには、撮像素子の性能を最大限に引き出し、微小な色調の違いを撮像素子で捉えなければならない[1-5]。

### 1.1.3 内視鏡用撮像装置

次いで内視鏡用の撮像装置に求められる技術要件について述べる。電子内視鏡のシステム構成は基本的に通常のビデオ機器と類似であるが、撮像装置には内視鏡に特有の技術要件もいくつか存在する。

第一に、体内への挿入性、および操作性を確保するために、内視鏡先端部の細径化・先端硬質部の短縮が重要である。そのため、通常のモバイル機器向けの撮像モジュールでは低背化への要求が高いが、内視鏡ではむしろ細径化するためのフットプリント極小化へのニーズが非常に高い。

第二に、安全性に関する要件である。電気的な安全性の確保に加え、内視鏡は体内に挿入されるため、洗浄・消毒・滅菌を確実に行う必要がある[1-6]。いずれも民生機器の通常使用範囲を大きく超える過酷な環境に暴露されることになるため、内視鏡の耐久性・信頼性確保には部品単位での耐性確保が重要となる。

そして第三に、高い観察性能の確保である。内視鏡は、体腔内をくまなく観察してカラーモニタへと描出することにより、医師による正確な診断を可能とする。これらを実現するためには、広範囲への均一な照明、視野角が  $120^\circ$  を越え、数 mm の近景から百 mm 程度の遠景にわたり高解像に捉える高性能レンズに加え、なによりも撮像素子の性能を最大限に引き出すことが必要である。

内視鏡の先端は、直径 10 mm 弱のものから細いものでは 5 mm 程度のものもあり、用途や適用部位によって使い分けられるが、臨床の現場からは、内視鏡の更なる細径化、高画質化により、被験者の負担を低減し、医師の診断を支えることが広く求められている。内視鏡の進化は、撮像素子を中心とした電子デバイス、とりわけ半導体技術に拠るところが大きく、撮像素子そのものの小型・高性能化に加え、撮像素子のパッケージング技術が重要な役割を果たしている[1-7]。

これまでは CCD 型撮像素子を用いた内視鏡が一般的であったが、近年は CMOS 型撮像素子を用いた内視鏡も開発されており[1-8]、最先端の半導体素子を内視鏡に実装するためには、半導体パッケージング技術により撮像素子の性能を引き出し、撮像装置の小型化を実現しつつも耐性・安全性を確保しなければならない。半導体パッケージング技術は、内視鏡の小型化に加え、性能や耐久性・信頼性を確保するために必要不可欠な技術である。



#### 1.1.4 半導体パッケージング技術

近年、モバイル端末に代表されるエレクトロニクス機器の小型化・高機能化は、半導体デバイスの進化によって実現されてきた。半導体デバイスの小型化・高機能化は、シリコンウエハの微細加工によって進展してきた(Mooreの法則)が、今後の32 nm, 22 nm以降の微細化(More Moore)では、技術的な障壁が高まっている。この状況から、エレクトロニクス機器のさらなる小型化・高機能化には、ムーアの法則とは異なる方向性の進化(More than Moore)が求められており[1-9]、その実現には、半導体デバイスが形成されたウエハを個片化することなくウエハのままパッケージングするウエハレベルチップサイズパッケージ(WL-CSP: Wafer Level-Chip Size Package)技術が重要な役割を果たすものとして注目されている[1-10]。

WL-CSPは、ウエハレベルで半導体デバイスをパッケージする先進パッケージング技術であり、利点は以下の通りである。

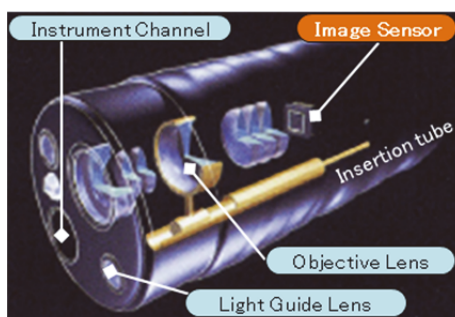
(1) 半導体ウエハプロセスを使用したバッチプロセスであり、ウエハレベルでパッケージを量産できる。

(2) 化学気相成長(CVD: Chemical Vapor Deposition)、反応性イオンエッチング(RIE: Reactive Ion Etching)、及びフォトリソグラフィなど半導体ウエハプロセスとほぼ同様の微細プロセスを用いることにより、非常にコンパクトなパッケージを実現することができる。

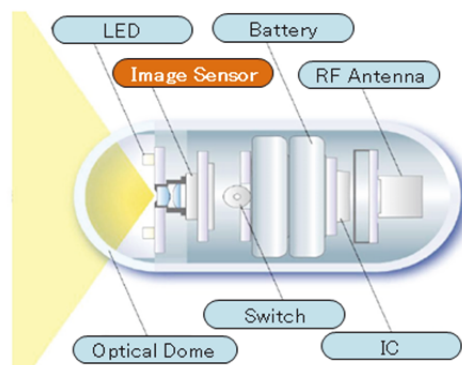
このとき、半導体ウエハプロセスではウエハレベルの処理が行われるため、パッケージに使用する材料の特性や、パッケージングする半導体デバイスの構造を詳細に把握してプロセスを設計し、処理するウエハをプロセス全般にわたって適正化して、ウエハの割れや変形を抑制する必要がある。

### 1.1.5 半導体パッケージング技術と医療デバイス

近年, 撮像素子への WL-CSP の適用が進み, スマートフォンのカメラモジュールのようなモバイル端末に適用され始めている. また, WL-CSP 型撮像素子が医療用カプセル内視鏡にも適用され, 内視鏡の小型化に貢献している[1-8, 1-11]. 図 1-3 に示すような内視鏡挿入部の先端や, カプセルタイプのデバイスなどのように, 体腔内へと導入される医療用デバイスの低侵襲性を実現するために, 半導体のパッケージング技術が非常に重要な役割を果たし, 中でも WL-CSP は非常に魅力的な技術である[1-7, 1-12].



(a) 医療用内視鏡先端部[1-2]



(b) 医療用カプセル型内視鏡[1-11]

図1-3 医療デバイスの例

WL-CSP 技術には、大別して 2 種類の構造、ないし製法がある[1-9]。一方は図 1-4 に示すように Fan-In 型と呼ばれ、通常のウエハプロセスを経てウエハテストが完了したウエハを、ウエハ状態のまま(ウエハレベル)でパッケージングするもので、ウエハプロセスで再配線や電極形成→樹脂封止→ダイシングまでを全て処理する製法である。最終的にはウエハを切断した半導体チップの大きさがそのままパッケージの大きさとなり、半導体チップの面積内に電極が形成される構造となる。他方は図 1-5 に示すように Fan-Out 型と呼ばれ、個片化されたチップをキャリアの上に貼られた接着フィルムの上に並べた後に封止材で封止し、封止後に再配線や電極形成→樹脂封止→ダイシングまでを処理する製法である。最終的には半導体チップの周囲を封止樹脂が覆った大きさがパッケージの大きさとなり、周囲の封止樹脂を含めた面積内に電極が形

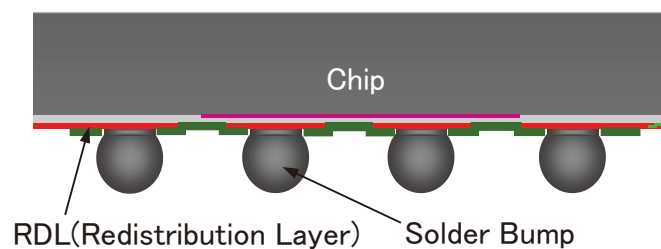


図1-4 Fan-In型WL-CSP断面構成[1-9]

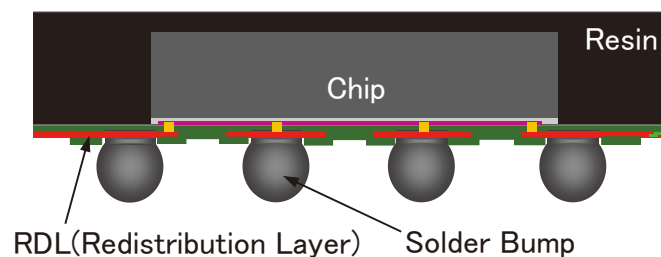


図 1-5 Fan-Out 型 WL-CSP 断面構成[1-9]

成される構造となる。Fan-In 型ではウエハ状態でパッケージング処理するため、歩留りの悪いウエハをパッケージングするとパッケージコストが増大することがあるが、Fan-Out 型では個片化されたチップを並べる際に、良品チップ (KGD: Known Good Die) のみを選択することができるので、ウエハ歩留りの影響を排除できる。なお、Fan-Out 型はウエハ形状で処理されるものではない場合も多いが、WL-CSP 技術に分類することとされている[1-9]。近年、Fan-Out 型はウエハ状態よりもさらに大きなパネル状態に並べることにより、より多くのチップをバッチ処理し、更なる低コスト化を図る研究もなされ、8 インチ、もしくは 12 インチウエハよりさらに大きな 24×18 インチのパネルを用いた例も報告されている[1-13]。しかしながら、ここまでに紹介したパッケージは、いずれの構造、製法も半導体素子が形成された表面に再配線や電極形成を付加するものであり、ウエハ、もしくはチップ表面への付加加工となり、撮像素子を対象としたものではない。

撮像素子の WL-CSP は Shellcase 社の技術により実用化され、各社の CIS に採用されている[1-14]。Shellcase 社の技術は、Fan-In 型であり、撮像素子ウエハと同一口径のガラスをウエハレベルで接合し、加工されるものと考えられる[1-14]。また、その構造は、画素表面マイクロレンズの集光効率を向上させるために、エアギャップが形成された中空構造となっている。

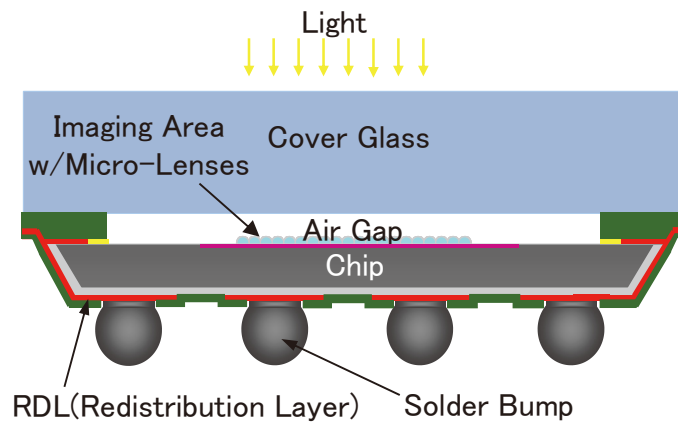


図1-6 撮像素子へのWL-CSP適用例(ShellCase社) [1-14]

撮像素子は、半導体素子が形成されるチップの表面に画素が併せて形成されており、パッケージング工程では画素前面を光学的に開口させて透光性を確保しなければならぬため、構造上、半導体素子表面と同一面に再配線や電極を形成することができないという制約がある。したがって撮像素子の WL-CSP 技術では、図 1-6 に示すように半導体素子の表面、すなわち画素の表面をカバーガラスなどの透光性部材で封止し、再配線や電極を半導体素子の裏面側に形成しなければならない。半導体素子表面から裏面へと再配線する手段としては、TSV\*やチップ側面配線があり[1-15]、チップを貫通するエッチング処理や、貫通孔に対する配線形成処理など、一般的な半導体素子のパッケージング工程と比べ、より複雑かつ高精度な工程を経る必要がある。つまり、半導体ウエハプロセスとほぼ同様の微細プロセスを用いているため、撮像素子はウエハレベルで処理されており、パッケージング工程終了後に個片化されるものである。

---

\*TSV とは、Through Silicon Via の略で、シリコン製半導体チップの内部を貫通する電極のことである。TSV を採用すれば、結線空間のためにパッケージを広げたりする必要がなくなり、パッケージのフットプリント（占有面積）を小さくできるという利点がある。

半導体技術の進化により、半導体の小型化と同時にウエハが大口径化された現状は[1-16]、量産規模の大きなコンシューマデバイスには適合するが、量産規模の小さな医療用デバイスでは、よりコンパクトな低侵襲デバイスを実現する手段としてのみ WL-CSP 技術を必要としており、大口径ウエハバッチプロセスによる大量生産の必要性は低い。また、内視鏡は診断の現場で用いられるため、搭載する撮像素子の特性を厳格に管理する必要がある、コンシューマ向けとは全く異なる厳しい規格を設定しなければならない。それゆえに、ウエハの歩留りが非常に低く、ウエハレベルでのパッケージはコストの点で不利になる。したがって、少量量産規模に適した低コスト製造プロセスの確立が課題である。

さらに、医療用デバイスに要求される品質を確保するためには、パッケージの構造や材料をカスタマイズしなければならない場合も多い。また、医療用デバイスは臨床現場への供給を開始した後、現場からの要請がある限りは継続してデバイスを供給し続けることがメーカーに求められる。しかしながら、近年、半導体業界の再編が著しく、量産規模の小さいデバイスに向けた個別プロセスを外部へと依存することは事業継続計画 (BCP: Business Continuity Plan) 上の大きなリスクでもある[1-17]。

これらの課題を解決し、リスクを低減する手段として注目されるのが Fan-Out 型の WL-CSP 技術である。Fan-Out 型の製法では個片化されたチップを並べる際に、KGD を量産規模に適した小口径ウエハに配列することが可能である。また、小口径ウエハプロセスであれば、既に保有している設備でもウエハ処理が可能となり、自社も含め業界内で幅広く対応することができるため、個別プロセスの構築も容易である。ところが、これまで Fan-out 型の撮像素子パッケージ技術も提案されてはいるものの[1-14]、TSV を用いない構造であるため、撮像素子チップの外側まで配線を引き出して電極を配置する必要があった。したがってパッケージが大型化してしまい、医療用デバイスに用いることができなかった。そこで、Fan-out 型の製法における特徴を活かしつつ、TSV を用いて Fan-in 型の構造とし、パッケージを小型化できれば、医療用デバイスの

量産規模に適し、かつ高い品質を兼ね備えた小型撮像素子パッケージが実現できるものと考えた。

## 1.2 本研究の目的

前述したような研究背景から、本研究は医療用デバイスの少量量産規模に適した低コストパッケージングプロセスの確立を目的に、小口径のハンドリングウエハ上にダイシングされた CMOS 撮像素子 (CIS: CMOS Image Sensor) チップをアレイ状に再配列する新しい WL-CSP 技術を開発し、試作パッケージの性能評価と医療用撮像モジュールへの応用について検討したものである。以下に検討項目を要約して示す。

(1) 医療用デバイス特有の要求品質に応じた撮像素子チップサイズパッケージの実現。

(2) チップ再配列 WL-CSP 技術を実現するパッケージングプロセスの構築、パッケージングプロセスにおけるウエハプロセスの導入、ウエハプロセスでの撮像素子性能劣化工程予測、対策、および性能評価。

(3) チップ再配列 WL-CSP 技術によりパッケージされた撮像素子パッケージを対象とした、医療用内視鏡への適用構造案提示。この実際の構造案を試作し、提案技術の妥当性・有用性も示す。

## 1.3 本論文の概要

第 1 章では、研究背景、本論文の目的、本論文の概要について述べる。

第 2 章では、内視鏡システムからの要求事項を解説し、CMOS 撮像素子の仕様、インターフェース回路、および撮像モジュールの設計について述べる。

第3章では、チップ再配列 WL-CSP 技術の概要を説明し、パッケージ構造、チップ再配列 WL-CSP プロセスの詳細、特徴について述べる。

第4章では、チップ再配列 WL-CSP 技術の諸課題と改善法として、まず、CIS チップ再配列によるパッケージングプロセスでのウエハ反り抑制について述べる。有限要素法による応力解析を用いてチップ再配列工程を適正化し、チップが再配列された状態でのウエハの反りを低減する手法を提案する。また、パッケージングプロセスへと導入したウエハプロセスにおける CIS 性能劣化工程を予測、対策し、性能を評価する。CIS の性能劣化が懸念される熱プロセス、薄化プロセス、およびプラズマプロセスによるダメージ評価を行い、CIS の性能を確保することが可能な条件、CIS の設計制約を見極め、パッケージングプロセスへと反映する。

第5章では、WL-CSP 型 CIS の特徴を活かした、新たな医療用小型撮像モジュールを提案し、本研究にて提案した新たなパッケージングプロセスによる WL-CSP 型 CIS の撮像特性評価結果、内視鏡への搭載構成による CIS 撮像モジュールの動作試験結果、および実使用環境を想定した CIS 撮像モジュールの耐性試験結果を示し、提案した構造、方法の妥当性・有用性も検証する。

最後に、第6章では各章で得られた結果を総括する。



## 1.4 第1章 参考文献

- [1-1] Koichi Mizobuchi: “Challenges and Opportunities in Medical Endoscopic Imaging”, Image Sensor 2012 Session1.1.2, London, 2012.
- [1-2] 中村 力: “各種カメラ 内視鏡・硬性鏡”, 電子情報通信学会『知識ベース』, pp.92-95, 2011.
- [1-3] 鈴木明: “内視鏡分野における最新技術”, 特技懇誌 no.271, pp.23-29, 2013.
- [1-4] オリンパス社 Web サイト <https://www.olympus.co.jp>, オリンパスの医療事業, pp.25(2016.11.04), 2016.
- [1-5] 後野和弘: “NBI のイメージング理論:臨床消化器内科 2006,” 臨床消化器内科, Vol.21, No.1, pp.33-38, 2006.
- [1-6] 日本消化器内視鏡学会, 「消化器内視鏡ハンドブック」, 日本メディカルセンター, 2012.
- [1-7] 広谷 純: 「CCD/CMOS イメージセンサ 高精細・高画質化技術と最新応用」, 技術情報協会, pp.219-232, 2008.
- [1-8] 小谷卓也: “電子技術が拓くカプセル内視鏡の進化”, 日経エレクトロニクス 2008年12月29日, pp.61-69, 2008.
- [1-9] ITRS (THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS)国際半導体技術ロードマップ, 2009.
- [1-10] 浅田敏明, 天野俊昭, 日笠和人, 菅原賢一, 大島宏文, 小野義視: “ウエハレベルチップサイズパッケージ(WL-CSP)の開発”, 古河電工時報 第119号, pp.13-17, 2007.
- [1-11] Andrea Moglia, Arianna Menciacchi, and Paolo Dario : “Recent Patents on Wireless Capsule Endoscopy,” Recent Patents on Biomedical Engineering 2008, Vol.1, No.1, pp.24-33, 2008.
- [1-12] 伊藤秀雄: “カプセル内視鏡の現状と将来,” 精密工学会誌 Vol.74, No.11, pp. 1152-1155, 2008.
- [1-13] T. Braun, K.-F. Becker, S. Voges, J. Bauer, R. Kahle, V. Bader, T. Thomas, R. Aschenbrenner, K.-D. Lang: “24”x18” Fan-out Panel Level Packing,” Proceedings of ECTC 2014, pp.940-946, 2014.
- [1-14] R. Fontaine, “Trends in Consumer CMOS Image Sensor Manufacturing”, Proceedings of 2009 International Image Sensor Workshop, pp.91-94, 2009.
- [1-15] SHELLCASE LTD, BADEHI AVNER, “INTEGRATED CIRCUIT DEVICE”, WO Patent WO99/40624, 1999.
- [1-16] Yutaka Katano : “Market and Technology Trends for 2.5/3D and WLP,” Semicon Japan 2013.12.6., Yole Developpement Japan, 2013.
- [1-17] 電子情報技術産業協会, 「ICガイドブック(2009年版)」, 電子情報技術産業協会, 2009.

## 第 2 章

### 内視鏡システムからの要求事項

#### 2.1 内視鏡システム概要

図 2-1 は、医療用内視鏡のシステムブロック図である。内視鏡先端に搭載される CMOS 型、もしくは CCD 型の撮像素子からの出力信号が、AFE (Analog Front End) にて前処理され、その後、映像信号処理回路へと伝送される。映像信号処理回路からは、各種映像信号フォーマットに準じた映像信号が出力されモニターへと表示される。このとき、撮像素子、および撮像素子から映像信号処理回路までの回路ブロックの一部は、内視鏡の挿入部先端に設けられている。内視鏡先端には撮像素子の他に LED など、体腔内を照明するデバイスや、体腔内の病理診断や処置を行うための処置具チャンネルが設けられており、内視鏡先端の細径化には、それら構成要素の小型化が要求される。

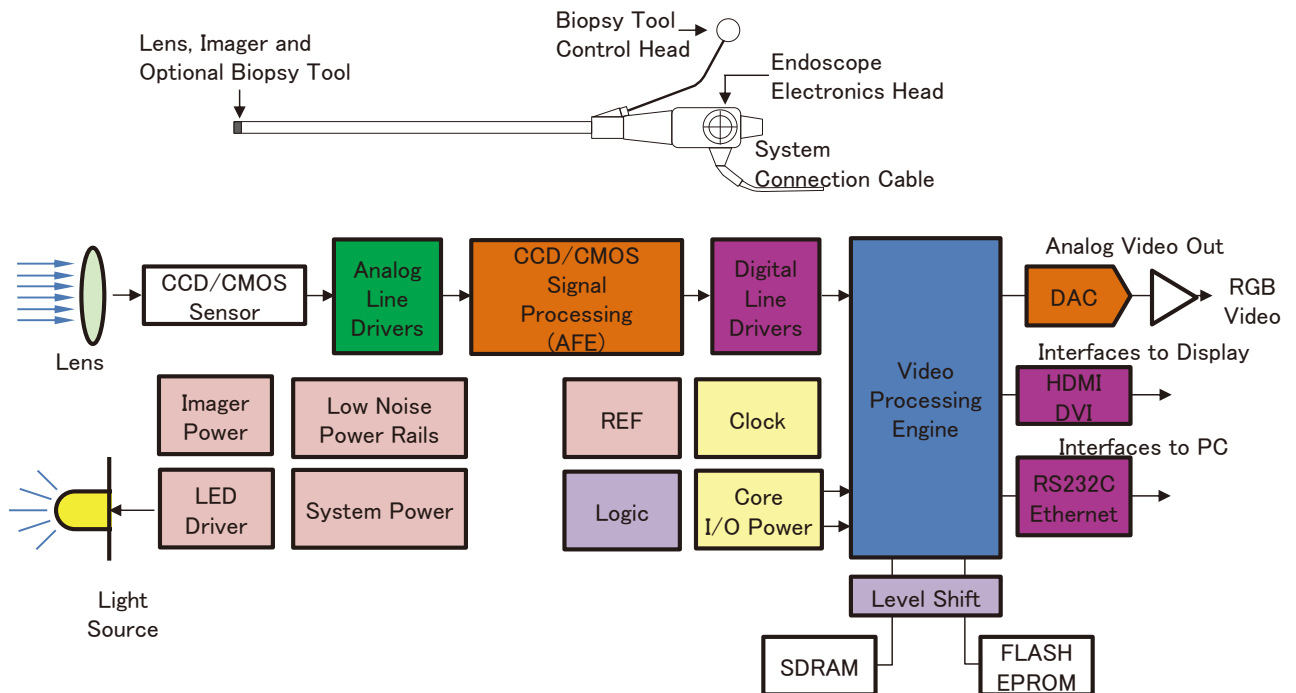


図2-1 医療用内視鏡システムブロック図[2-1]

一方、内視鏡の挿入部は、数 m 以上にわたる細長い管であり、微細径の電線で微弱な映像出力信号を長い距離伝送しなければならない、伝送距離によっては信号伝送回路を設けなければならない場合もある。挿入部内を通る電線の数、すなわち撮像素子の外部接続端子数を削減して、細径化を実現する必要もある。撮像素子の外部接続端子数の削減により、撮像素子そのものも小型化される。

したがって、まず内視鏡先端に構成する撮像素子は、信号伝送回路を含む CMOS イメージセンサ1チップとする。また、撮像素子の外部接続端子数を削減し、最小限の I/O 構成とする必要がある。

## 2.2 CMOS 撮像素子の仕様

本研究においては、図 2-2 に示すように、3 トランジスタ (3T) 型の画素構造を用いている。3T 型の画素は CMOS 型の撮像素子が開発された当初から用いられている基本的な画素構造であり、近年では 4T 型も広く用いられるようになっているが、3T 型はより小さな画素サイズを実現できるという利点がある[2-2]。

続いて画素の動作について述べる。まず、スイッチ M1 をリセットすることにより、フォトダイオードへの電荷の蓄積が開始される。フォトダイオードへと入射する光量に応じて電荷が蓄積される。蓄積された電荷はソースフォロアとして動作するスイッチ M2 により電圧に変換、増幅され読み出される。このとき読み出された出力電圧は、画素

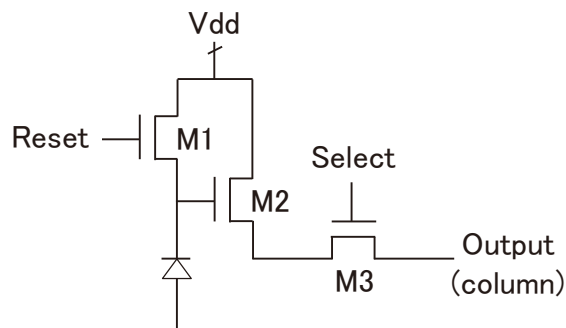


図2-2 3T画素構造

選択スイッチ M3 により行ごとに垂直信号線へと転送される。

スイッチ M1, M2, および M3 は MOS 型トランジスタからなり, フォトダイオードは MOS 型トランジスタに隣接して形成される p-n 接合構造からなる。

画素アレイは, 前述した3T 型の画素が図 2-3 に示したように行方向, 列方向にそれぞれ所定の数, アレイ状に配列されており, アレイ端部にフォトダイオードへの光の入射が遮られたダミー画素としてオプティカルブラック部が形成され, オプティカルブラック部からの出力電圧が黒レベルの基準信号として用いられる. なお, 画素数については法令上公開しないこととされており, 本論文でも記載できない. 各画素の表面にはベイヤー配列[2-2]のオンチップカラーフィルタが形成され, 入射光の色情報を得ることができる. オンチップカラーフィルタの上層にはオンチップマイクロレンズが形成され, 各画素の開口率を上げ, 光の集光効率を高めている[2-3]. オンチップカラーフィルタ, オンチップマイクロレンズは, いずれも有機樹脂材料からなる. 図 2-4(a)に, 画素アレ

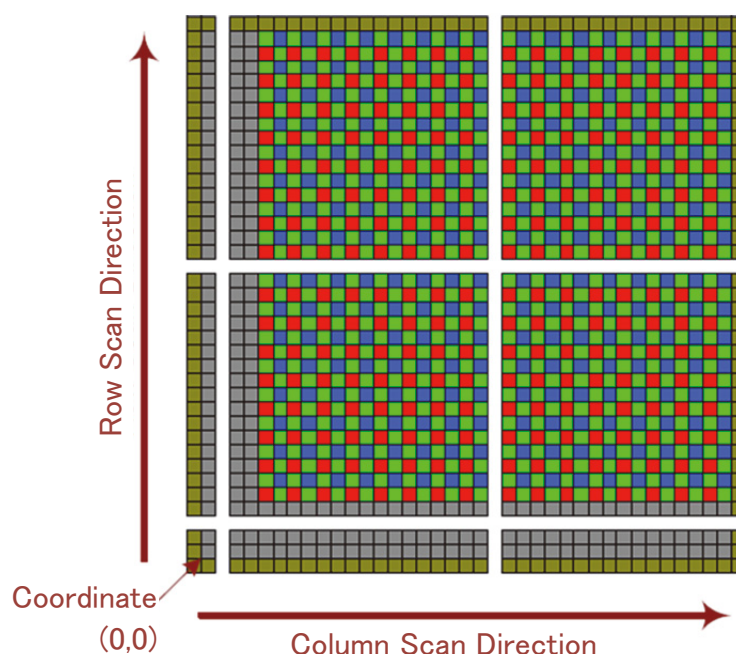


図2-3 画素アレイ

イ周辺の回路を含む CMOS 撮像素子のレイアウトを、図 2-4(b)には、試作した CMOS 撮像素子の外観を示し、以下、各回路について解説する。

図 2-5 は、CMOS 撮像素子の回路ブロック図である。行選択回路は、アレイ状に配列された画素の行アドレス指定し制御を行う回路であり、電荷の蓄積を開始するため、画素をリセットした後の信号読み出しのための画素を選択する。これは、同じ行におけるすべての画素を行ごと選択する。

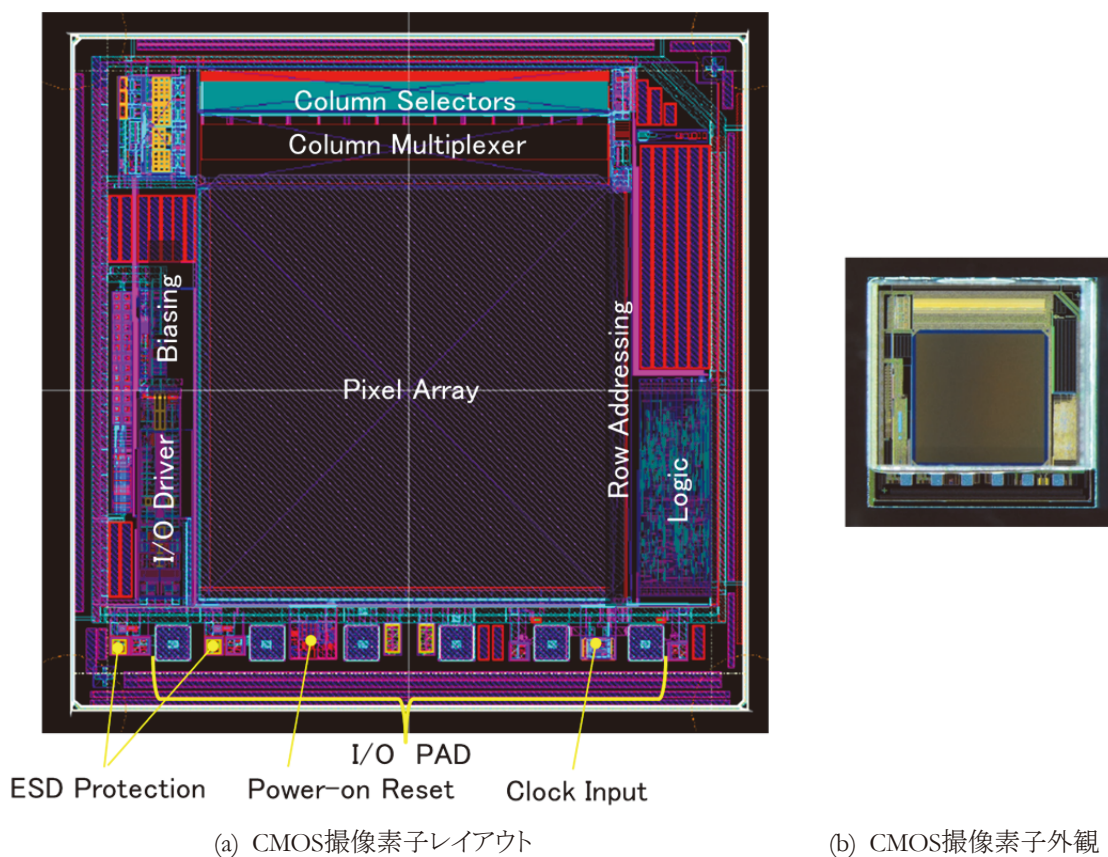


図2-4 CMOS撮像素子レイアウトおよび外観

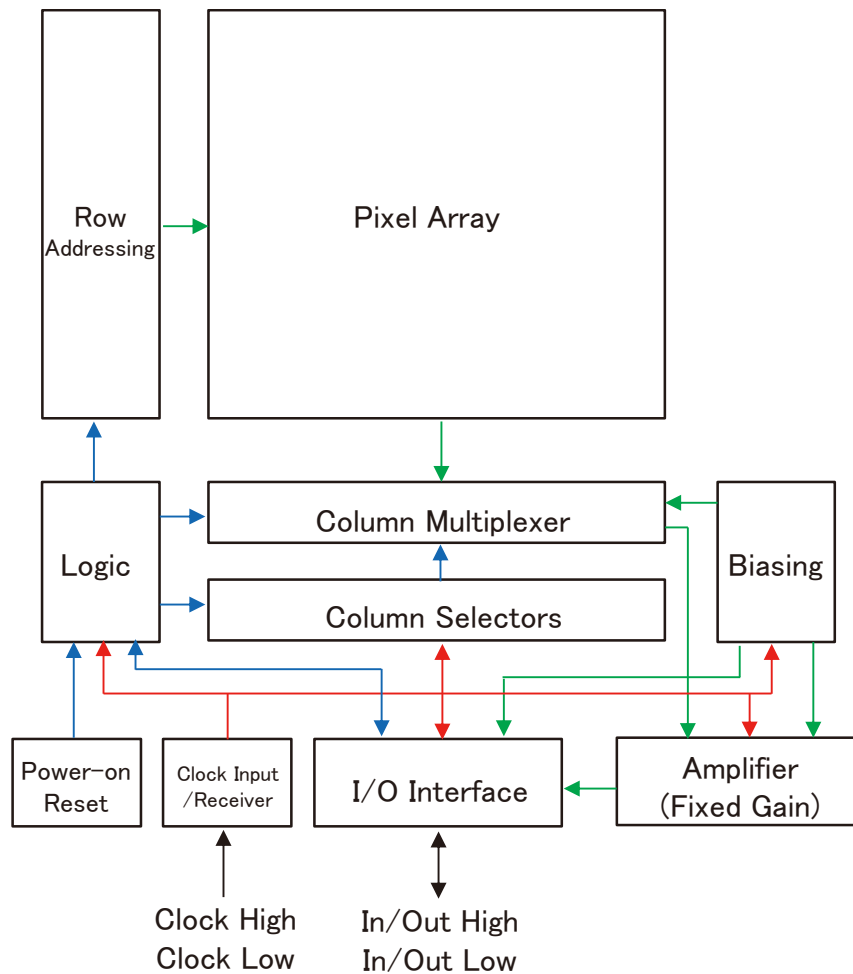


図2-5 回路ブロック図

アレイ状に配列された画素の出力信号を読み出すために、すべての行が順次、列回路(マルチプレクサ)に保管される。垂直信号線ごとに設けられている列回路では、相関二重サンプリング法にて出力電圧から画素ノイズ信号を減算することにより固定パターンノイズが除去され、出力が一時的に保管される。具体的な動作としては、画素列のアナログデータがサンプリングされ、コンデンサに保持される。

列選択回路(シフトレジスタ)は、列回路に保管されたアナログ信号を順次選択して読み出す。読み出し方向、読み出し開始位置、及び読み出し間隔などを設定することにより、任意の画素出力を選択して読み出すこともできる。

読み出されたアナログ信号は、増幅器により、アナログ信号を増幅され、撮像素子とシステム間の伝送ライン上の信号振幅を設定する。

入出力インターフェース(I/O)は、伝送ラインへとアナログ差動画像信号を出力する。また、画像出力に加えて、同期信号を送信するとともに、特定の行信号の間に、このインタフェースは入力インターフェースとしても動作する。I/O インタフェースブロックは、論理回路によって制御される。

バイアス回路は、チップ内のアナログ回路へと基準電圧を印加し電力を供給する。バイアス回路からの電力を必要とするアナログ回路は、マルチプレクサ、アンプ、および I/O インタフェースであり、撮像素子起動の間はゼロバイアスが求められる。起動シーケンスが終了した後に、各回路へと所望のバイアスを印加する。

論理(ロジック)回路により、チップ内のすべての回路が制御され、撮像動作が行われる。入出力インターフェースもロジック回路によって制御され、フレームレートや露光時間を動的に制御する。パワーオンリセット回路は、電源投入後のロジック回路を初期化するために動作し、その後、ロジックが作動した後、アナログ回路が作動し、撮像動作のための準備が整う。なお、ロジックは、3.3 V、23.4 MHz で動作する。

パワーオンリセット回路へと電源電圧を確保するのに十分な電圧(本チップでは 3.3 V)が供給されるとパワーオンリセット部が検出し、リセット動作の後に撮像素子の動作が開始される。

クロック入力回路は、撮像素子の動作に必要なクロック信号を入力するブロックである。クロックは LVDS 方式の差動信号が供給される。100  $\Omega$  の終端抵抗が端子に設けられている。

### 2.3 CMOS 撮像素子のインターフェース回路

図 2-6 は、本研究で用いる撮像素子のインターフェース回路を示す。撮像素子には6つの外部接続端子が設けられており、それぞれ正負クロック入力端子が一对、電源、グランド端子、および正負出力端子が一对からなる。正負クロック端子には、外部から 23.4 MHz の動作クロックが供給され、撮像素子の動作周波数を設定する。電源端子には、3.3 V の動作電圧が供給される。また、正負の出力端子は、先に述べたアナログの差動出力により画像を伝送するために用いられる。これら外部端子と接続される電線が、内視鏡先端から挿入部内を経てビデオプロセッサに接続され、電力やクロック信号の供給、出力信号の伝送を行うことになる。内視鏡は、挿入部内を通る電線の数、すなわち撮像素子の外部接続端子数が少ないほど、細径化が実現しやすい。

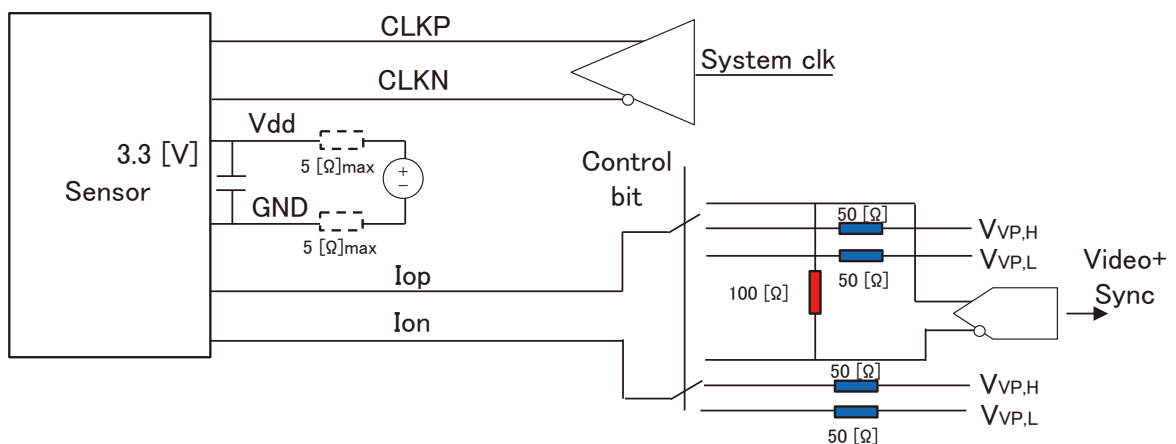


図2-6 インターフェース回路



いため、本研究では、供給する電源を 3.3 V 単一とし、また、外部制御端子と出力端子を兼ねることにより、外部接続端子数を 6 本まで削減している。

## 2.4 撮像モジュールの設計

撮像素子のパッケージは、セラミックなどの材質からなり凹部を有する基材に撮像素子チップを収納し、基材表面へとカバーガラスを被せて撮像素子チップ全体を封止するものが広く用いられている(図 2-7)。この構造のパッケージでは、撮像素子チップからワイヤボンディングなどの技術を用いて撮像素子チップの外側に配線を引き出すため、パッケージの投影面積が大きい。この構造のパッケージを図 2-8 に示したように内視鏡先端で挿入軸と垂直方向に配置すると、内視鏡先端部外径が非常に大きくなってしまふ。そこで図 2-9 に示したように、パッケージを挿入軸と平行に配置する内視鏡も考案されているが、この場合は内視鏡先端硬質部が長くなってしまい、また撮像光学系に光路変換プリズムを用い、光線を折り曲げて撮像素子へと結像させる必要があり、撮像モジュールの組立てが非常に難しい。

図 2-10 は WL-CSP 型の撮像素子パッケージを内視鏡先端に配置した例であるが、パッケージの投影面積が小さく内視鏡先端部外径を小さくするのに有利であることがわかる。

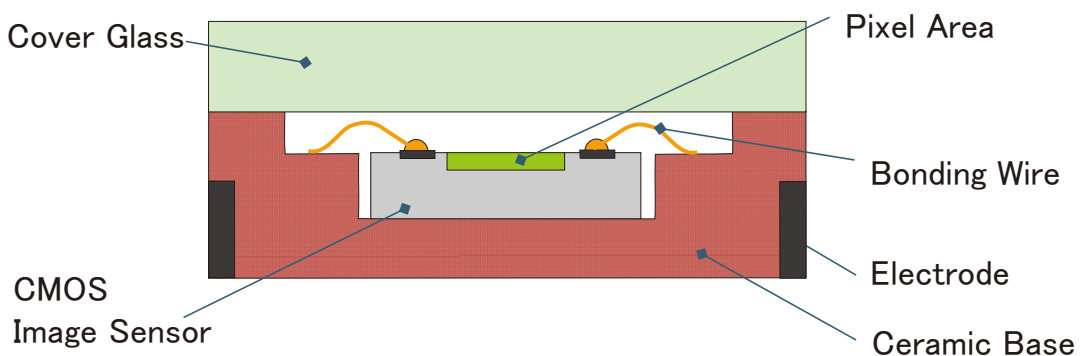


図2-7 一般的な撮像素子パッケージ

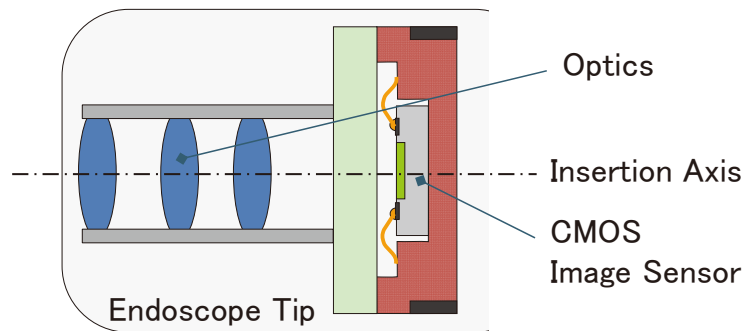


図2-8 一般的な撮像素子パッケージを用いた内視鏡先端の例(挿入軸垂直型)

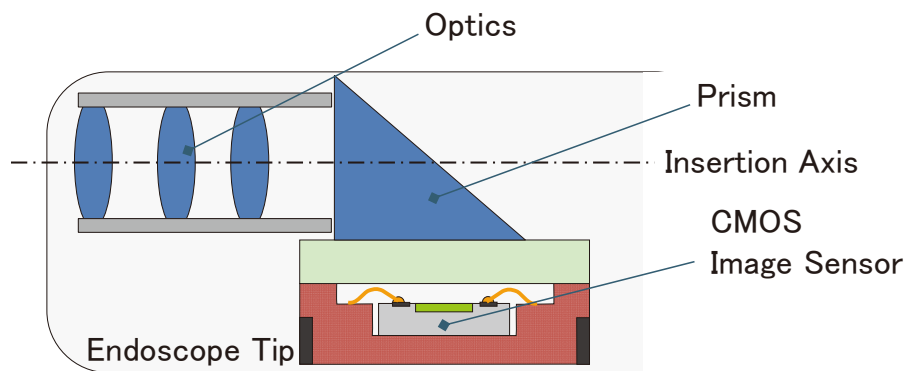


図2-9 一般的な撮像素子パッケージを用いた内視鏡先端の例(挿入軸平行型)

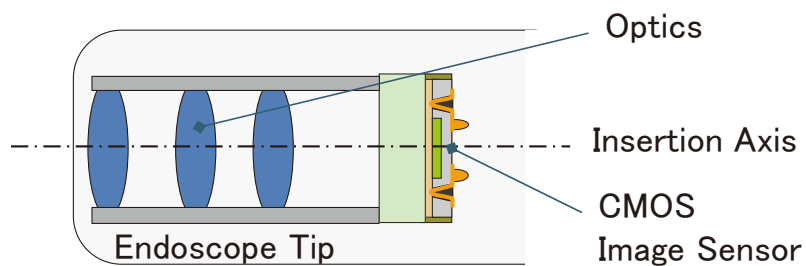


図2-10 WL-CSP型の撮像素子パッケージを用いた内視鏡先端の例

図 2-11 は一般的な撮像素子パッケージを正面から見た概念図であるが、パッケージ内では撮像素子がワイヤボンディングにてセラミックパッケージに接続され、少なくとも  $100\ \mu\text{m}$  以上の接続部寸法が必要となる。内視鏡の先端に配置するには、撮像素

子のチップサイズに加えてこの接続部寸法を見込む必要があり、その分、先端部外径が大型化してしまう。内視鏡先端径は、細いもので 5 mm 程度であり、0.1 mm 単位での細径化が求められているため、接続部寸法の占める割合は高い。

図 2-12 には本研究で実現を目指す WL-CSP 型の撮像素子パッケージを用いた撮像モジュールの構造を示す。図 2-12(a)は、内視鏡先端の撮像モジュールを、従来型と WL-CSP 型とで比較した断面図であり、WL-CSP 型は  $\phi 5$  mm と限られたスペースに収まり細径化に有利であることが分かる。図 2-12(b)は、撮像モジュール後方斜視図であり、WL-CSP 型撮像素子の後方部で回路基板が側方にはみ出ることなく接続されている。図 2-12(c)は断面図であり、WL-CSP 型撮像素子の前後に、撮像光学系、および周辺部品を実装した回路基板を設け、撮像光学系のレンズは、それぞれ金属製の枠部材で保持する。回路基板は、フレキシブル配線板を用い[2-4]、WL-CSP 型撮像素子裏面の電極に接続して後方に折り曲げる。後方に折り曲げられたフレキシブル配線板には、信号ケーブルを接続する。撮像素子パッケージの投影面積内に撮像光学系、回路基板、信号ケーブルなど、他の構成要素が収まる構成となっており、医療用デバイス特有の要求品質である内視鏡先端部外径を小さくすることが可能である。

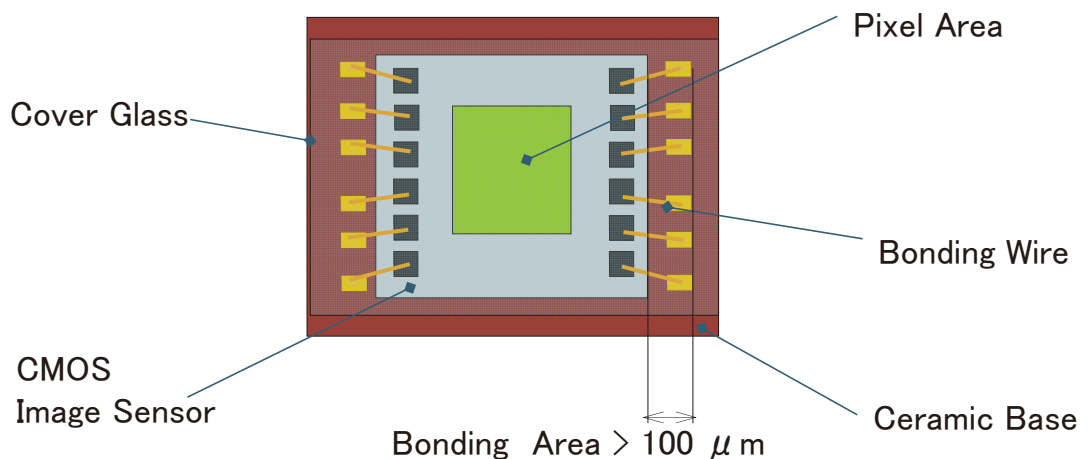
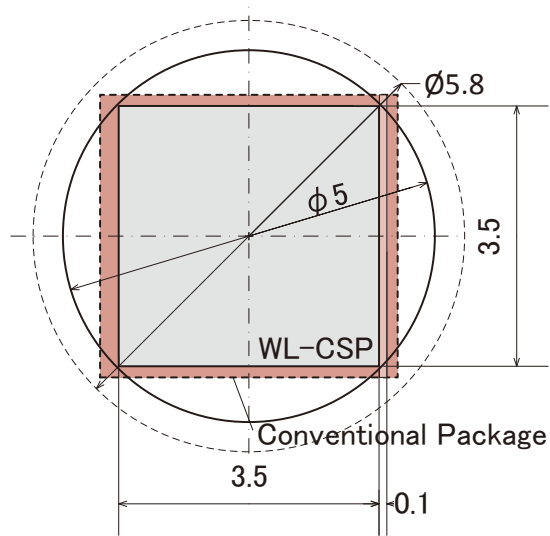
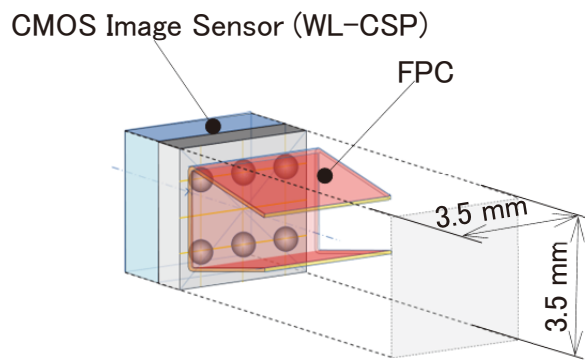


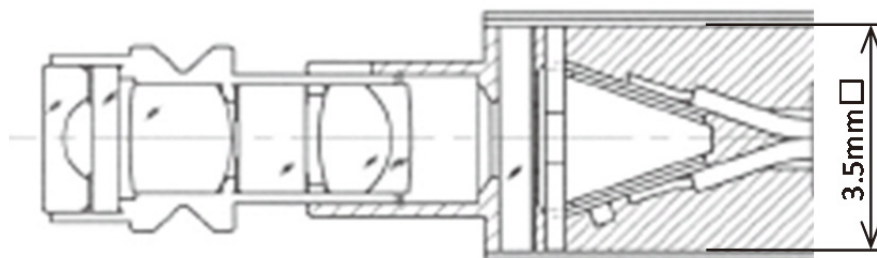
図2-11 一般的な撮像素子パッケージ(正面図)



(a) 内視鏡先端の撮像モジュール 従来型とWL-CSPの比較



(b) 撮像モジュール後方斜視図



(c) 断面図

図2-12 WL-CSP型CMOS撮像素子を応用した医療用撮像モジュール

## 2.5 第2章 参考文献

- [2-1] Texas Instruments 社 Web サイト <http://www.tij.co.jp/>, Endoscopes Quick Reference Guide(2016.11.04), 2016.
- [2-2] 相澤清晴, 浜本隆之, 「CMOS イメージセンサ」, コロナ社, 2012.
- [2-3] 電子情報技術産業協会, 「IC ガイドブック(2009年版)」, 電子情報技術産業協会, 2009.
- [2-4] 武田義章, 「高密度実装に於る基板技術」, 総合技術センター, 1987.

## 第 3 章

### チップ再配列 WL-CSP 技術の概要と パッケージおよびプロセス設計

#### 3.1 パッケージ基本構造

図 3-1 は本研究で実現を目指すパッケージ構造を示したものである。撮像素子チップは複数の画素マトリクスからなる撮像部を有するため、一般的な半導体デバイスの WL-CSP とは異なり、撮像部表面をカバーガラスなどで覆い、外部環境から撮像部を保護・封止する必要がある。しかしながら、画素マトリクスの各画素には、色情報を得るためのオンチップカラーフィルタや、光をより効率的に集光するためのマイクロレンズが画素ごとに形成されており、それらは一般的に有機樹脂からなるため、温度や湿度など雰囲気の影響を大きく受け[3-1]、パッケージングプロセスの制約となる。加えて、実使用場面においてオンチップカラーフィルタやマイクロレンズが劣化することを防ぐ必要があるため、カバーガラスによって撮像部を覆い、有機樹脂が外部環境により劣化しないよう封止する必要がある[3-1]。なお、画素ごとに形成されるマイクロレンズ

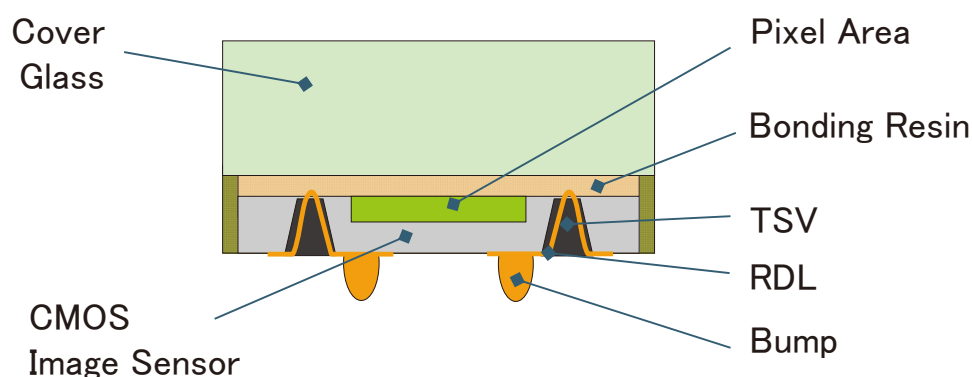


図3-1 最終目標とするCMOS撮像素子WL-CSPの構造

での集光効率を考慮し、撮像部表面にエアギャップを形成することが一般的であるが [3-2]、本研究においては、医療用デバイス特有の要求品質である、生体内の高湿度環境下におけるエアギャップの結露による画像不良を回避することを目的として、撮像部表面にエアギャップは形成せず、撮像素子チップ表面全面にカバーガラスの接合層を形成し、撮像部表面を封止する構造としている。撮像素子チップ表面の配線を、裏面へと再配線する手段としては TSV を用いており、撮像素子チップの投影面積内で TSV を経て再配線 (Re-Distribution Layer: RDL) や接続電極 (Bump) を CIS の裏面側に形成する構造である。

### 3.2 パッケージの設計

本研究では、前章で解説した仕様の CIS ウエハを CIS ベンダ、もしくはウエハファウンドリへと製造委託し、標準的なウエハ製造プロセスにて製造されたウエハを自社でウエハをパッケージングすることを想定したものである。そこで、本研究では、Via-Last と呼ばれるウエハプロセスを終えた半導体素子へと TSV を形成する方式、構造 [3-3] を採用し、本研究で開発するパッケージング技術により内視鏡などの特殊な使用環境、製品仕様に対応することを目標とする。

したがって、パッケージング技術に関連する半導体素子構造、および材料特性を予め解析した上で、パッケージの構造やプロセスを設計する必要がある。

#### 3.2.1 パッド構造

本研究で用いる CIS の外部接続端子の構造(パッド構造)を図 3-2 に示す. パッド

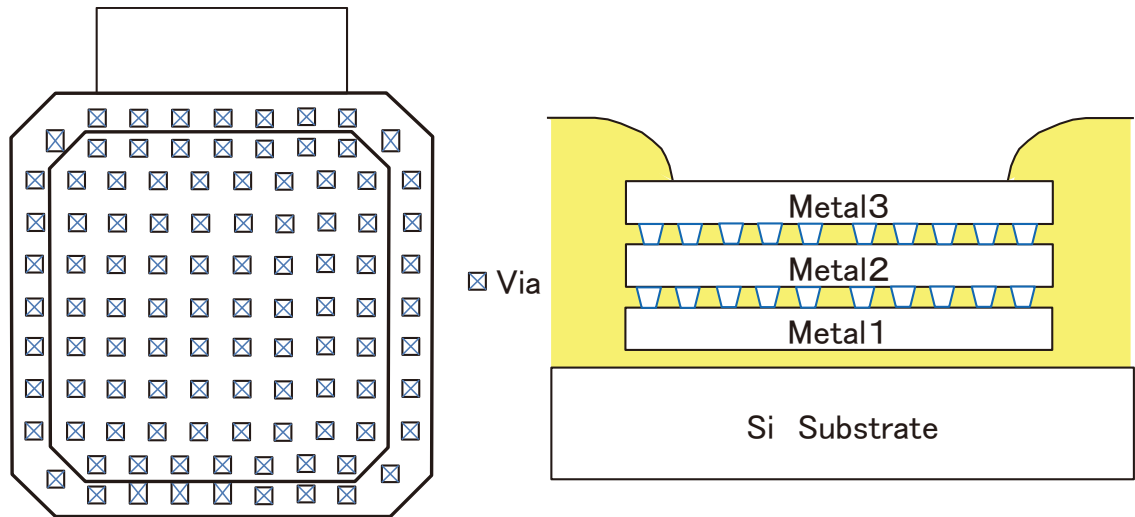


図3-2 外部接続端子の構造

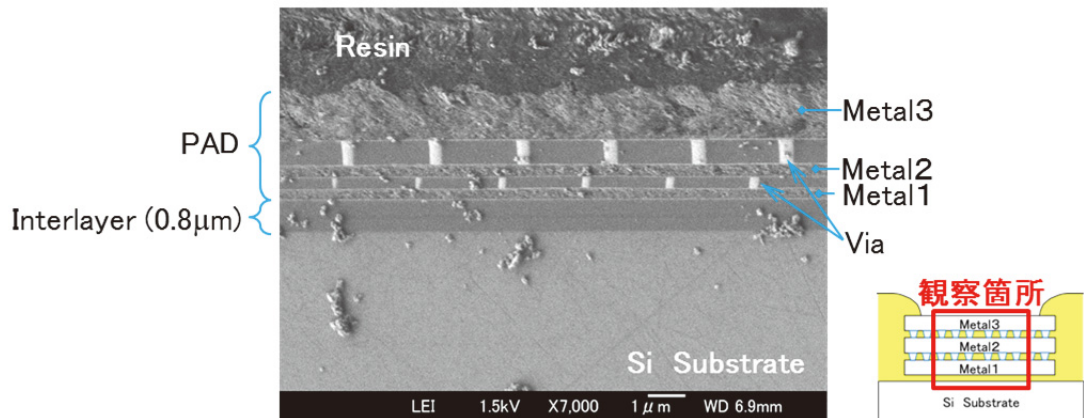


図3-3 外部接続端子断面の観察画像



は CIS ベンダの標準構造であり, CIS の配線設計に対応した三層の金属層が積層され, 各層がビアにて接続されている. TSV はシリコン基板を下面側から貫通し, 最下層の金属層 (Metal1) へと到達させる. このとき, CIS ベンダからは一般的に金属層の主たる材料が開示されるが, 詳細な金属膜の積層構成や層間膜の材料については非開示とされることが多い. TSV の設計では, これらの構成や材料を解析した上で, 構造や加工条件を設定する必要があるため, 電子顕微鏡を用いた断面観察によりパッド断面の構成を, また, EDX (Energy Dispersive X-ray Spectroscopy) 分析によりパッドに使用されている材料を予め解析した.

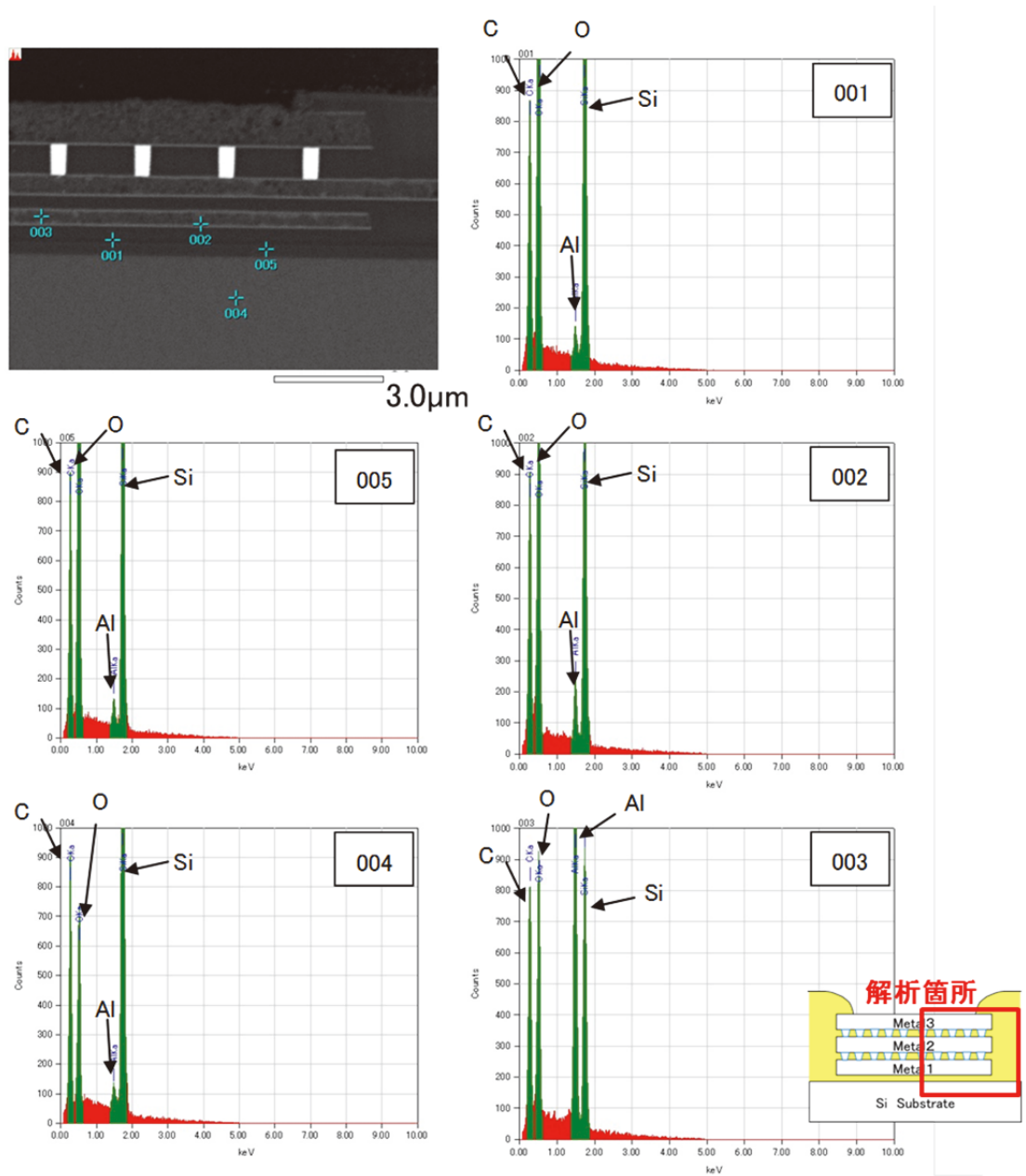


図3-4 パッド断面のEDXスペクトル分析結果

図 3-3 に電子顕微鏡による撮像素子のパッド断面の観察像を示す。パッドは金属層が金属ビアによって電気接続された構造となっている。また、ビアの接続面には極薄く別な金属層が存在していることも分かる。また、この画像から基板表面から最下層のパッド裏面までの層間膜の厚みを計測すると約  $0.8 \mu\text{m}$  の厚さであることが明らかとなった。

ついで図 3-4 に、パッド断面の主要ポイントごとの EDX スペクトル分析結果を、図 3-5 に元素マッピング像を示す。メタル層は、Al-Si であり、その両面が極薄い Ti によって挟まれた構造となっている。また、メタル層間は複数の W ビアによって電氣的に接続されている。シリコン基板表面から TSV が到達する最下層メタル面に形成されている層間膜、および各メタル層の層間膜はシリコン酸化膜 ( $\text{SiO}_2$ ) である。シリコン基板表面から TSV が到達する最下層メタル面に形成されている層間膜の厚みは約  $0.8 \mu\text{m}$  であったので、TSV 形成の際には、シリコン基板を裏面側から貫通した後、この  $0.8 \mu\text{m}$  のシリコン酸化膜からなる層間膜を除去しコンタクトビアホールを形成する必要がある。

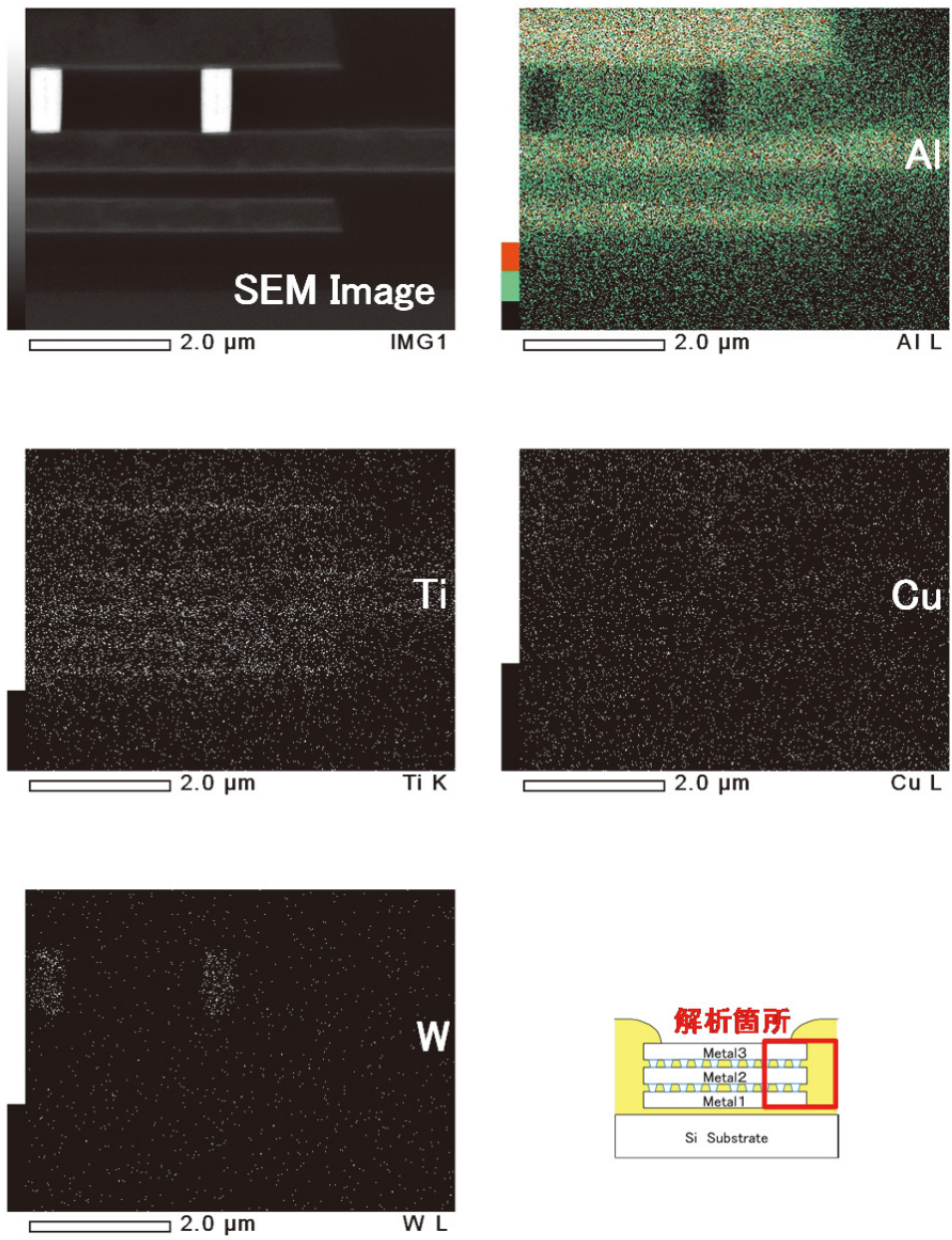


図3-5 パッド断面のEDXマッピング像

### 3.2.2 TSV の設計

撮像素子の WL-CSP 技術では、半導体素子の表面、すなわち画素の表面をカバーガラスなどの透光性部材で封止し、再配線や電極を半導体素子の裏面側に形成しなければならないため、撮像素子チップ表面の配線を、裏面へと再配線する手段が必要不可欠な構造である。本研究では、TSV を用いており、図 3-6 に示すように、シリコン基板を裏面側から貫通し、最下層の金属層 (Metal1) へと到達する構成とした。

TSV 開口部寸法(テーパ形状の開口側)は  $140\ \mu\text{m}$ □であり、このときシリコン基板の貫通加工は、3.3.5 にて述べるように、結晶異方性エッチングを用いることにより、シリコン結晶の $\langle 111 \rangle$ 面からなる  $70.6^\circ$  のテーパ形状が形成されるため[3-4]、パッド電極側で  $70\ \mu\text{m}$ □となる。したがって TSV 内のコンタクトビアホールサイズは  $50\ \mu\text{m}$ □とした。これは TSV チェーンを用いたテストウエハによる歩留りや、フォトリソグラフィ工程での位置合わせ誤差より設定した。撮像素子表面に形成するパッドサイズは  $120\ \mu\text{m}$ □であり、シリコン基板厚の加工分布やフォトリソグラフィ工程での位置合わせ誤差を考慮して設定した。結晶異方性エッチングによるテーパ形状により、TSV 内の絶縁膜や金属膜の成膜、およびそれらのフォトリソグラフィが確実にできるという利点がある。

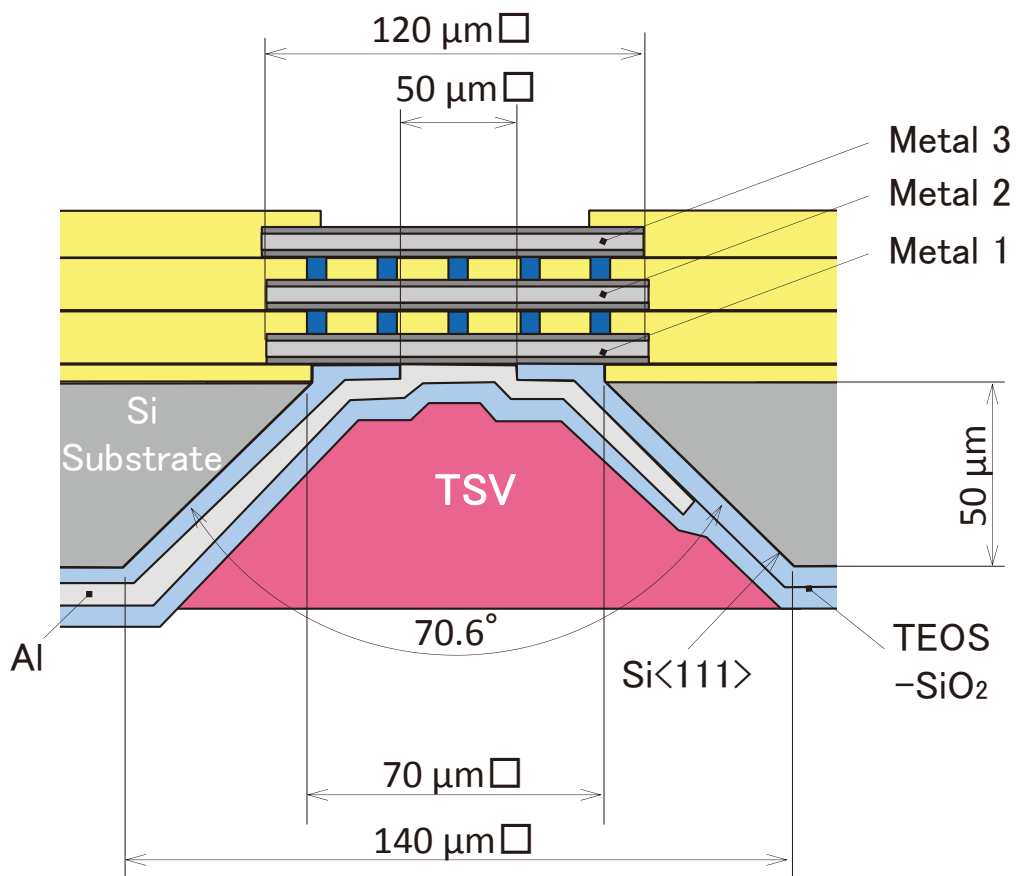
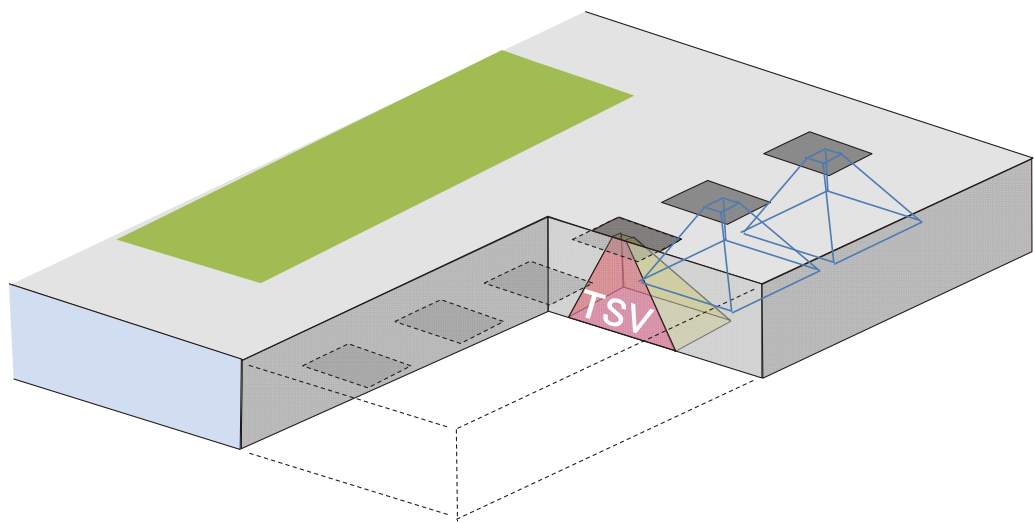


図3-6 撮像素子へと形成するTSVの構造(図中ピンク色部分は空間)

### 3.2.3 パッケージの設計ルール

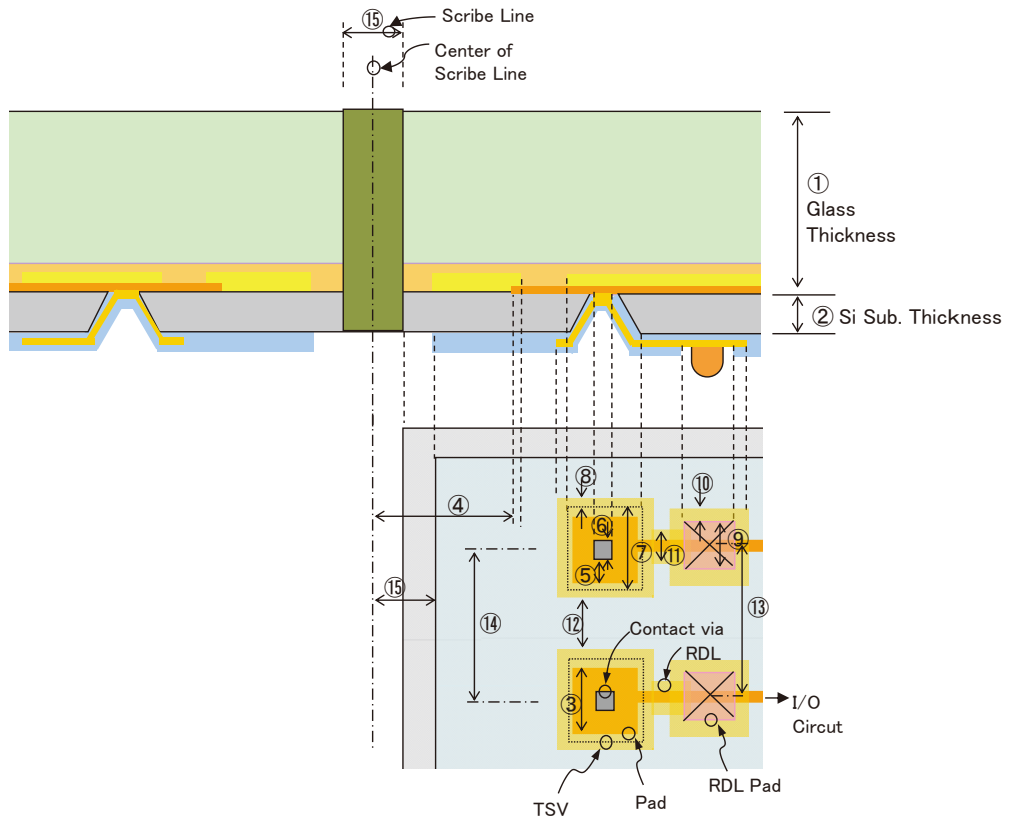


図3-7 WL-CSP設計ルール

表3-1 WL-CSP設計ルール

A.表面パターン			単位: $\mu\text{m}$
項目	No.	typ	補足
ガラス厚さ	①	500	
シリコン基板厚さ	②	50	
貫通孔上部パッドサイズ	③	120	
ダイシングセンター/表面配線間距離	④	200	
パッドピッチ	⑭	210	$⑧ \times 2 + ⑦ + ⑫$

B.表面パターン/裏面パターン			補足
項目	No.	typ	補足
貫通孔上部パッド/貫通孔ビアマージン	⑤	35	$(③ - ⑥) / 2$

C.裏面パターン			補足
項目	No.	typ	補足
貫通孔ビアサイズ	⑥	50	
TSV開口サイズ	⑦	140	裏面基板側開口サイズ
		70	表面電極側開口サイズ
TSV開口/裏面配線マージン	⑧	20	
裏面パンプ用パッド開口サイズ	⑨	80	
パンプパッド開口/裏面配線マージン	⑩	20	
裏面配線幅	⑪	30	
裏面配線スペース	⑫	30	
パンプパッドピッチ	⑬	150	$⑩ \times 2 + ⑨ + ⑫$
スクライプ領域幅(片側)	⑮	150	ダイシングブレード幅: Typ.150 $\mu\text{m}$

図 3-7, および表 3-1 に, TSV を含む本研究の WL-CSP の設計ルールを示す. 裏面側に形成する配線のライン/スペースは, 最小で 30 / 30  $\mu\text{m}$  とし, TSV 開口から裏面配線の間隔は, 最小で 20  $\mu\text{m}$  とした. フォトリソグラフィ工程での合わせ誤差や, シリコンウェットエッチングによるサイドエッチング量[3-5]を考慮して設定した. また, ダイシング領域は 150  $\mu\text{m}$  とした. ダイシングブレード幅や再配列工程での接合剤広がり を考慮したものであり, 再配列時のチップ間隙となる.

なお, これらの設計ルールから, 最小 TSV ピッチ (TSV 中心間隔) を計算すると, 210  $\mu\text{m}$  となる. 本研究で用いる CIS は, チップサイズが 3.5 mm $\square$ , 外部接続端子数, すなわち必要な TSV 本数は 2.3 にて述べたように 6 本であるため, 設計ルールの最小値からは若干余裕をもった設計が可能である.

### 3.2.4 カバーガラス-撮像素子接合樹脂の選定

本研究の WL-CSP では, 撮像部全面をカバーガラスで覆い, 外部環境から撮像部を保護・封止する必要がある. また, 撮像部の前面に接合層が形成されるため, 光学特性と信頼性を両立し, また, 半導体ウエハプロセスにも適合する必要がある. 表 3-2 は, 各種樹脂材料の特性一覧であるが, カバーガラス-撮像素子接合樹脂としては, エポキシ樹脂, シリコーン樹脂, ポリイミド, BCB の中から, 全ての特性に優れた BCB を選択した. BCB は半導体の絶縁膜材料として開発された樹脂であるが[3-6], MEMS デバイスなどにも広く用いられており, 半導体技術との適合性が高い.

表3-2 各種樹脂材料の特性一覧

	Process		Optical Characteristic				Reliability					
	Cure		Transmittance		Refractive Index		Moisture Absorption		Heat Resistance		Chemical Resistance	
Epoxy Resin	Thermal /UV	◎	>90%	◎	1.47-1.56	◎	2.3wt%	△	Tg: 60-180°C	×	Part of Acid and Alkali	△
Silicone Resin	Thermal /UV	◎	≒90%	○	1.53-1.58	◎	1wt%	○	Tg: 70-272°C	×	Part of Acid and Alkali	△
Polyimide	Thermal	△	>90%	◎	1.68	○	2-3wt%	△	Tg: 300-370°C	◎	Almost all Acid	○
BCB	Thermal	○	>90%	◎	1.55	◎	0.14wt%	◎	Tg: 350°C	◎	Almost all Acid and Alkali	◎



### 3.3 TSV 形成プロセス設計

図 3-8 に、TSV 形成のプロセスフローの詳細を示す。

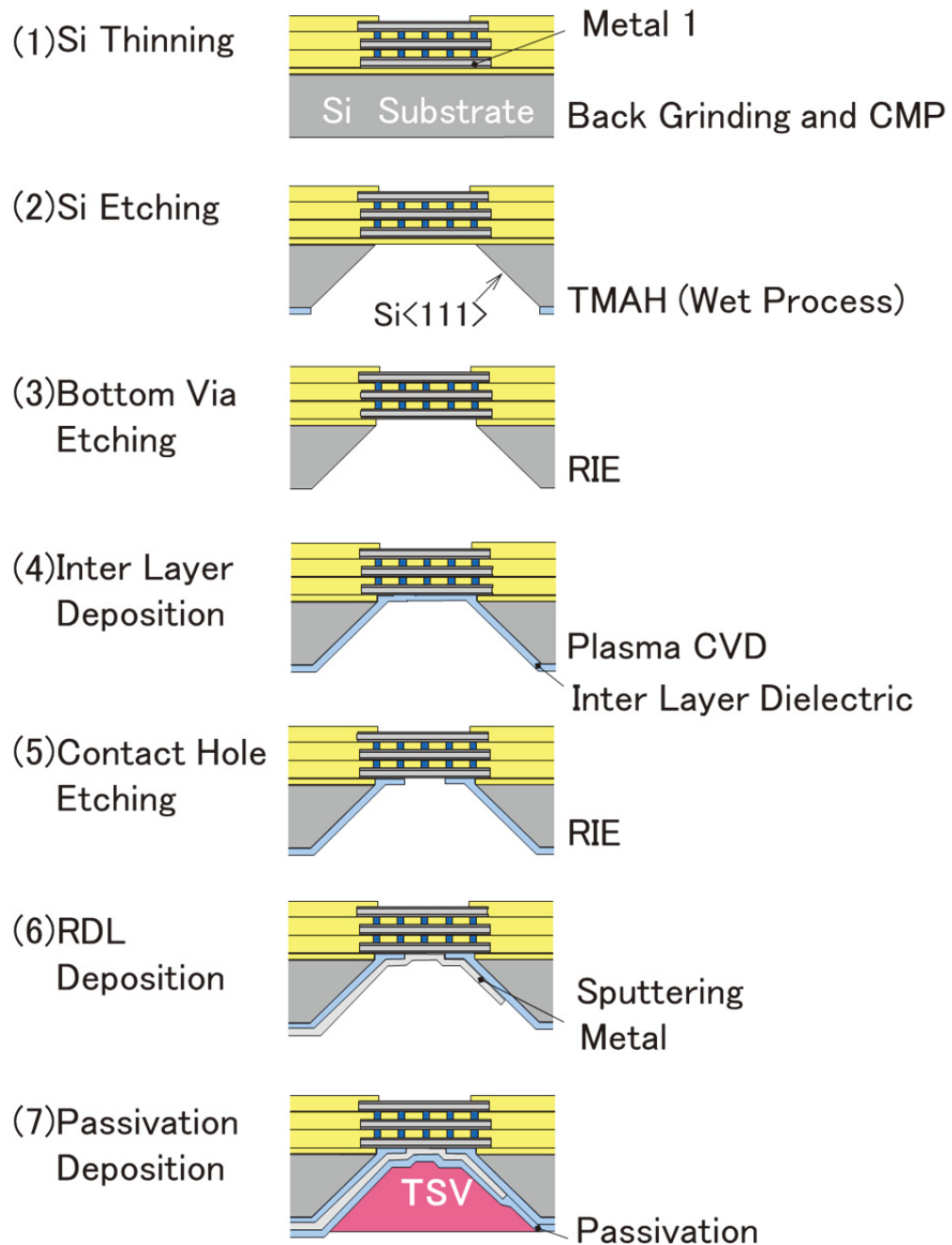


図3-8 CISへのTSV形成プロセスフロー

### (1) シリコン基板薄化

TSV の形成を容易でかつ安定化するため、まずシリコン基板を薄化する。シリコン基板部裏面側には、この後の工程で絶縁膜や金属膜の成膜や、それらのフォトリソグラフィ工程を経る必要があるため、シリコン基板部をウエハ背面からバックグラインドした後、化学的、機械的に研磨(CMP:Chemical Mechanical Polishing)し平坦化する。

### (2) シリコン基板貫通エッチング

このプロセスにおいては、TMAH(Tetra Methyl Ammonium Hydroxide)を用いたウェットエッチングプロセスによって図 3-9(a)に示すような  $140\ \mu\text{m}\square$  のスルーホールを形成している。TMAH による異方性シリコンエッチングでは、水酸化シリコンが形成され、シリコンが溶解する[3-5]。その反応式は以下のとおりである。



図 3-9(b)に示すように、 $\text{SiO}_2$  系のエッチングマスクを用い、シリコン結晶構造におけ

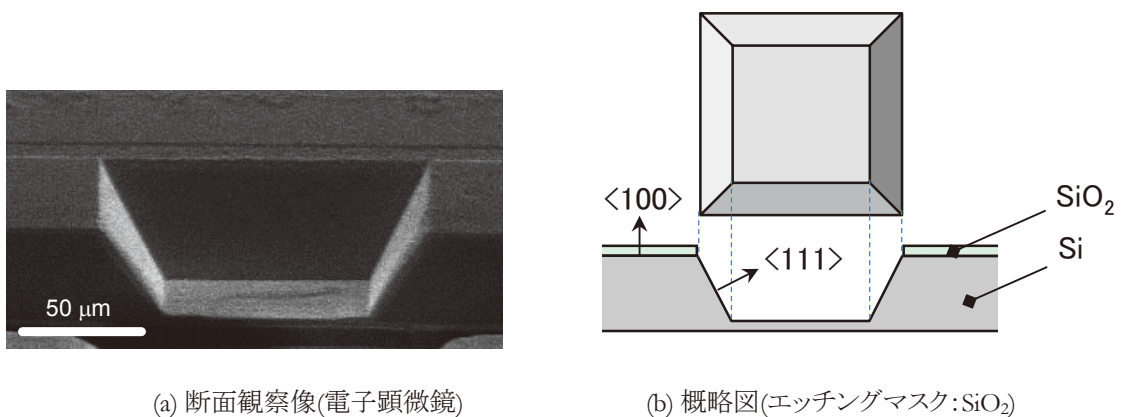


図3-9 TSVの断面観察像と概略図

る<100>面と<111>面とのエッチングレート差による結晶異方性エッチングを行う[3-5]. TMAHを90°Cに加熱し, 15 min.のエッチングにてシリコン基板を貫通する.

### (3) パッド裏面絶縁膜エッチング

パッド下に予め形成された絶縁膜を除去する. 3.2.1 にて述べたように, シリコン基板表面と TSV が到達するパッド最下層のメタル面との間にはシリコン酸化膜からなる層間膜が形成されており, 裏面からの再配線のためには, このシリコン酸化膜を除去する必要がある.  $CF_4$ 系のエッチングガスを用いた RIE (Ractive Ion Etching)により, シリコン酸化膜を除去するが, このときエッチングマスクとしてのフォトレジストを用いず, 貫通孔の形成されたシリコン基板自体をエッチングマスクとした自己整合型のエッチングを行うことができる.

### (4) 裏面絶縁膜形成

スルーホールの内壁は図 3-6 に示したように, コンフォーマルに堆積される絶縁膜 (TEOS-SiO<sub>2</sub>: Tetra Ethyl Ortho Silicate- SiO<sub>2</sub>)で覆われており, 裏面全体に1 μm成膜される. なお, 成膜温度は100°Cである.

### (5) 裏面絶縁膜へのコンタクトホールエッチング

スルーホールの底部の絶縁膜には, コンタクトビアホールが形成される. フォトリソグラフィ工程, および  $CF_4$ 系のエッチングガスを用いた RIE 工程を経てコンタクトホールが形成される.

#### (6) 裏面再配線形成

裏面再配線工程を経て、TSV 内でパッド最下層のメタルとの間が相互に接続され、カバーガラスとは反対側に外部接続用電極が形成される。コンタクトビアホールへの逆スパッタリング工程により自然酸化膜を除去し、続くスパッタリング工程にて  $1\ \mu\text{m}$  の Al-Si 層が成膜される。次に、Al-Si 膜をフォトリソグラフィ工程でパターンニングする。

#### (7) 裏面保護膜形成

最後に絶縁膜 (TEOS-SiO<sub>2</sub>) が、チップの裏面を保護するために堆積される。裏面全体に  $1\ \mu\text{m}$  の保護膜を成膜し後に、フォトリソグラフィ工程、および CF<sub>4</sub> 系のエッチングガスを用いた RIE 工程を経て裏面パッドが開口される。

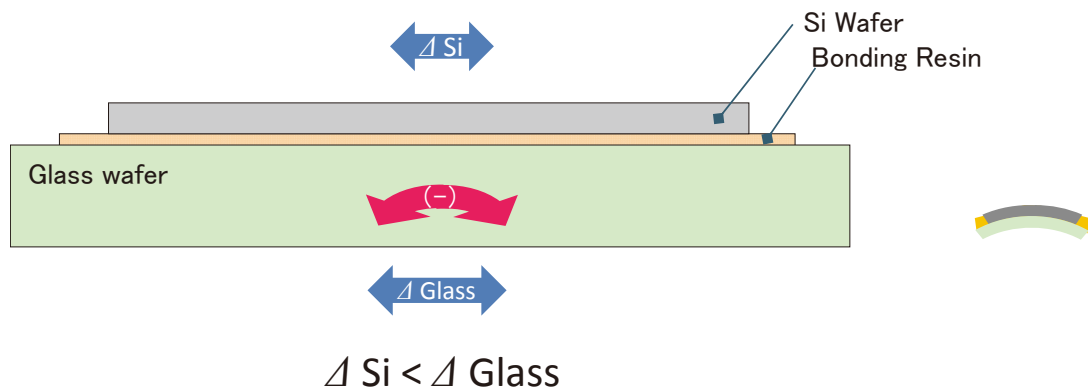
以上のように、TSV の採用には、シリコンを加工する半導体ウエハプロセスの導入が必要であるが、ウエハを処理する際に撮像素子の各画素に形成されたオンチップカラーフィルタやマイクロレンズが傷つきやすいために保護が必須である。本研究では、このウエハプロセスでの画素表面保護にもカバーガラスを併用し、CIS にカバーガラスウエハが接合された状態でハンドリングする。したがって、カバーガラスの役割は、プロセスでの画素エリア保護とともに、ハンドリングウエハを兼ね、最終的にはパッケージ部材としても機能するものである。すなわち、ウエハプロセスではガラスとシリコンの接合されたウエハを処理することとなる。このように異種材料からなるウエハを接合して処理することは、微小電気機械システム (MEMS: Micro Electro Mechanical Systems) の領域ではよく用いられる方法である。

### 3.4 チップ再配列 WL-CSP 技術概要

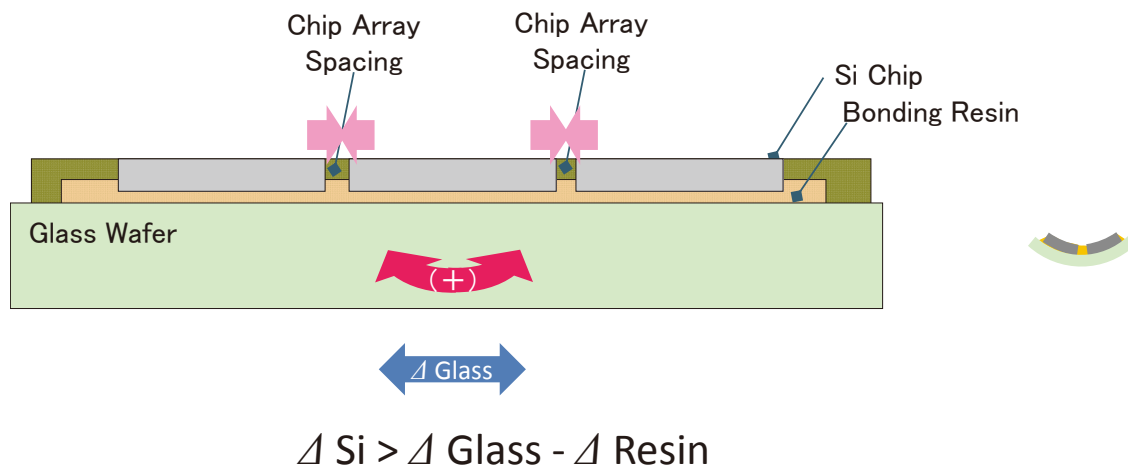
ところが、図 3-10(a)に示すように、異種材料をウエハ同士で接合する場合、材料間の線膨張係数の差によりウエハに反りが生じると、フォトリソグラフィなどのウエハ処理が行えなくなるため、材料間の線膨張係数を近づけるといった制約が必要となり、使用可能な材料の組合せが限られてしまうといった問題があった。一方、撮像素子のカバーガラスには、たとえばガラス精製段階においてウランなどの放射性同位元素を取り除き、 $\alpha$ 線の放出を抑制したガラス材料や、ナトリウムを含まないガラス材料を用いることが求められ、任意の線膨張係数を有する材料を選択出来ないという問題もある。

そこで本研究では、材料間の線膨張係数の差の影響を受けずにウエハの反りを低減する方法として、チップ再配列技術による新たな接合技術を開発した。チップ再配列技術は、図 3-10(b)に示すように、チップ再配列により生まれる間隙へと材料を充填してウエハ面内の応力を制御するものであり、間隙と充填材料を適正化し、接合する材料同士の線膨張係数差によらずウエハの反りを抑制するものである。

Fan-Out 型の製法と同様に、個片化されたチップを並べるので、KGD を量産規模に適した小口径ウエハに配列することも可能である。



(a) 異種材料をウエハ同士で接合する場合のウエハ反り



(b) チップを再配列する場合のウエハ反り

図3-10 チップ再配列WL-CSP 技術概要

### 3.5 第3章 参考文献

- [3-1] 溝渕 孝一, 足立 理, 須川 成利他, “高温下の耐性・撮像性能を改善した高ダイナミックレンジ CMOS イメージセンサ,” 映像情報メディア学会誌 Vol.62, No.3, pp.368-375, 2008.
- [3-2] 相澤清晴, 浜本隆之, 「CMOS イメージセンサ」, コロナ社, 2012.
- [3-3] ITRS(THE INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS)国際半導体技術ロードマップ, 2009.
- [3-4] 江刺正喜, 藤田博之, 五十嵐伊勢美, 杉山進, 「マイクロマシーニングとマイクロメカトロニクス」, 培風館, 1992.
- [3-5] 式田光宏, 佐藤一雄, 田中浩, 「マイクロ・ナノデバイスのエッチング技術」, シーエムシー出版, 2009.
- [3-6] 高橋忠:” ベンゾシクロブテン(BCB)薄膜多層配線基板”, HYBRIDS, Vol. 7 No. 1, pp.23-28, 1991.

## 第 4 章

# チップ再配列 WL-CSP 技術の諸課題と改善法

### 4.1 チップ再配列 WL-CSP 技術の諸課題

第3章では、本研究で開発するパッケージの構造と TSV 形成プロセスについて示した。チップ再配列 WL-CSP 技術の特徴は、ガラスウエハへのチップ再配列と、チップ間隙への樹脂充填、およびそれらの薄化により、CIS チップをアレイ状に再配置したガラスウエハを通常のウエハプロセスで処理することである。第4章では、チップ再配列 WL-CSP 技術固有の諸課題とその改善方法について述べる。

パッケージに使用する材料の組合せにより発生するウエハの反りは、ウエハプロセスに影響するため、安定してウエハの反りを低減させる必要がある。そこで、まず CIS チップ再配列によるウエハ反りの制御について述べる。また、再配列された CIS チップはその後、ウエハプロセスを経てパッケージングされるが、CIS の撮像特性に影響を及ぼすおそれのある、薄化处理、加熱処理、およびプラズマ処理が不可欠であり、これらプロセスパラメータの適正化と、これら工程を経た CIS の特性について述べる。

### 4.2 CIS チップ再配列によるウエハ反りの制御

CIS チップ再配列 WL-CSP 技術の特徴は、チップ再配列とチップ間隙への樹脂充填により、ハンドリングウエハとチップ再配列部、とりわけ格子状の溝部に充填した樹脂の応力を用いて、ウエハの反りを制御することである。大きく反ったウエハは、フォトリソグラフィやドライエッチングなどの処理をすることができないため、反りの抑制はウエハプロセスでの根本的な課題である[4-1, 4-2]。例えば TSV の形成を容易でかつ安定化させるために CIS チップを薄化する際、ウエハの反りが大きいと再配列した CIS チップの厚さのばらつきをもたらし、ウエハ面内におけるスルーホール深さが不均一と



なる。深さの不均一なスルーホールをドライエッチングすると、スルーホール底部へのエッチング種の到達度に差が生じ、TSVの接触不良の原因となる[4-3]。

#### 4.2.1 構造解析シミュレーションによる検討

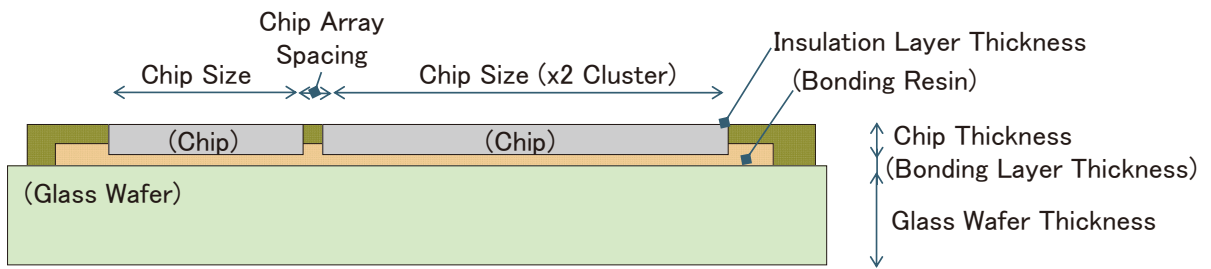
ウエハの反りを低減し、ウエハの平坦度を確保する目的で、有限要素法ソフトウェア(FEM: Finite Element Method, ANSYS Mechanical; CYBERNET SYSTEMS)により、BCBの2サイクルに渡る熱硬化温度プロファイル(チップの再配列樹脂硬化, およびチップ間隙への充填樹脂硬化, 210°C/60 min.)が加えられた際の、ウエハ反りへの影響を調べた。

##### a. 3D FEM 解析モデル

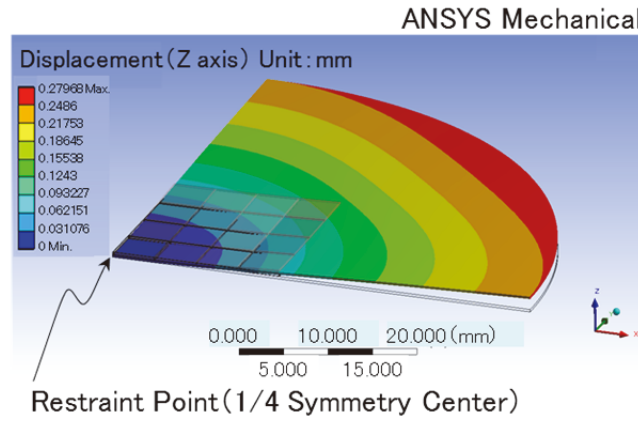
図 4-1 にウエハ反り 3D FEM モデルを示す。図 4-1(a)は断面構造模式図であり、ガラスウエハ上に接合材を介してチップが再配列され、また、チップ間隙に樹脂が充填されるモデルである。なお、CIS 表面の回路や微細構造は、ウエハ反りへの影響がほとんどないと考えられるため、再配列チップはシリコンの直方体モデルとした。図 4-1(b)は構造解析モデルの拘束条件であり、φ 100 mm ガラスウエハ中心 1/4 対称モデルとし、拘束条件は、ガラスウエハ下面中心点を 3 軸方向全て拘束した。構成材料の線膨張係数や、接合材・充填材のヤング率、硬化度、粘弾性特性に着目し、BCB のヤング率、硬化度、粘弾性特性は予め実測し求めた。表 4-1 に計算に用いた各構成の物性値を示す。

表 4-1 WL-CSP の材料物性値

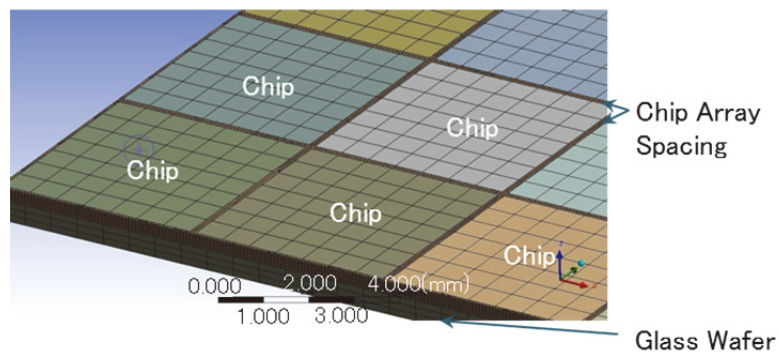
Material	CTE( $\times 10^{-6}/^{\circ}\text{C}$ )	Young's modulus(GPa)	Poisson's Ratio
Si	2.6	131.0	0.26
Glass	3.18	70.9	0.23
BCB	42	2.9	0.34



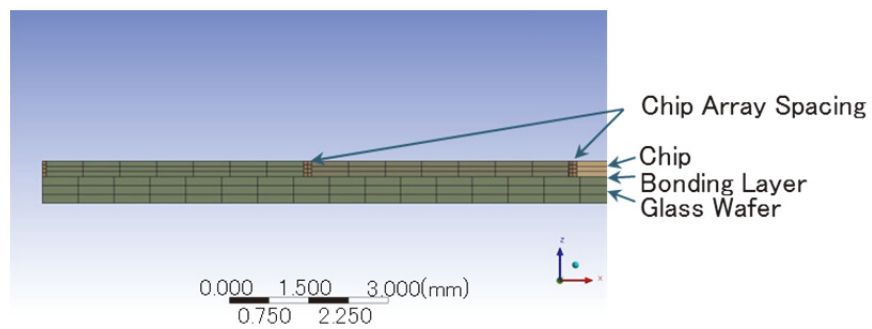
(a) FEMモデル断面構造模式図



(b) 1/4 ウエハ 3D FEM モデルと拘束条件



(c) 1/4 ウエハ 3D FEM モデル斜視図



(d) 1/4 ウエハ 3D FEM モデル断面拡大図

図 4-1 ウエハ反り 3D FEM モデル

図 4-1(c), および図 4-1(d)は, 1/4 ウエハ 3D FEM モデルの斜視図と断面拡大図である. 計算精度を高めるため, ウエハ周辺部を除いてメッシュを四角形(四面体)とした. また, 周囲より大きな変形が予測されるチップ間隙充填材のメッシュをより細かく設定した.

#### b. 3D FEM 計算結果

図 4-2 は,  $\phi 4$  インチ, 厚さ  $500 \mu\text{m}$  のガラスウエハ上へと,  $5 \text{ mm}$  角のチップを,  $8 \times 8$  のマトリクスに再配列した場合の計算例であり, Z 方向変位(ウエハの反り)のコンター図である. 再配列されたチップ部から概ね同心円状にウエハが反り, ウエハ外周部での最大反り量は  $170 \mu\text{m}$  である. この反り量は, 先に述べた通り, TSV の加工品質に支障をきたし, また, それ以外のウエハプロセスにおいても影響が懸念されるものであり, 大幅に低減する必要がある.

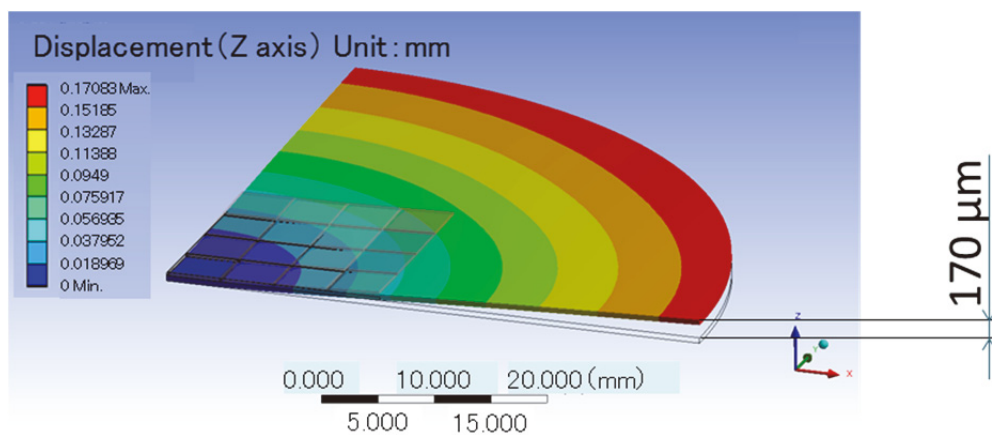


図4-2 3D FEM計算結果( $\phi 4$ インチ厚さ $500 \mu\text{m}$ のガラスウエハ,  $5 \text{ mm}$ 角のチップを再配列した場合)

c. 実験計画法を用いた影響因子の抽出

ガラスウエハの反りに影響すると考えられる要因は、図 4-1(a)に示したように、A.再配列形状(Matrix)、B.ガラスウエハの厚さ、C.チップの厚さ、D.チップサイズ、E.接合樹脂、F.接合層の厚さ、G.チップ間隔(間隙)、および H.絶縁体の厚さであり、関与する因子が多い。そこでまず、実験計画法を活用して構造解析シミュレーションを行い、ウエハ反りに影響する因子を抽出することとし、因子の組合せは L18 直交表により設定した。表 4-2 は、実験計画法における要因表、図 4-3 は要因効果図であり、直交実験には有限要素法による計算結果を用いた。また各水準内で最もウエハ反りが少ない水準を丸印で囲み、最良水準とした。図 4-4 に、各因子の純変動が全変動に占める割合、すなわち、因子 A~H のウエハ反りへの影響の度合いを寄与率[4-4]として示した。寄与率  $\rho$  は次式で計算した。

$$\rho_A = \frac{S_A}{S_T}, \rho_B = \frac{S_B}{S_T}, \rho_C = \frac{S_C}{S_T}, \rho_D = \frac{S_D}{S_T}, \rho_E = \frac{S_E}{S_T}, \rho_F = \frac{S_F}{S_T}, \rho_G = \frac{S_G}{S_T}, \rho_H = \frac{S_H}{S_T} \dots\dots\dots(4-1)$$

$S_A, S_B, S_C, S_D, S_E, S_F, S_G, S_H$ は各因子の純変動、 $S_T$ は全変動であり、次式により

表 4-2 ウエハの反り要因表

Parameter		1	2	3
A	Matrix	Normal	-	-
B	Glass Wafer Thickness	300 $\mu\text{m}$	500 $\mu\text{m}$	700 $\mu\text{m}$
C	Chip Thickness	200 $\mu\text{m}$	300 $\mu\text{m}$	400 $\mu\text{m}$
D	Chip Size	3.5*3.5 mm	5*5 mm	6.5*6.5 mm
E	Bonding Resin	BCB	-	-
F	Bonding Layer Thickness	2 $\mu\text{m}$	6 $\mu\text{m}$	10 $\mu\text{m}$
G	Chip Array Spacing	150 $\mu\text{m}$	300 $\mu\text{m}$	450 $\mu\text{m}$
H	Insulation Thickness	2 $\mu\text{m}$	3 $\mu\text{m}$	4 $\mu\text{m}$

図 4-3 の各水準ごとのウエハ反り値を用い分解される.

$$\begin{aligned}
 S_A &= \frac{A_1^2}{18} - CF, \quad S_B = \frac{B_1^2}{18} + \frac{B_2^2}{18} + \frac{B_3^2}{18} - CF, \quad S_C = \frac{C_1^2}{18} + \frac{C_2^2}{18} + \frac{C_3^2}{18} - CF, \\
 S_D &= \frac{D_1^2}{18} + \frac{D_2^2}{18} + \frac{D_3^2}{18} - CF, \quad S_E = \frac{E_1^2}{18} - CF, \quad S_F = \frac{F_1^2}{18} + \frac{F_2^2}{18} + \frac{F_3^2}{18} - CF, \\
 S_G &= \frac{G_1^2}{18} + \frac{G_2^2}{18} + \frac{G_3^2}{18} - CF, \quad S_H = \frac{H_1^2}{18} + \frac{H_2^2}{18} + \frac{H_3^2}{18} - CF \dots\dots\dots(4-2)
 \end{aligned}$$

ここで, CF は直交実験の結果  $L1, L2, L3, L4, L5, \dots, L17, L18$  を用い,

$$CF = \frac{(L1+L2+L3+L4+L5+\dots+L17+L18)^2}{18} \dots\dots\dots(4-3)$$

で計算される修正項である.

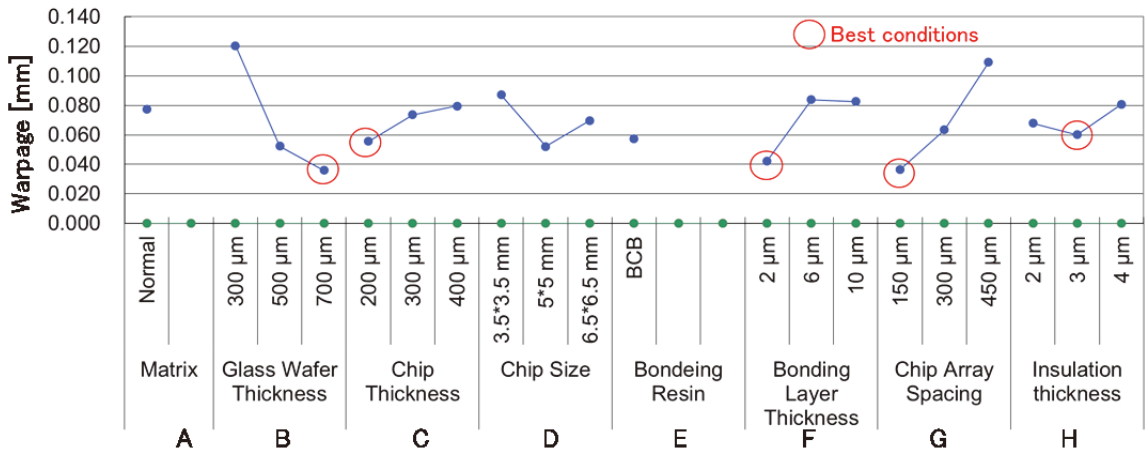


図 4-3 ウエハ反りに関する実験計画法要因効果図

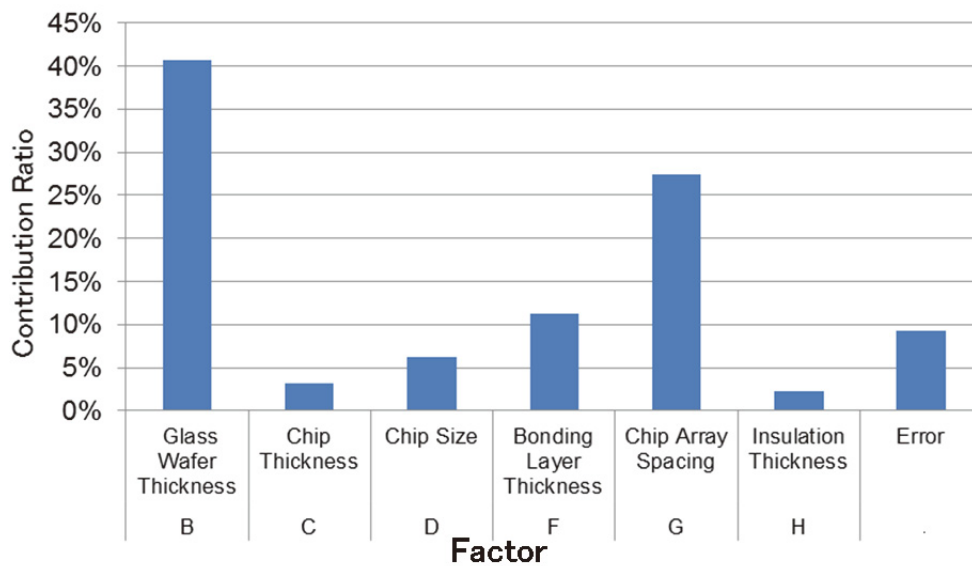


図4.4 ウエハ反りに対する寄与率

なお、図 4.4 において、寄与率が著しく低い因子 A、および E は誤差に合算（実験計画法上のプール）し、Error として表示した。

この結果、最も寄与率の高い因子は、B.ガラスウエハの厚さであり、次いで G.チップ間隔であり、厚いガラスウエハやチップ間隔の狭小化がウエハ反りを低減することが明らかとなった。また、C.再配列チップの厚さ、および F.接合層の厚さは、いずれも薄い方がウエハ反りを低減することが示された。

#### d. 寄与率の高い因子に着目した 3D FEM 計算結果

これらの結果に基づき、ウエハ反りへの寄与率の高い因子に着目し、図 4-5 に示すように、4 インチ径ガラスウエハ上へとチップを再配列したモデルを生成して構造解析シミュレーションを行った。チップサイズをそれぞれ (a) 20 mm, (b) 10 mm, および(c) 5 mm とし、ガラスウエハの厚さを 300  $\mu\text{m}$ , 500  $\mu\text{m}$ , および 700  $\mu\text{m}$  とした。なお、プロセス設計上、更なる寸法の縮小が困難な因子であるチップ間隔、および接合層の厚さは、それぞれ 150  $\mu\text{m}$ , および 2  $\mu\text{m}$  に固定した。また、チップサイズ 20 mm, 10 mm は、

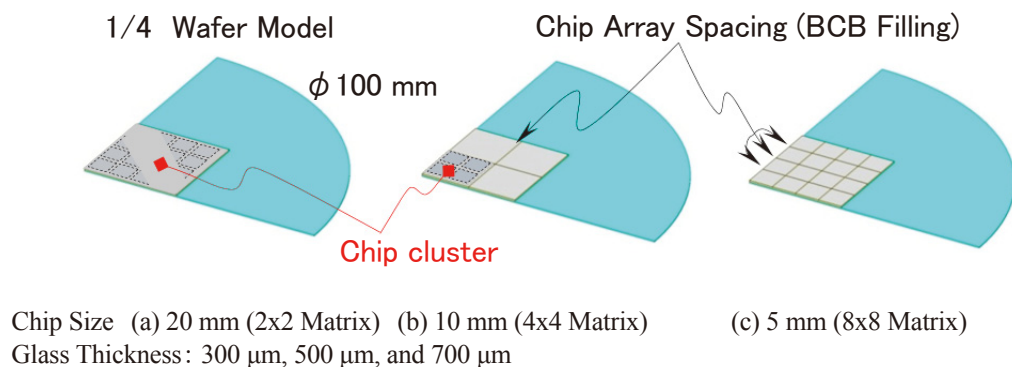
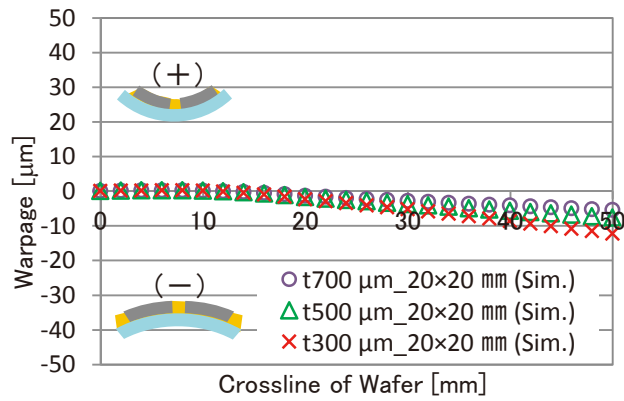


図4-5 チップ再配列ウエハの解析モデル

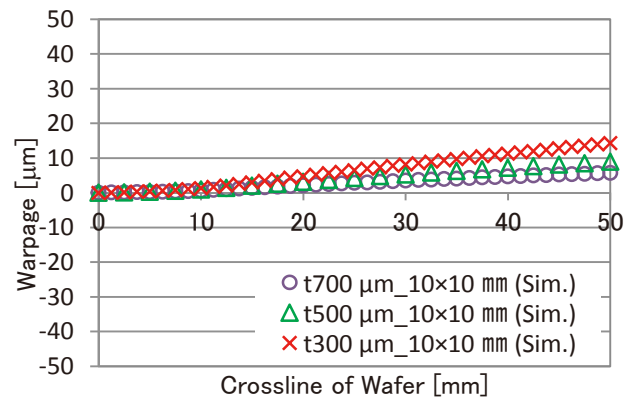
生体内医療用デバイスとしては大きなサイズであるが、5 mm 角チップを 2×2、もしくは 4×4 のクラスタ状にすることによって設定でき、パッケージングプロセス完了後に個片化すれば本来のチップサイズが得られる。

図 4-6 は 3 種類のチップサイズ、およびガラスウエハ厚ごとのウエハ反り量に関する計算結果である。図 4-6(a)に示したように、ガラス側に凸方向の反りを正、その逆方向の反りを負と定義した。ガラスウエハはソリッドシェルモデルを使用し[4-5]、ソリッドの性質を維持しつつ、薄いモデルの曲げモードにも配慮した。ガラスウエハの厚さおよびチップサイズのウエハ反りへの影響が顕著に確認され、厚さ 300 μm のガラスウエハを用いた場合は、いずれのチップサイズにおいても 10 μm を上回る大きなウエハの反りが予測され、また図 4-6(a)および図 4-6(b)に示したように、厚さ 500 μm 以上のガラスウエハを用い、チップサイズを 10 mm、もしくは 20 mm と設定すれば、ウエハの反りを 10 μm 以下とし、シリコンウエハの標準規格(厚さむら)内に抑えられる可能性が示された。

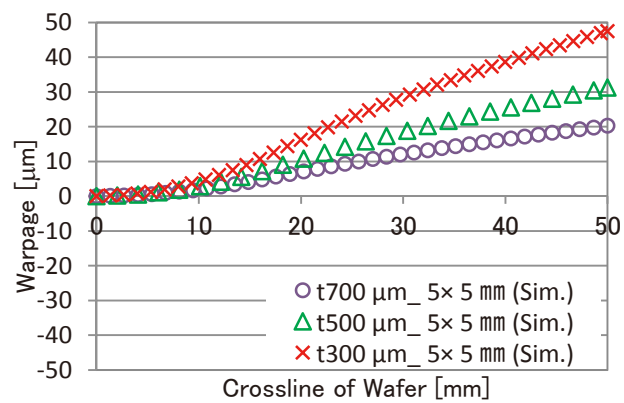
なお、ガラスウエハが厚いほどウエハ反りの低減が可能と考えられるが、ウエハプロセスで用いる装置限界もあるため、4インチ径の場合では、ウエハ標準厚み 525 μm に近い 500 μm が好適である。



(a) Chip Size : 20 mm (2 $\times$ 2 Matrix)



(b) Chip Size : 10 mm (4 $\times$ 4 Matrix)



(c) Chip Size : 5 mm (8 $\times$ 8 Matrix)

図 4-6 再配列するチップサイズおよびガラスウエハ厚ごとのウエハ反り量に関する FEM 計算結果

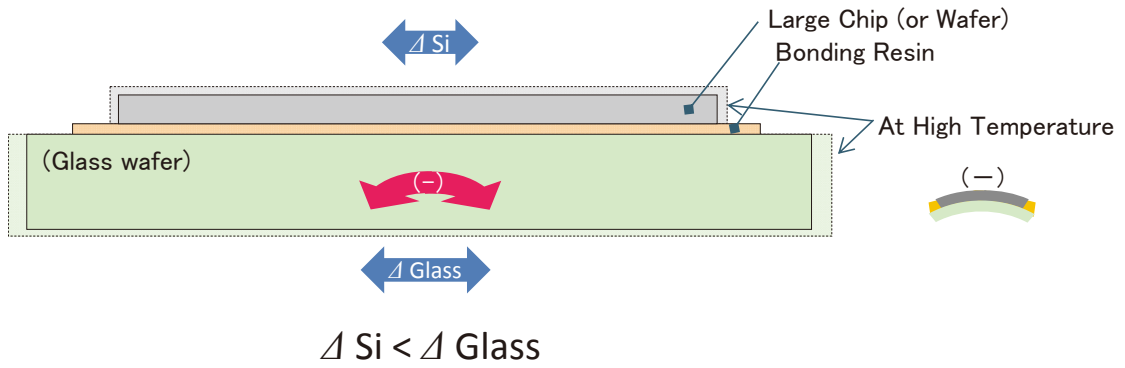


#### 4.2.2 構造解析シミュレーション結果の考察

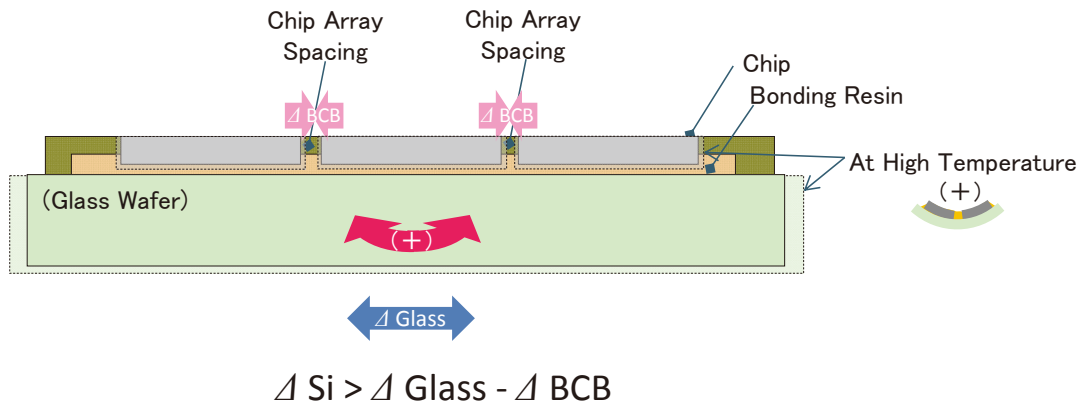
構造解析シミュレーションの結果、厚さ 300  $\mu\text{m}$  のガラスウエハを用いた場合は、いずれのチップサイズにおいてもガラスウエハ側に凸方向の 10  $\mu\text{m}$  を上回る大きなウエハの反りが、また、厚さ 500  $\mu\text{m}$  のガラスウエハを用いた場合、反り量は低減されるもののガラスウエハ側に凸方向の反りとなることが解析された。一方で、厚さ 700  $\mu\text{m}$  のガラスウエハを用いた場合、チップサイズが 20 mm を超えると、ウエハの反りが他とは逆方向となり、再配列した CIS チップ側に凸形状となっている。この反り方向の相違については、以下の理由が考えられる。

一般に、シリコンとガラスを、熱を加えながらウエハレベルで接合する際にみられるウエハの反りは、シリコンウエハ側に凸方向となる。これは、シリコンとガラスの線膨張係数(CTE)の差に起因するものであり、一般的な半導体グレードのガラスはシリコンより線膨張係数がやや大きいためである。これらを熱を加えながら接合すると、図 4-7(a)に示すように、高温下ではガラスウエハの方が、より大きく熱膨張しているため、この状態で接合されて常温に戻ると、ガラスウエハがシリコンウエハより収縮量が大きく、その応力によりシリコンウエハ側に凸となる。本検証において用いた CTE の値も、表 4-1 に示したようにガラスは  $3.18 \times 10^{-6}/^{\circ}\text{C}$  であるのに対し、シリコンは  $2.6 \times 10^{-6}/^{\circ}\text{C}$  と小さく、仮にウエハ同士を接合すればシリコンウエハ側に凸になる。

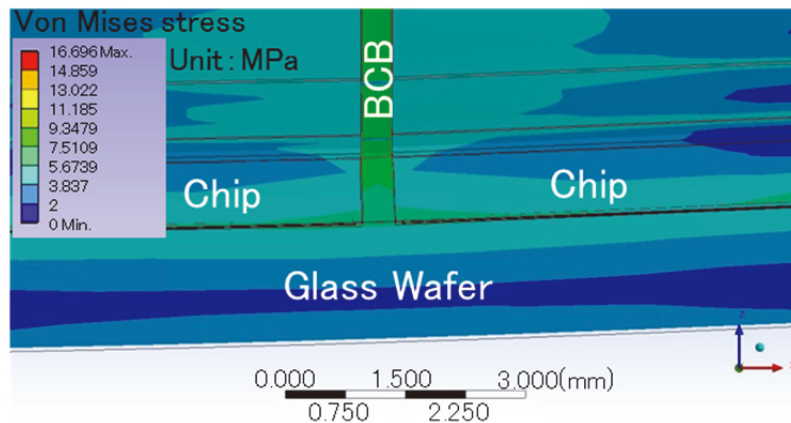
ところが、チップを再配列したウエハの場合は、ウエハ同士を接合した場合とは逆方向に反っている。これは格子状のチップ間隙(溝部)に充填した樹脂の挙動によるものと考えられ、図 4-7(b)に示すようにチップ間隙の BCB に大きな応力が作用し、シリコンとガラスの線膨張係数差による応力を上回っているものと思われる。図 4-7(c)は、構造解析シミュレーションによって計算された、チップ間隙付近の相当応力のコンター図である。予想通り、チップ間隙の BCB に最も大きな応力が作用しており、反りの起点となっていることもわかる。



(a) Siとガラスをウエハレベルで接合する際にみられるウエハの反り



(b) チップを再配列したウエハの反り



(c) 構造解析シミュレーションによるチップ間隙付近の相当応力コンター図(断面図)

図4-7 ウエハ反りの原因分析

チップを再配列したウエハの場合、シリコンとガラスの線膨張係数差による応力と、チップ間隙の BCB の応力が相互に作用し、それらがつり合うことにより、ウエハの反りは低減されている。再配列するチップサイズの大きくなるとシリコンとガラスウエハとの熱膨張係数差で発生する応力が支配的になり、ウエハ同士を接合するのと同様となるものと考えられる。

また、本検証では3水準のチップサイズを比較しているが、再配列によってアレイ状態としているため、ガラスウエハとの接合面積はいずれの水準もほぼ変わらない。すなわち、同一の接合面積であっても、再配列の条件設定によってウエハの反り方向や量を制御することが可能であることがわかる。以上より、ウエハレベルの接合では困難であった反りの制御が可能であり、チップ再配列の優位性が見出された。

#### 4.2.3 実験評価サンプルによる検証

構造解析シミュレーションの結果を踏まえて、実験サンプルを作製してウエハ反り量を実測して評価した。図 4-8 に実験サンプルの外観を、図 4-9 (a)に厚さ 500  $\mu\text{m}$  のガラスウエハへと 20 mm, 10 mm および 5 mm のチップを再配列した際の、評価サンプルと計算値のウエハ反り比較結果を示す。ウエハの反りは、接触式の高さゲージを

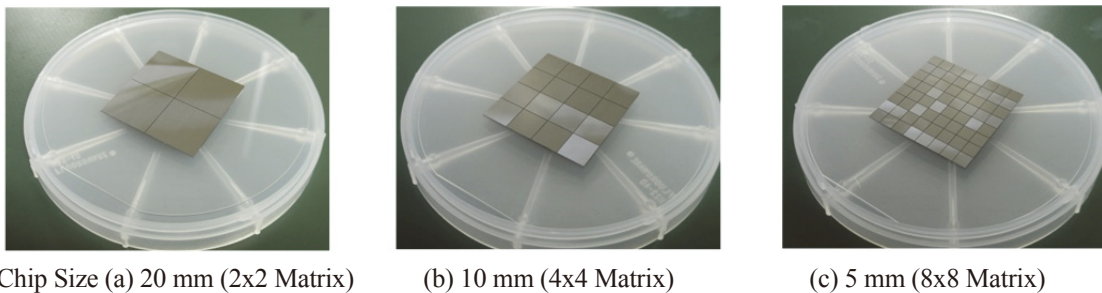
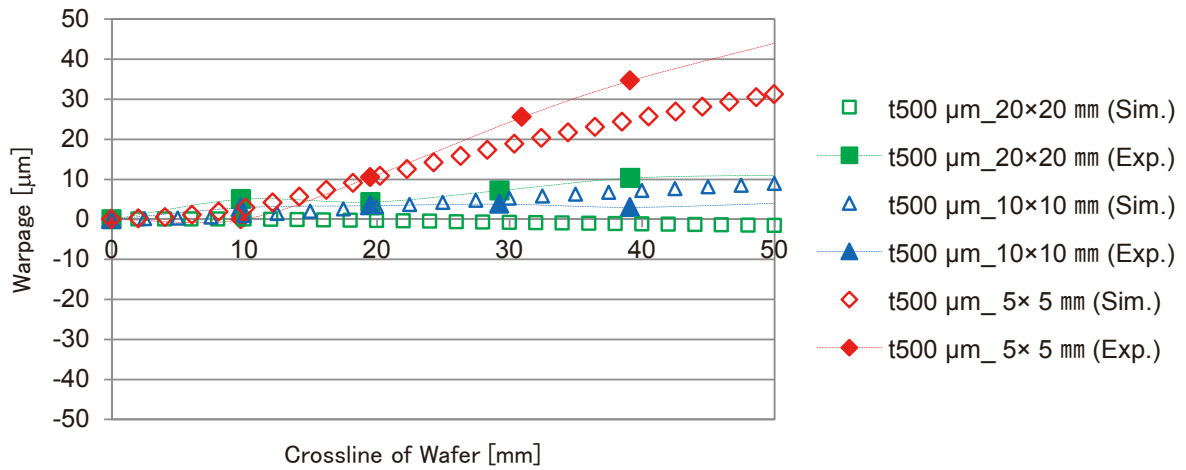


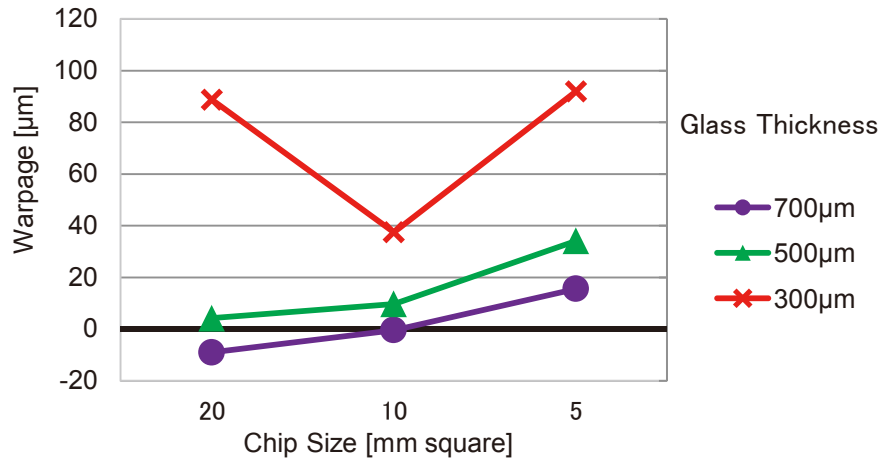
図4-8 ウエハ反り実験評価サンプル

用いてウエハ中心から 10 mm ごとに測定した。チップサイズが 20 mm では、ウエハ反りの方向がやや異なる点もあるものの、計算値と実験値はよく一致し、解析の妥当性が示された。また、チップサイズが 10 mm、もしくは 20 mm の組合せにおいて、10  $\mu\text{m}$  以下にまでウエハの反りを低減することが確認された。図 4-9 (b)は全ての水準の評価サンプルのウエハ反り測定結果である。計算結果と同様に、厚さ 300  $\mu\text{m}$  のガラスウエハを用いた場合には、いずれのチップサイズにおいても 10  $\mu\text{m}$  を上回る大きなウエハの反りが確認され、また厚さ 500  $\mu\text{m}$  以上のガラスウエハでは、チップサイズを 10 mm、もしくは 20 mm と設定すれば、ウエハの反りを 10  $\mu\text{m}$  以下に抑えられた。また、厚さ 700  $\mu\text{m}$  のガラスウエハでは、チップサイズ 20 mm の場合にウエハの反りが他とは逆方向となっており、計算値と同様の傾向が確認された。図 4-9 (c)は前述したガラス厚さ 700  $\mu\text{m}$  でのウエハ反りと、各チップサイズ毎のチップ間隙長さ、すなわち充填された BCB の長さの関係を示したものであるが、充填された BCB の長さとうエハ反りとが良く相関していることがわかる。このことから、シリコンとガラスの線膨張係数差による応力と、チップ間隙の BCB の応力が相互に作用し、それらの均衡により、ウエハの反りが制御されていることが裏づけられた。

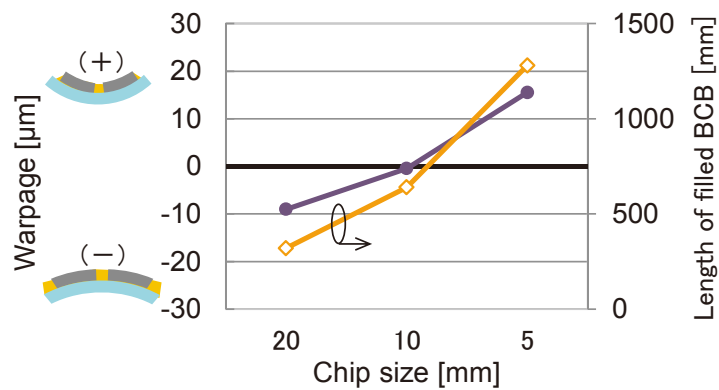
以上のように、構造解析シミュレーションを用いた CIS チップ再配列の最適化により、ウエハの反りを低減し、安定してパッケージングプロセスを経ることが可能となった。



(a) 評価サンプルと計算値のウエハ反り比較結果 (ガラスウエハ厚: 500 μm)



(b) 評価サンプルのウエハ反り測定結果 (チップサイズ三水準: 20 μm, 10 μm, 5 μm, ガラスウエハ厚三水準: 700 μm, 500 μm, 300 μm の組合せ)



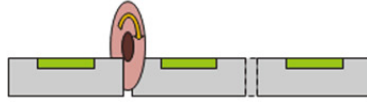
(c) ウエハ反りとチップ間隙長さ (樹脂充填長さ) の関係 (ガラスウエハ厚: 700 μm)

図 4-9 構造解析シミュレーションの結果と実験評価サンプルのウエハ反り量比較

### 4.3 チップ再配列 WL-CSP プロセス設計

図 4-10 に, チップ再配列 WL-CSP のプロセスフロー詳細を示す.

(1) Image Sensor Wafer Dicing



(2) Rearrange Image Sensor Chip on Another Smaller Handling Wafer



(3) Filling Up the Resin between Chips



(4) Back Grinding and CMP



(5) TSV Formation



(6) Re-Wiring



(7) Bumping



(8) Testing



図4-10 チップ再配列WL-CSPのプロセスフロー

#### 4.3.1 CIS ウェハダイシング

最初に、CIS ウェハから個々のチップへのダイシングが行われる。CIS ウェハは、8 インチまたは 12 インチのウェハを使用している。CIS チップのチップングを低減するために、二段階でウェハを切り出すステップカット方式を採用している。その後、CIS ベンダのウェハ検査による KGD (Known Good Die) のみがピックアップされるが、ダイシングでのウェハ切削屑が、チップの特に画素エリアに再付着すると、本来画素に入射するはずの光線が遮られ、画像に写り込んでしまうため、ダイシング後には入念な洗浄を行い、ウェハ切削屑などのパーティクルを除去する必要がある。本研究では、図 4-11 に示す、純水を圧縮空気で噴霧化して洗浄能力をより高めることが可能な二流体洗浄法を採用し[4-6]、パーティクルによる画像不良の改善を図った。

#### 4.3.2 小口径ハンドリングウェハへの CIS チップの再配列

ピックアップされた個々の CIS チップは、フリップチップ接続 (Flip Chip Bonding) 手

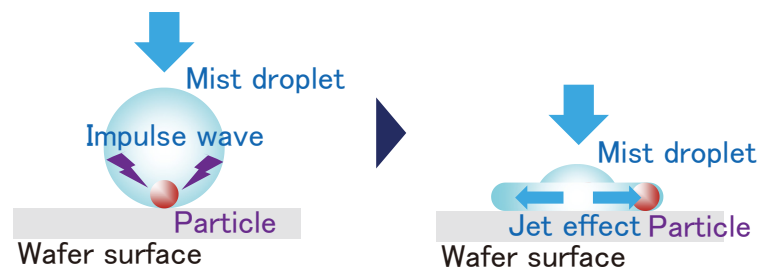


図4-11 二流体洗浄法概要 (ディスコ社Webサイトより) [4-6]

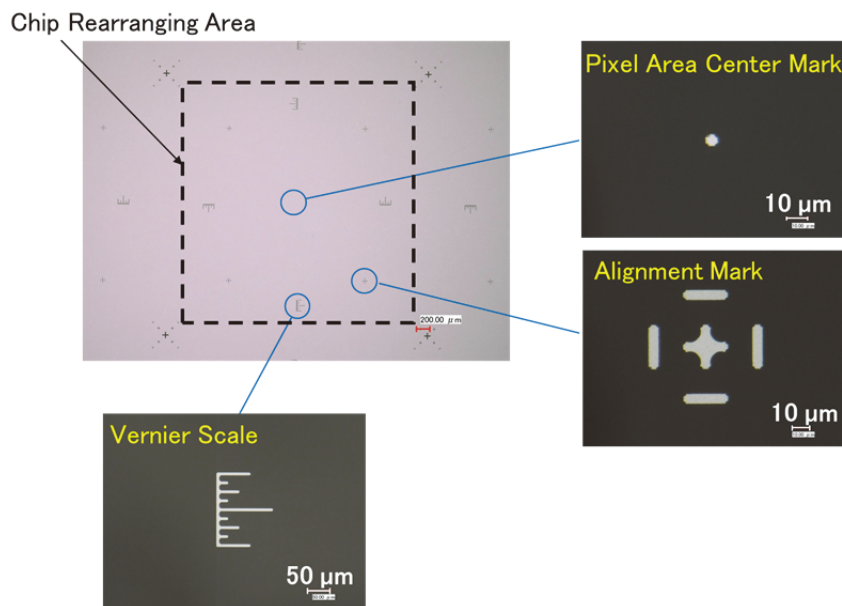


図4-12 ガラスウエハに形成したアライメントマーク

法によりハンドリングウエハであるガラスウエハ上に再配列される。ガラスウエハの表面上には、通常のフリップチップ接続手法と同様に、画像認識のためにアライメントマークが予め形成されている(図 4-12)。CIS チップの画素側の面が接合層を介してガラスウエハに接着されるが、このガラスウエハは、最終的に CIS チップのカバーガラスとなるものであり、本研究では 4 インチ径、厚さ 500  $\mu\text{m}$  の無アルカリガラスウエハ(Corning 社製 EAGLE XG)を使用した。

#### 4.3.3 チップ間隙への樹脂充填

ガラスウエハ上に再配列された CIS チップの間には溝が形成される。この溝はチップ再配列 WL-CSP 技術特有のものであり、再配列した CIS チップ同士の間隙によって格子状に形成され、CIS チップ厚さ分の深さを有する。溝が形成されたウエハは、既存のスピンコーティングや薄膜の成膜が非常に困難であるため、このウエハを従来と同様に処理するには、これらの溝が何らかの材料で充たされる必要がある[4-1, 4-2]。溝に充填される材料は、WL-CSP プロセスにおけるアルカリ溶液やプラズマ雰囲気



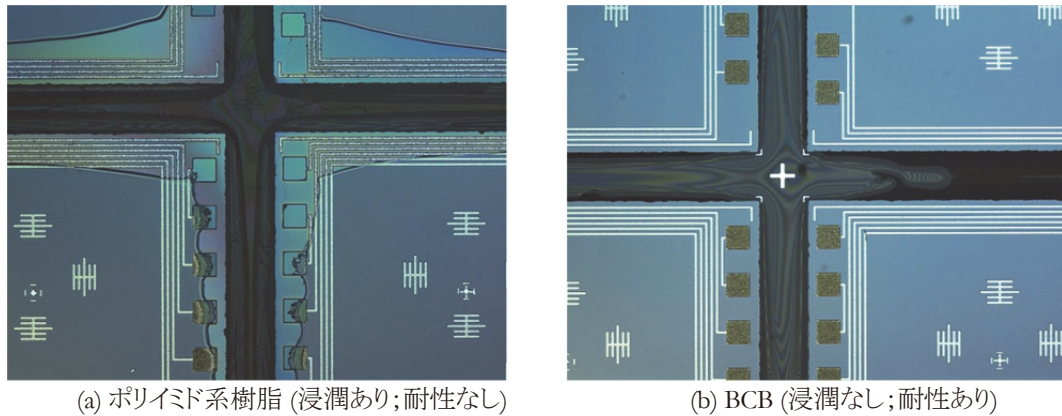


図4-13 チップ間隙充填樹脂のアルカリプロセス耐性 (TMAH 浸漬30分後)

対する耐性を有する必要があるため、BCB (ベンゾシクロブテン: Benzocyclobutene, Dow Chemical 社製 CYCLOTENE3000) を選択した。BCB はさらに、チップ接合樹脂の材料でもあり、図 4-13 に示すようにアルカリ性溶液や、プラズマプロセスに一定の耐性を有している[4-7]。

#### 4.3.4 バックグラインドおよび化学機械研磨

CIS チップのアレイと充填樹脂をウエハ背面から化学的、機械的に研磨 (CMP: Chemical Mechanical Polishing) し平坦化する[4-8]。TSV の形成を容易かつ安定化させるために、薄化される CIS チップの厚さは約  $50\ \mu\text{m}$  とした。ここまでの工程を経た CIS チップのアレイを再配置したガラスウエハは、この後、通常 of ウエハプロセスで処理することが可能となる。

#### 4.3.5 TSV (Through Silicon Via) の形成

3.3 にて説明したように、TMAH (Tetra Methyl Ammonium Hydroxide) を用いたウェットエッチングプロセスによって  $140\ \mu\text{m}$  のスルーホールを形成している。

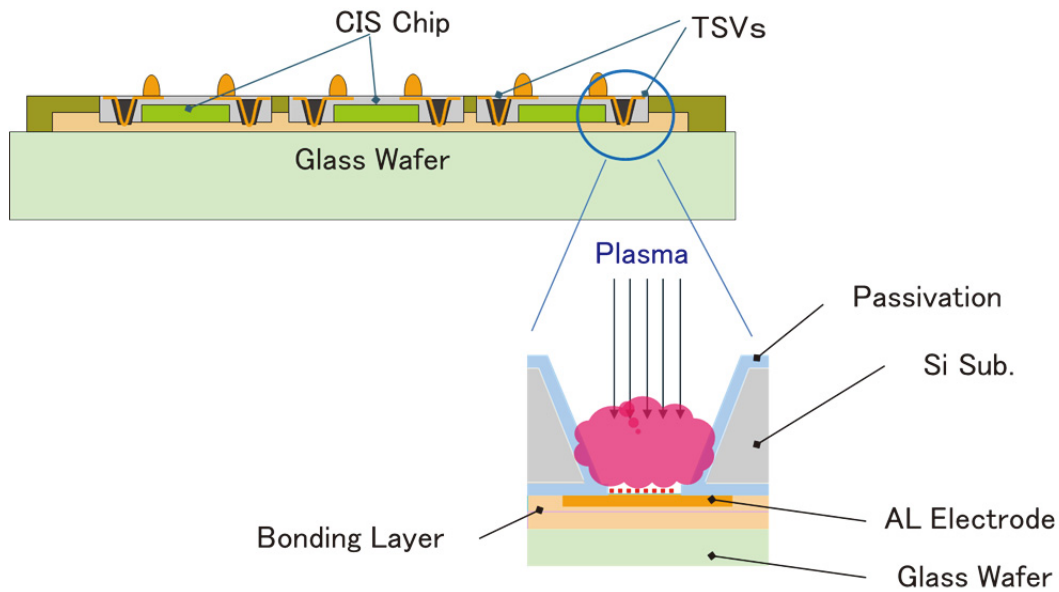


図4-14 WL-CSPプロセスの再配線工程におけるTSV部の概念図

#### 4.3.6 再配線

3.3にて説明したように、再配線工程を経て、カバーガラスとは反対側に外部接続用電極が形成される。この工程において、図4-14に示すように、TSVの底部のAl電極が一時露出する。このAl電極はCISの各回路ブロックへと接続され、通常は電極パッドとしてCIS表面に形成されているものであり、入出力信号が接続される電極であるため、絶縁膜の堆積、コンタクトビアホールを形成するための絶縁膜のドライエッチング[4-9]、およびAlのスパッタリング時のプラズマチャージの影響に配慮する必要がある[4-10]。また、アスペクト比の高いTSV底部のドライエッチング処理においては、マイクロローディング効果の影響を考慮する必要がある[4-3]。マイクロローディング効果は、パターン幅の縮小とともにエッチング速度が低下する現象であり、半導体のドライエッチング工程では、孔径(アスペクト比)によってエッチング速度が大きく変わる。原因は、アスペクト比の高い孔の底部へとイオンが到着しにくくなるためである[4-11, 4-12]。

本研究にて撮像素子に形成する TSV は、素子が形成されたシリコン基板を貫通しており、孔が深くアスペクト比は高い。TSV を形成する場合、TSV の深さが深くなるにつれてマイクロローディング効果の影響が顕著となり、シリコン基板の裏面側から TSV 内部に形成する金属配線と、シリコン基板表面側に形成された外部接続端子との間に予め存在する絶縁薄膜の除去が不十分となり、パッケージの歩留りが大きく左右される。そこで適切な処理条件を設定するため、TSV 内部におけるマイクロローディング効果の影響を詳細に評価した。

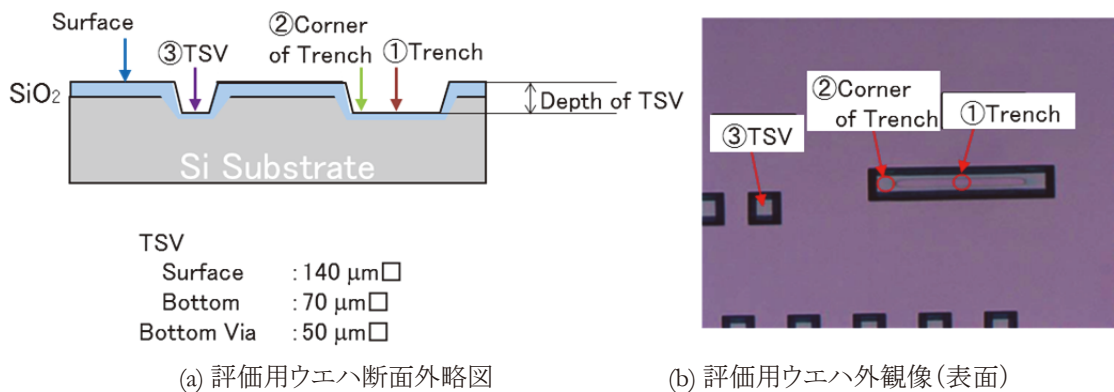


図4-15 評価用ウエハ概要

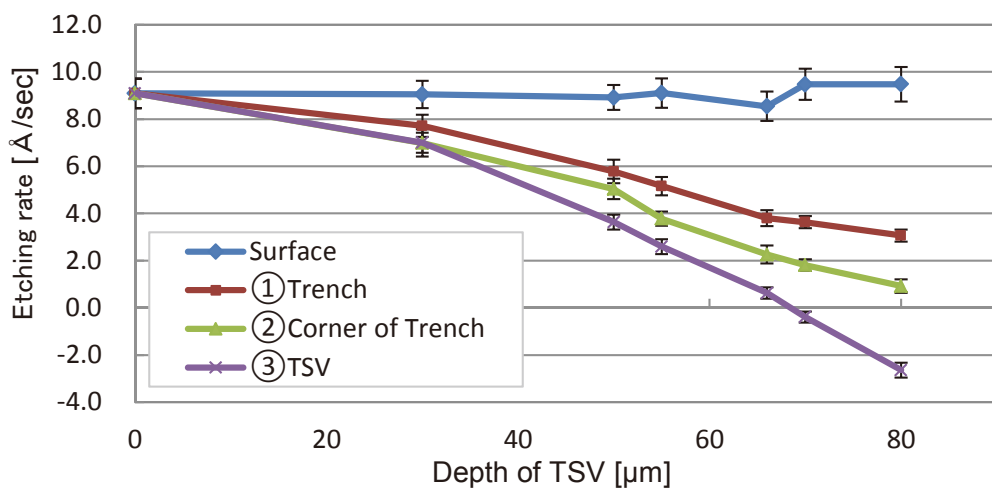


図 4-16 TSV の深さと SiO<sub>2</sub>膜エッチングレートの関係

図 4-15 は、本研究で形成する TSV と同一寸法の孔形状をシリコン基板に形成した後、基板表面に SiO<sub>2</sub> 膜を成膜した評価用ウエハである。この評価用ウエハをドライエッチング処理し、SiO<sub>2</sub> 膜の膜厚減少量からエッチングレートを算出し比較した。なお、評価には TSV と同一寸法の孔形状の他、参考としてアスペクト比の異なる長孔形状も形成し、同様に評価した。SiO<sub>2</sub> 膜の膜厚測定には、光干渉式膜厚測定装置 (Nanospec:nanometrics 社製) を用いた。

図 4-16 は、TSV の深さと SiO<sub>2</sub> 膜のエッチングレートの関係を示したものであり、ウエハ面内 5 点の平均値、及び誤差範囲である。例えば 50 μm 深さの TSV の場合、TSV 底部のエッチングレートはシリコン基板表面のエッチングレートと比べ、4 割程度にまで減少している。また、見かけ上アスペクト比の低い長孔形状に比べ、アスペクト比の高い TSV の方がエッチングレートが低い。なお、TSV の深さが 60 μm を超えるとエッチングレートが負と算出されている箇所も見受けられるが、これは TSV の底面までエッチング種が到達せず、逆にエッチング副生成物が堆積しているものと思われる。これらから、TSV 内部のドライエッチング工程においては、ウエハ表面上でのエッチング量モニタ値を係数倍するか、TSV 内部のエッチング量を直接モニタしてエッチング処理時間を設定する必要があることが明らかとなった。また、アスペクト比の異なる TSV が同一ウエハ内に混在し、同時に処理する場合にも、アスペクト比の高い TSV に条件を合わせるなど、処理条件の設定に配慮が必要である。

#### 4.3.7 電極形成

WL-CSP 型 CIS を回路基板に接続するための突起電極を、パッケージの背面上の各パッドへと形成する。Au スタッドバンプが各パッドへと形成されるが、バンプの直径は約 100 μm である。

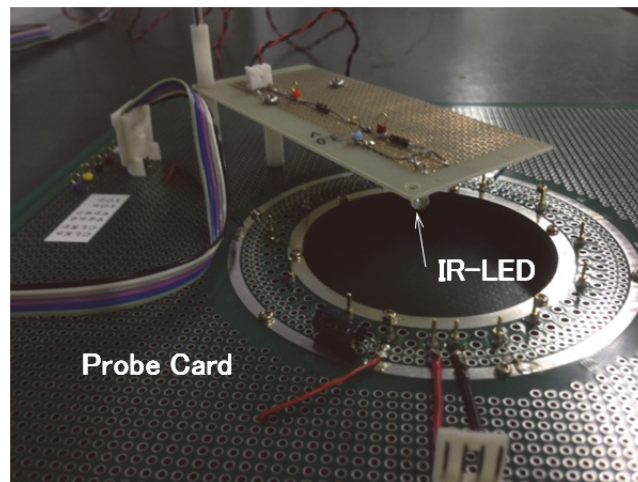


図4-17 ウエハテスト用プローブカード外観

#### 4.3.8 テスト

従来の CIS のウエハテストと同様に、すべてのチップがプロービングされ、テストされる。感度、色相、彩度、画素欠陥を測定し、CIS の基本的な撮像特性がテストされる。なお、TSV 構造を有する WL-CSP ウエハのテストでは、プロービングするための端子が、画素が形成され光を受光する面とは異なる反対の面へと形成されるため、通常の CIS のウエハテストとは異なり、テスト用の光源をウエハステージ側に設ける必要があり、テスト装置の構造が複雑になる。

本研究においては、図 4-17 に示すように、赤外光源をプローブと同一面に設け、WL-CSP の裏面側からシリコン基板を透過する赤外光を光源として用い、CIS の基本動作、および画素欠陥を評価することとし、感度、色相、彩度については、組立後に評価している。

このパッケージプロセスの特徴は、4.3.2 小口径ハンドリングウエハへの CIS チップの再配列、4.3.3 チップ間隙への樹脂充填、および 4.3.4 バックグランドおよび化学

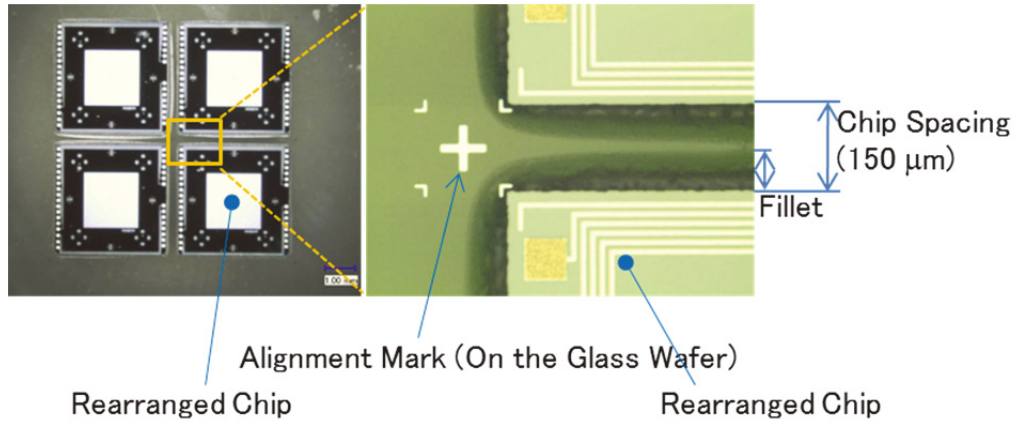
機械研磨工程であり、一つ目の課題は、これら工程を経たハンドリングウエハを、通常のウエハプロセスで処理することができるようにすることである。二つ目の課題は、4.3.4 バックグラインドおよび化学機械研磨工程、もしくは4.3.5 TSV(Through Silicon Via)の形成工程以降において CIS の撮像特性に影響を与えるプロセスパラメータ(温度、CIS チップ薄化、プラズマ)の適正化であり、これら工程を経た CIS の特性を確保することである。それら諸課題と改善法について述べる。

#### 4.4 CIS チップ再配列の検討

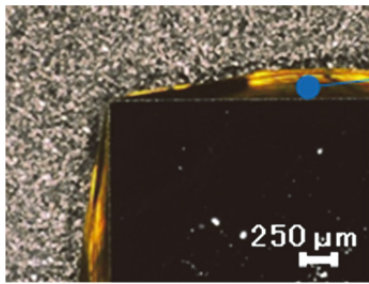
##### 4.4.1 小口径ハンドリングウエハへの CIS チップの再配列検討

CIS チップ再配列は、個片化した CIS チップを小さなハンドリングウエハ上に並べ替える本研究独自の基本工程となる。撮像部を有する CIS チップの表面を、接合層を介してガラスウエハ(カバーガラス)へと接合する必要があるため、CIS チップがガラスウエハへと確実に固定されることに加え、接合層の撮像特性への影響の回避や、接合層による撮像部の封止が必要となる。また CIS チップの表面はマイクロレンズなどの微細な段差を有しており、段差を吸収するとともに、接合面に気泡やパーティクルを挟み込まぬよう接合する必要がある。さらに、4.1 で述べたように、チップ再配列に起因するガラスウエハの反りを低減するにはチップ間隔を狭める必要もある。そこで本研究では、図 4-18(a)に示したようにガラスウエハへと予め形成した位置合せマークを逐次検出して CIS チップを再配列するフリップチップ接続法を応用した。フリップチップ接続法は、樹脂塗布機構によって微量な接合剤の塗布制御が可能であり、塗布時の制御パラメータは、精密ニードルの内径、塗布圧力、および塗布圧力印加時間となる。接合剤塗布で留意すべき点は、塗布量が過多の場合、図 4-18(b)に示したようにフィレットが増加して隣接するチップの接合を阻害し、塗布量が過少だと図 4-18(c)に示したように接合剤が十分に供給されず、撮像部にボイドが発生し画像に写りこんでしまう。チップ間隔は、最小でガラスウエハを切断するための専用ダイシングブレード(ディスコ社製 ZP07-SD2000-F1B333 54\*0.11A2\*40-L)の厚さ 110  $\mu\text{m}$  まで狭めらるが、

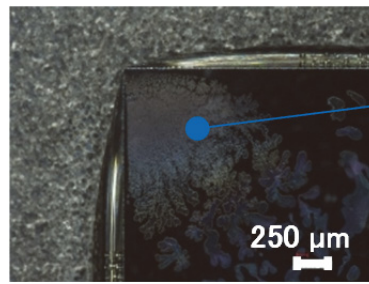
切断時の位置ずれも考慮した最小値として 150  $\mu\text{m}$  と設定した. CIS チップの再配列で, 接合剤として BCB[4-6]を用いる場合, 精密ニードルの内径 150  $\mu\text{m}$  (武蔵エンジニアリング社製 SHN-0.15N), 圧力 20 kPa, 圧力印加時間 0.1 sec.で, 150  $\mu\text{m}$  以下の適度なフィレットが形成され, かつボイドの無い再配列が可能であった. 図 4-18(d)にチップ再配列に用いる搭載装置を示す.



(a) 再配列チップとチップ間隙およびチップ間隙に広がるフィレット



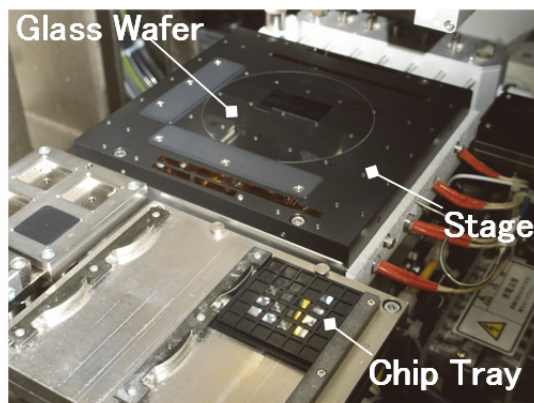
Fillet



Void

(b) 塗布量過多によるフィレットのはみ出し

(c) 塗布量過少による接合面のボイド



(d) フリップチップボンディング装置 (ウエハステージ部)

図 4-18 ガラスウエハに再配列したチップの状態 (ガラス越しの観察像)と搭載装置



ついで、フリップチップ接続法によるガラスウエハへのチップ再配列精度の検証を行った。図 4-19(a)は、検証に用いた評価用パターンであり、ガラスウエハ、および TEG チップに予め形成したフリップチップ接続時のアライメントマーク、および精度評価用パターンが、いずれも Al 薄膜により形成されている。これらのパターンが、再配列するチップサイズ 3.5 mm に、前述したチップ間隔 150  $\mu\text{m}$  を加えた 3650  $\mu\text{m}$  ピッチでアレイ状に設けられている。一方、図 4-19(b)は、再配列する CIS チップを模した 3.5 mm $\square$ の精度評価用 TEG チップであり、ガラスウエハ側のアライメントマーク、および

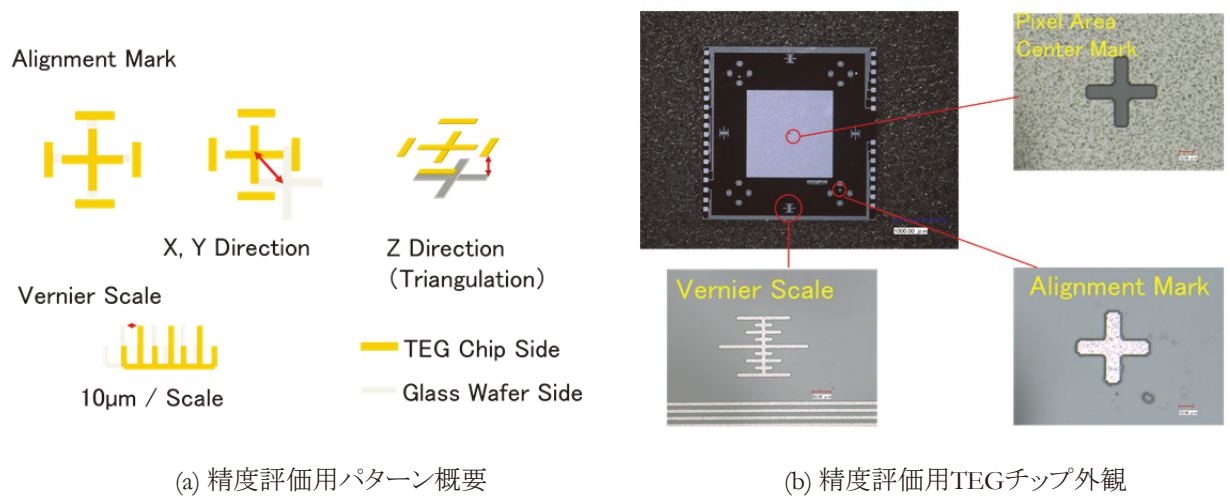


図4-19 チップ再配列精度検証サンプル

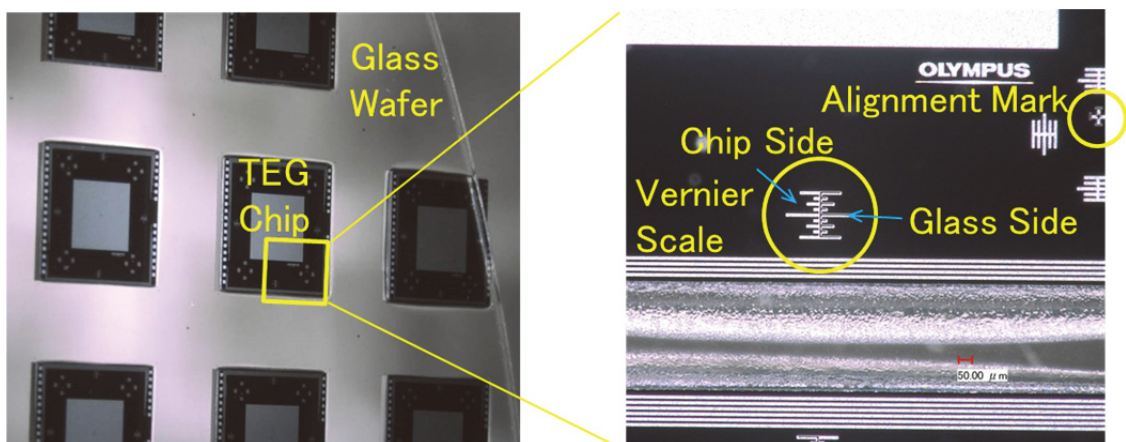


図4-20 チップ再配列後の精度検証サンプル

精度評価用パターンに対応した TEG チップ側のパターンが Al 薄膜により形成されている。図 4-20 は、フリップチップ接続法により、精度評価用 TEG チップをガラスウエハへと再配列した後の外観であり、それぞれのアライメントマーク、および精度評価用パターンが対応する位置に重なっているのが分かる。これらパターン間のずれ量を、ガラスウエハ越しに計測した。平面方向の計測には、測長顕微鏡を、厚み方向の計測には共焦点レーザスキャン顕微鏡を用いた。接合に用いる樹脂は、熱硬化型樹脂 3種と、UV 硬化型樹脂 2種を評価した。表 4-3 に検証結果を示す。

表4-3 フリップチップ接続法によるチップ再配列精度評価結果

Curing Type Resin Name	Thermo Setting Type			UV Curing Type	
	A	B	C	D	E
Resin Type	Epoxy	BCB	Silicone	Epoxy	Acrylic
Accuracy X,Y [ $\mu\text{m}$ ]	3.2	3.8	1.8	1.4	1.8
Accuracy Z [ $\mu\text{m}$ ]	2.88	2.64	3.0	4.54	3.09
Tilt [ $^{\circ}$ ]	0.035	0.036	0.032	0.106	0.038

各サンプルウエハ面内 n=10 の測定平均

平面方向(X,Y)の精度は、熱硬化型樹脂に比べ、UV 硬化型樹脂が高いが、厚み方向(Z)の精度は、熱硬化型樹脂の方が高い。いずれの精度も 3.2.3 にて解説したパッケージの設計ルールにて吸収可能な程度であり、チップ再配列精度においては、いずれの樹脂も選定可能である。したがって、3.2.4 でも述べたとおり、カバーガラスと撮像素子の接合樹脂として、BCBを選定している。

#### 4.4.2 チップ間隙への樹脂充填検討

4.3.3 にて述べたとおり、ガラスウエハ上に再配列された CIS チップの間に形成される溝はチップ再配列 WL-CSP 技術特有のものであり、再配列した CIS チップ同士の間隙によって格子状に形成され、CIS チップ厚さ分の深さを有する。溝構造を有するウエハを従来と同様に処理するには、これらの溝が何らかの材料で充たされる必要があり、また溝に充填される材料は、WL-CSP プロセスにおけるアルカリ溶液やプラズマ雰囲気に対する耐性を有する必要があるため BCB を選択した[4-13]。図 4-21 に BCB を充填したガラスウエハの外観を示す。BCB の充填には塗布ロボット(武蔵エンジニアリング製: Super  $\Sigma$  CM-V5+FAD320S), および精密ソリッドニードル (武蔵エンジニアリング製: SHN-0.15N) を用いニードル塗布している。塗布条件は、塗布圧力: 30 kPa, バキューム圧力: -0.5 kPa, 塗布方法: 線塗布, 描画速度: 30 mm/s である。BCB の硬化は、CIS チップに形成されるカラーフィルタなど有機樹脂層への熱的影響(主に有

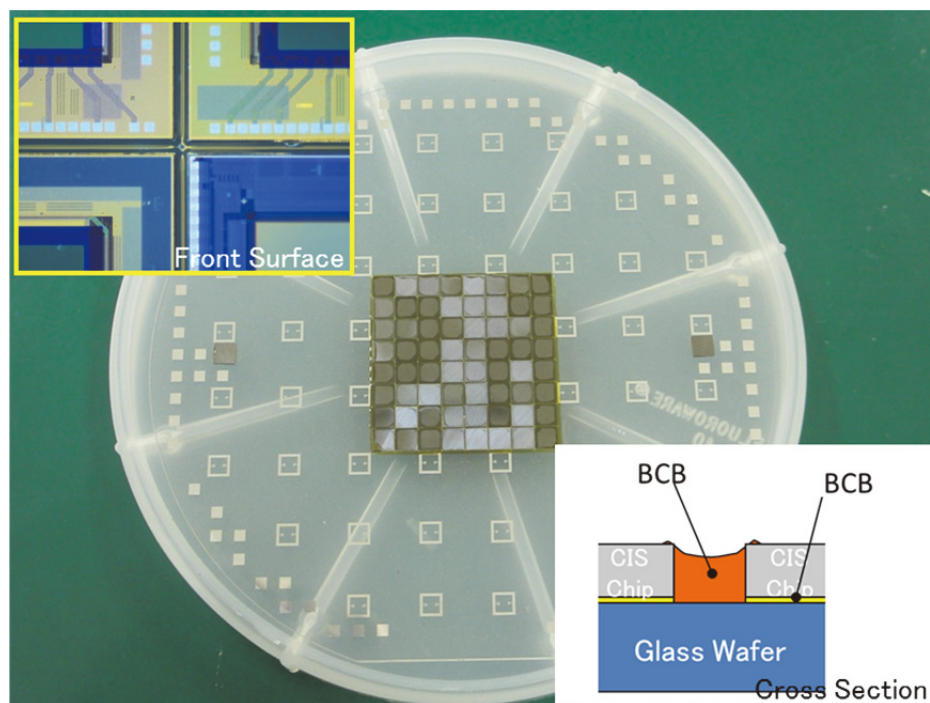


図4-21 BCBを充填したガラスウエハの外観

機樹脂層の変色)を避けるため、BCB が固化する最低限のキュア温度・時間として 210°C, 80 min.を設定した. なお, 本提案プロセス全般に渡り, 上限温度を 210°Cとし CIS チップの特性変動を避けている.

#### 4.4.3 バックグランドおよび化学機械研磨検討

前節にて解説したチップ間隙へと樹脂を充填した直後においては, 図 4-21 に示されているように CIS チップ裏面に樹脂が付着したり, チップ間隙内の樹脂の量が不均一な箇所も見られる. これらを取り除くのと同時に, TSV の形成を容易でかつ安定化させるために CIS チップを薄化することを目的として, CIS チップのアレイと充填樹脂をウエハ背面から化学的, 機械的に研磨(CMP: Chemical Mechanical Polishing)し平坦化する. 図 4-22 に化学的, 機械的研磨を終えたウエハの外観を示す. 大きなチップピングなどは見られず, 外観上は良好な加工面が得られている. ここまでの工程を経た CIS チップのアレイを再配置したガラスウエハは, この後, 通常のウエハプロセスで処理することが可能となる. なお, 薄化される CIS チップの厚さは 50  $\mu\text{m}$ としたが, CIS チップ薄化の影響については, 4.6 にて述べる.

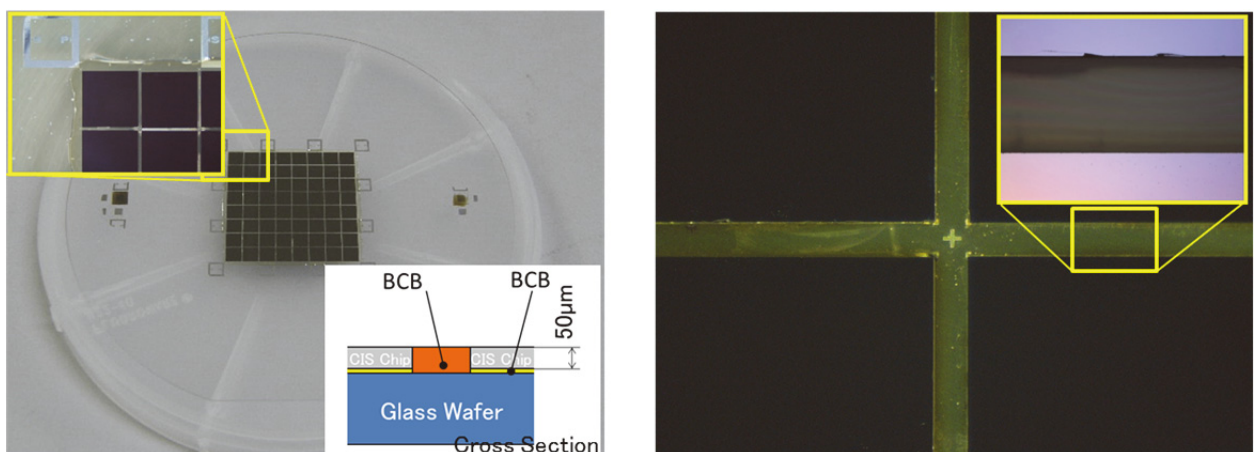


図4-22 化学的, 機械的研磨を終えたウエハの外観

#### 4.4.4 CIS チップ再配列検討の考察

CIS チップの再配列には、3つの異なる方法が考えられる。

##### (1) スピコート法

ガラスウエハ上に接合剤をスピコート法で形成し、接合層がガラスウエハ表面全体を覆うものであり、接合層の形成が容易で、接合層厚を正確に制御できる。ウエハ同士を接合するには好適な方法であるが、チップ再配列での逐次搭載の場合、各チップごとに加熱、もしくは紫外線などによる接合層の硬化を行う必要があり、隣接する接合層に干渉するため、再配列チップの間隔(間隙)を十分に広げる必要がある。

##### (2) パターニング法

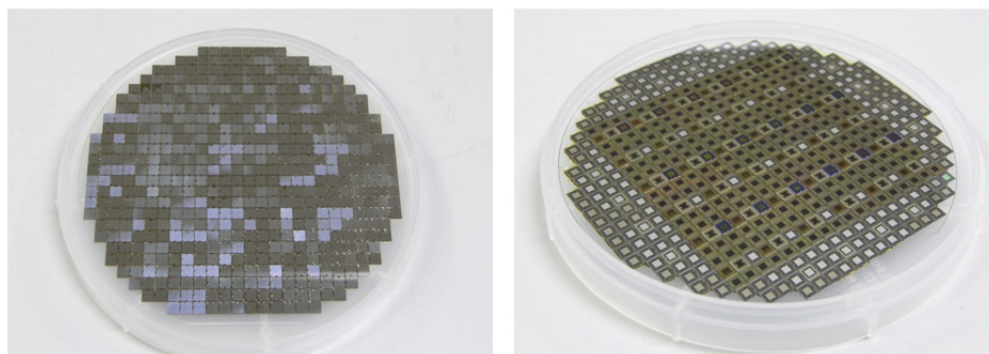
ガラスウエハ上に接合剤をスピコーティング法で形成した後、フォトリソグラフィにより接合層を選択的に形成するものであり、接合領域を精度良く形成することが可能であるが、感光性の接合材は選択肢が少なく、また、スピコート法同様に、隣接する接合層に干渉するため、再配列の間隔を十分に広げる必要がある。

##### (3) 塗布法

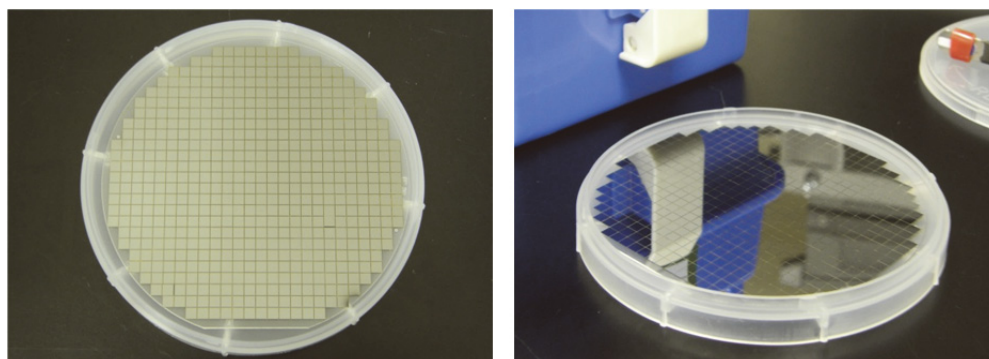
本研究で提案する方法であり、ガラスウエハ上に接合層を個々のチップに対応させ接合樹脂を塗布して形成するものである。この方法のみ、隣接する接合層への干渉を避けることができ、再配列の間隔を縮小することが可能である。しかしながら、他の2つの方法と比べるとスループットは高くない。

構造解析シミュレーションの結果から、再配列するチップ間隔を広げることは、ウエハの反りを増大させることになる。スピコート法やパターニング法を採用し、再配列の間隔を狭めるためには、隣接する接合層への干渉を避けられるように再配列チップの一括接続ができなければならない。文献[4-14]では、ウエハのダイシングに用いるシートの伸張性を利用し、φ4インチ、約30000個のチップをダイシングした後、シートに載せたままエキスパンドして数百μmのチップ間隔をあけ、φ6インチウエハへとBCBを介し一括して再配列接合するプロセスが提案されているが、再配列したチップの位置精度が20μm程度と大きく、その後にウエハプロセスを行うことは難しい。

本研究では、医療デバイスに向けた多品種少量の生産を想定しており、大量のチップを再配列して処理する必要性は高くないが、本研究で提案した方法の応用可能性を検証した。図 4-23(a)は、 $\phi$  4 インチ、厚さ 500  $\mu\text{m}$  のガラスウエハ全面に 3.5 mm $\square$  チップを再配列し(320 個)、間隙に BCB を充填した後の外観であり、図 4-23(b)は、ガラス越しの再配列チップ外観である。図 4-23(c)、および図 4-23(d)は、化学的、機械的研磨を終えたウエハの外観である。3.5 mm と小さなチップを再配列したため、ウエハの反りは 45  $\mu\text{m}$  とやや大きいですが、より多くのチップを再配列し、化学的、機械的研磨を経てウエハプロセスを行える状態に再配列することが可能であることが実証され、今後、さらに多くのチップ再配列や、大口径ウエハへの適用可能性が示された。一方で近年、ウエハプロセスに対応した一時的な仮接合、および剥離樹脂やシート材が開発されており、それらを用いることによる高精度な一括再配列の検証が今後の課題である。



(a) ガラスウエハ全面に再配列しBCB充填後の外観 (b) ガラス越しの再配列チップ外観



(c) 化学的、機械的研磨後のウエハ外観 (d) 化学的、機械的研磨後のウエハ外観(斜視)

図4-23  $\phi$  4インチ, 500  $\mu\text{m}$ ガラスウエハ全面へのチップ再配列検証結果

#### 4.5 熱プロセスによる CIS ダメージ評価

撮像素子に使用されるマイクロレンズ、カラーフィルタなどの有機材料は、2.2 にて述べたように、高温で光学性能が劣化する問題点がある。撮像素子チップの画素最表面に設けられるマイクロレンズは、高温における酸化熱分解で、透過率が著しく劣化したり、形状が変形することが懸念される[4-15]。また、マイクロレンズとフォトダイオードの間に設けられるカラーフィルタは、同じく高温により退色しカラー特性が劣化することが懸念される[4-16]。そこで、撮像素子の耐熱性を把握するため、画素の外観、マイクロレンズの形状、およびカラー特性に注目し、撮像素子表面のマイクロレンズ、カラーフィルタを加熱した後の形状と色の変動を評価した結果について述べる。

まず、WL-CSP プロセスの熱処理にて想定しうる、100℃、200℃、300℃にそれぞれ撮像素子を1時間投入し、ビデオマイクロスコープによる画素の外観の評価、AFM (Atomic Force Microscope) によるマイクロレンズ形状計測、および撮像素子の出力信号を用いたカラー特性の評価を実施した。評価サンプルは、図 4-24 に示すように撮像素子をセラミック DIP (Dual Inline Package) へと実装したもので、サンプル数は各水準2つとした。

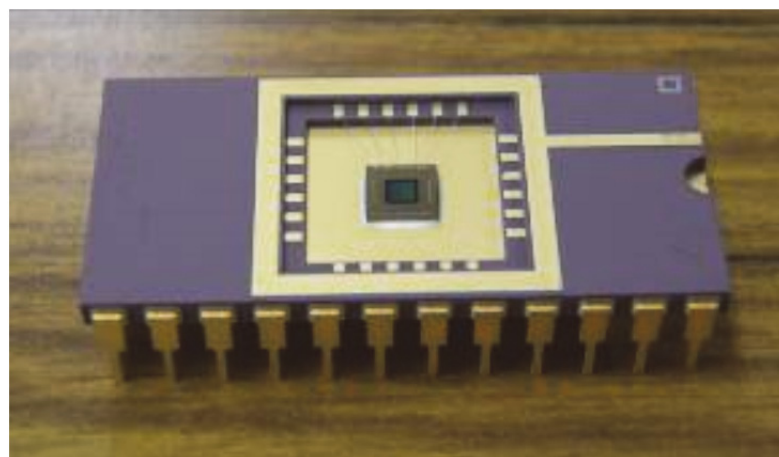


図4-24 熱プロセス評価形態

マイクロレンズ形状計測結果を図 4-25 に示す。計測結果からは 100℃, 200℃においては、マイクロレンズの形状に大きな変化は見られないが、300℃に投入したサンプルは、すべての画素でマイクロレンズの形状が崩れていることが分かる。また、マイク

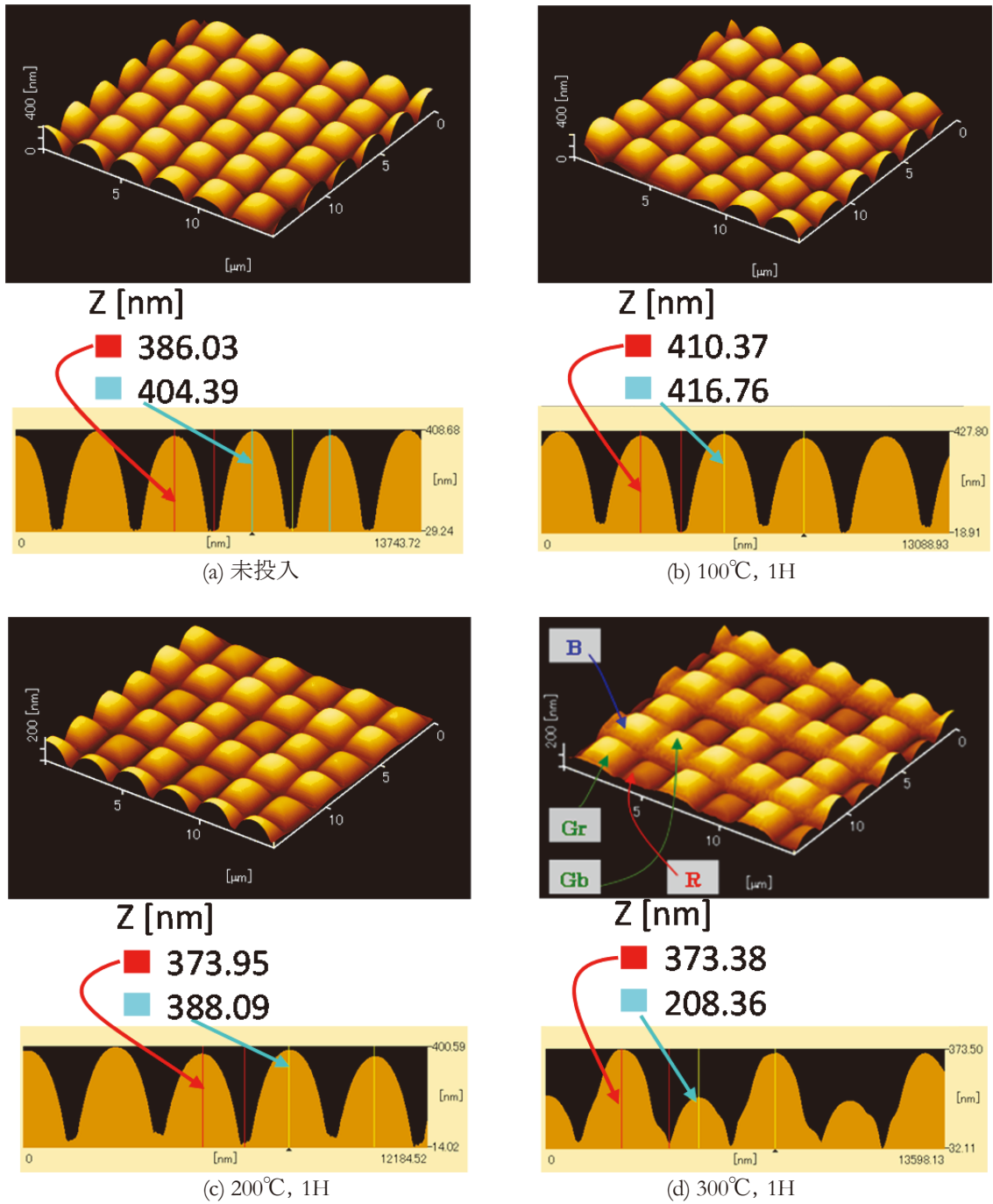


図4-25 熱プロセスによるマイクロレンズ形状計測結果



ロレンズの変形の程度が他と異なる画素が規則的に存在している(R画素). マイクロレンズの材料はその製法からしてすべての画素において同一の材料が用いられているため, 規則的に画素の変形が起こる原因は, マイクロレンズ下層のカラーフィルタとの相互作用により発生しているものとも考えられる.

次に画素外観の評価結果を図 4-26 に示す. 100°C, 200°Cにおいては, 大幅な色彩の変化は見られないが, 300°Cの場合は, 外観上, 明らかにカラーフィルタの退色が確認できる. 未投入サンプルと比べ, 赤画素, 緑画素, 青画素いずれの色彩も著しく失われている. そこで, 各サンプルの画素出力信号を用い, 出力パターン, および出力レベルを比較した. 出力パターンは, 撮像素子の出力信号をカラーフィルタ配列のまま出力した画像であり, 図 4-27 に出力パターンとカラーフィルタ配列を示す.

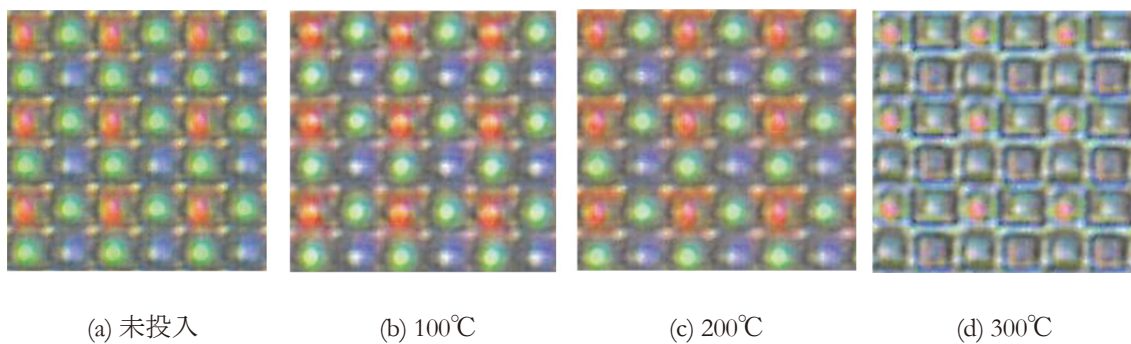


図4-26 熱プロセスによる画素外観評価結果

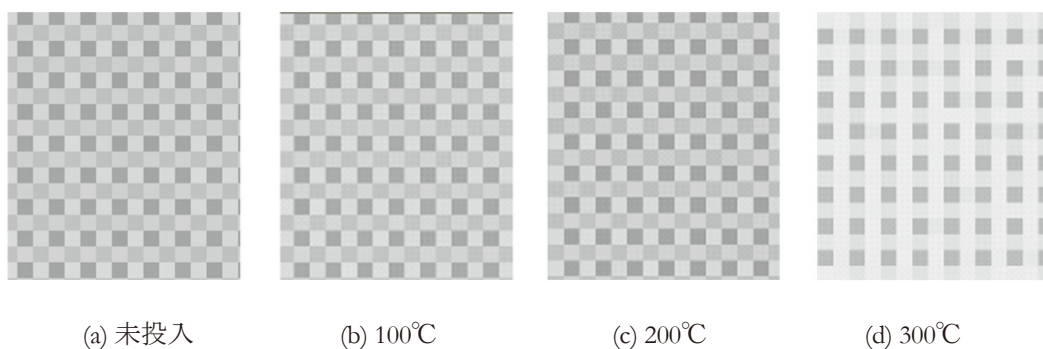
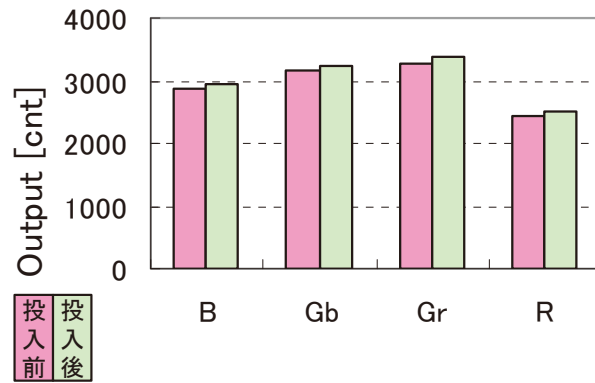


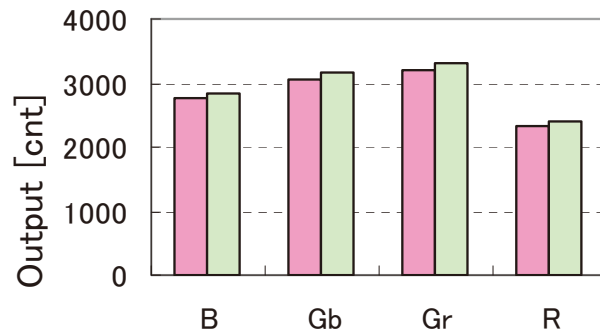
図4-27 熱プロセスによる画素出力パターン比較

100°C, 200°Cに投入したサンプルの出力パターンは, Bayerパターンが確認できる。しかしながら, 300°Cに投入したサンプルの出力パターンは, Bayerパターンが確認できない状態となっている。図 4-28 には投入した各サンプルの出力レベルを示す。出力レベルは, 有効画素領域の中心付近(50×50=2500 画素)の各色の平均値である。100°C, 200°Cに投入したサンプルは, 投入前後において出力レベルの差はほとんど見られない。しかしながら, 300°Cに投入したサンプルでは, 投入後に出力レベルが上がっている。この原因は, カラーフィルタの退色により透過率が上昇したのと考えられ, 青画素については, 投入前後で出力レベルに, 大きな差が見られないものの, 赤画素は, その差が著しく大きくなっている。これらの結果は, 220°Cを超える加熱により撮像素子に用いられる有機材料が酸化熱分解するという結果[4-17]ともよく一致している。

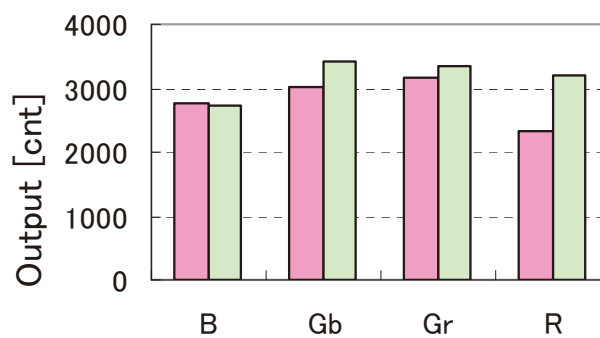
マイクロレンズ, およびカラーフィルタは, いずれも CIS ベンダにより施工されるものであり, それらの物性値は非開示のため詳細に考察することはできないが, 実装技術の視点で考えれば, 従来, デジタルカメラが普及しはじめた頃の撮像素子は, 例えセラミックにパッケージされた標準品であってもリフロープロセスに対応しておらず, 熱に配慮するために, 撮像素子をマニュアルで半田付けする必要があった。当時は撮像素子に, シアン(Cy), マゼンタ(Mg), イエロー(Ye), グリーン(G)の補色系カラーフィルタが用いられていたが, 染料色素によるものが大半で耐熱性が低く, リフロープロセスに対応できなかったものと考えられる。近年は, レッド(R), グリーン(G), ブルー(B)の原色系カラーフィルタが主流であり, これらは顔料色素によるもので耐熱性が向上し, 文献[4-18]によれば, 250°C程度の耐熱性を有するカラーフィルタも開発されている。リフロープロセスに対応している撮像素子は, 顔料色素を用いた原色系カラーフィルタを用いているものと考えられるが, 過度な熱プロセスでの特性変動は懸念されるため, 撮像素子のパッケージング技術には, 常に熱的ダメージを考慮する必要がある。



(a) 100°C



(b) 200°C



(c) 300°C

図4-28 熱プロセス前後の出力レベル比較

以上の結果から、撮像素子の撮像性能を確保する上では、200°C程度をパッケージングプロセスの温度制約とする必要がある。

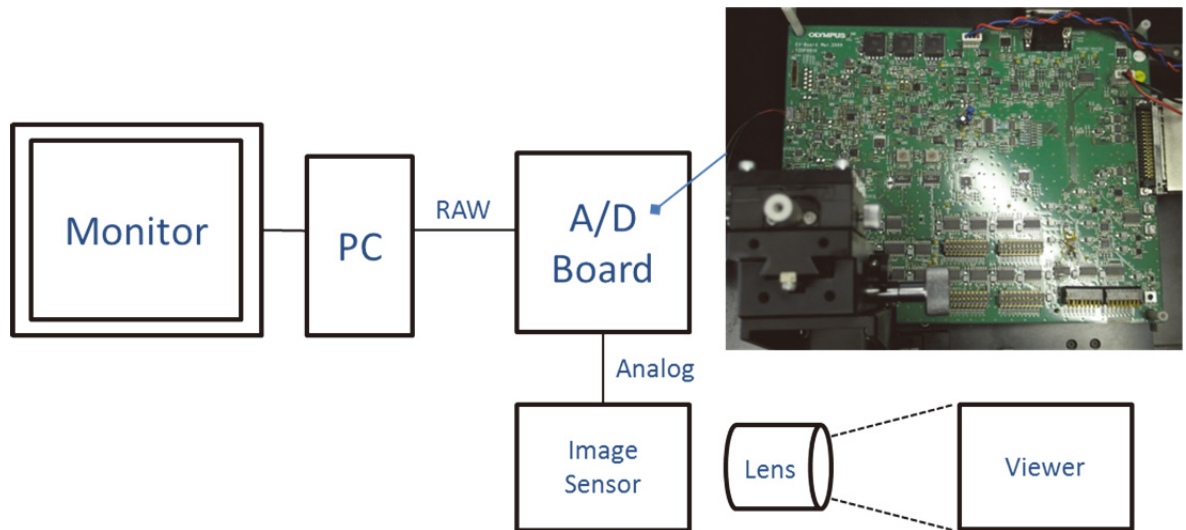
#### 4.6 薄化による CIS ダメージ評価

CIS チップの厚みを薄化できれば、TSV 形成工程でのビア深さを浅くできるので TSV プロセス時間の短縮以外にも利点が多い。例えば、TSV 形成工程でのドライエッチングのマイクロローディング効果の影響は、TSV が深くなる程、大きくなること分かっている[4-19]。しかしながら、極端な半導体の薄化は、一方で強度が低下し、半導体デバイスとしての機能への影響を引き起こすことが懸念される[4-20, 4-21]。そこで本研究では、図 4-29(a)に示す画像評価システムにて、図 4-29(b)に示す評価サンプルを作成して、CIS チップの薄化と撮像特性への影響の関係を調べた。図 4-30 に示すように、735  $\mu\text{m}$  の CIS チップを標準厚みとし、300  $\mu\text{m}$ 、100  $\mu\text{m}$ 、および 50  $\mu\text{m}$  に薄化した際の撮像特性を比較した。比較した撮像特性は、暗時画像出力(暗電流)、感度、点欠陥、およびチャート画像による官能評価であり、画像評価系から出力される 12 Bit の出力値を 0~4096 カウント表記[cnt]している。CIS は 24°C の環境下にて 60 fps で動作させ、暗時画像出力(暗電流)および点欠陥は外部からの光を遮断した状態、感度は光源を減光フィルタにて一定の光量とした状態、チャート画像はレトマチャート、及びカラーバーチャートを撮像し、出力される RAW データを比較した。これらの結果から、標準厚みである 735  $\mu\text{m}$  の CIS チップと 300  $\mu\text{m}$ 、100  $\mu\text{m}$ 、および 50  $\mu\text{m}$  の CIS チップとの間で撮像特性に差異は見られず、最も薄い 50  $\mu\text{m}$  厚 CIS チップを再配列プロセスに適用した。

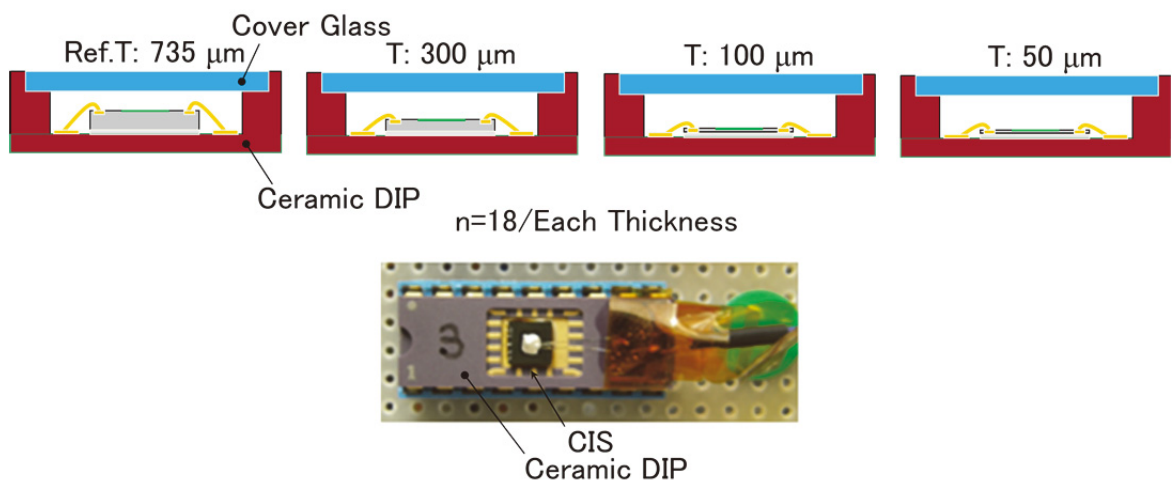
文献[4-22]では、フレキシブルな撮像素子を実現するために、Si<100>ウエハ上に形成された CIS を 20  $\mu\text{m}$  以下にまで薄化し、機械的応力が加えられた CIS の電氣的、光学的特性の影響が述べられており、特に Si<110>を横切る方向の歪みによってエネルギー準位がシフトし特性が変動するため、応力が作用しにくい設計ルールが提案されている。

従来、CIS ウエハ単独で薄化するには、数百  $\mu\text{m}$  程度が限界であると考えられていたが、本研究では CIS チップ表面全面をガラスウエハで支持する構成としているため、

チップに応力が加わりにくく、安定して 50  $\mu\text{m}$  までの薄化が可能となったものと考えられる。近年普及している裏面照射型の撮像素子においても、フォトダイオードウエハをハンドリングウエハに接合した後に薄化する類似プロセスが実用化されており[4-23]、撮像素子の薄化には有効な方法であると考えられる。



(a) 評価システムセットアップ



(b) 評価サンプル

図4-29 CMOSイメージセンサ撮像特性評価システム

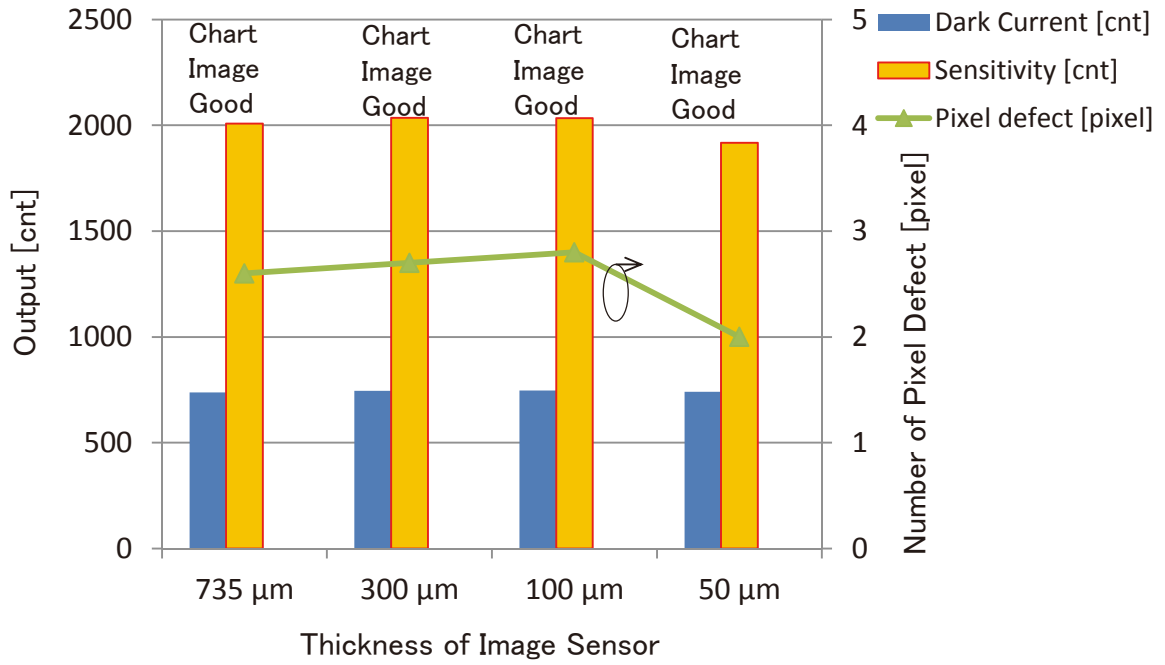


図 4-30 CMOS 撮像素子の研磨厚みと撮像特性の関係

## 4.7 プラズマプロセスによる CIS ダメージ評価

WL-CSP プロセスにおいては、複数のドライエッチング工程が存在し、CIS がプラズマ雰囲気中に晒される。一般にプラズマプロセスは、半導体デバイスの諸特性に悪影響を与えると考えられている[4-24, 4-25]。本論文の WL-CSP プロセスにおいては、プロセスの初期段階において、CIS チップの表面がガラスで覆われており、半導体デバイスへのプラズマの影響は低減されているものの、TSV 形成時のスルーホール底部絶縁膜へのコンタクトホール形成工程や、裏面の金属配線材料を成膜する工程、およびそれらのフォトリソグラフィの際のフォトレジスト剥離工程において、CIS チップのパッド裏面がプラズマに晒されることになる。撮像素子の各画素に加え、周辺の回路は多くの MOSFET からなるが、プラズマ処理時のチャージングによりダメージを受けて WL-CSP プロセスの前後で MOSFET の閾値電圧  $V_{th}$  が変動したり、フォトダイオードの暗電流が増加するという問題が懸念された[4-26]。したがって WL-CSP プロセスによる撮像素子の性能への影響について評価を行った。WL-CSP プロセスを施さないウエハと、WL-CSP プロセスを施したウエハとで MOSFET の閾値電圧  $V_{th}$  の変化を調べた後、さらにその対策を行った結果について述べる。

### 4.7.1 TEG ウエハによる検討

まず、TEG (Test Element Group) を形成したウエハを準備し、WL-CSP プロセスにおけるプラズマプロセスの影響を基礎的に評価した。TEG は CIS そのものに含まれるものとは異なるが、CIS の主要構成要素を模擬した MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) からなり、図 4-31 に示すように、ゲート幅/ゲート長比  $W/L$  が異なる3水準 ( $W/L = 50 / 50 \mu\text{m}$ ,  $W/L = 2 / 50 \mu\text{m}$ , および  $W/L = 20 / 1.6 \mu\text{m}$ ) を N 型, P 型それぞれ準備した(表 4-4)。それらを、WL-CSP プロセスを施さないウエハ、および全ての WL-CSP プロセスを施したウエハとに分け、それぞれの MOSFET の閾値電圧  $V_{th}$  を比較した。WL-CSP プロセスを施したウエハは、 $\phi 4$  インチ、厚さ  $500 \mu\text{m}$  のガラスに TEG の形成されたウエハを接合し、図 4-10 に示した WL-CSP プロセスを経た。これらウエハをダイシングし、セラミック DIP に実装して評価した。

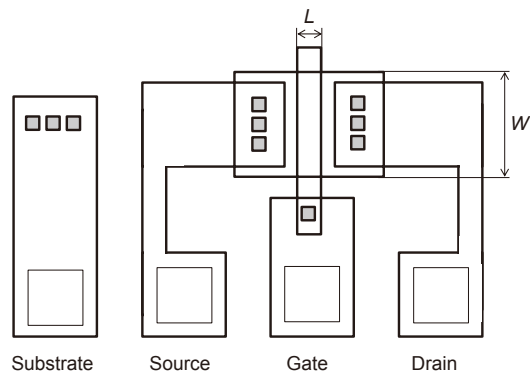


図4-31 MOSFET TEG概要

表4.4 MOSFET TEG 水準

TEG	Table Column Head		
	P-Channel/N-Channel	L [ $\mu\text{m}$ ]	W [ $\mu\text{m}$ ]
P-D1	P-Channel	50	50
P-D2		2	50
P-D3		20	1.6
N-D1	N-Channel	50	50
N-D2		2	50
N-D3		20	1.6

MOSFET の評価には、半導体パラメータアナライザを用いて、各チップの NMOS 及び PMOS のドレイン電流  $I_d$  とドレイン電圧  $V_g$  の関係を測定し、 $\sqrt{I_d}$ - $V_g$  の関係をプロットして X 軸との切片を閾値電圧  $V_{th}$  とした。図 4-32 に各ウエハの  $\sqrt{I_d}$ - $V_g$  特性を、表 4-5 に  $V_{th}$  のシフト量を示す。また、閾値以下のサブスレッショルド領域における S 係数(ドレイン電流を一桁変えるのに必要な電圧)を求め、表 4-6 に示す。尚、図中の D1~D3 は MOSFET のゲート幅/ゲート長比  $W/L$  に対応し、それぞれ D1:  $W/L = 50 / 50$ , D2:  $W/L = 2 / 50$ , D3:  $W/L = 20 / 1.6$  である。



NMOS, PMOS 共に WL-CSP プロセスのプラズマダメージにより、立ち上がりがなまり、NMOS で顕著に  $V_{th}$  がシフトしている。最もシフト量が大いのは、N-D1 であり、ついで N-D2 であることから、 $V_{th}$  のシフト量はゲートの面積の大きさに依存している。

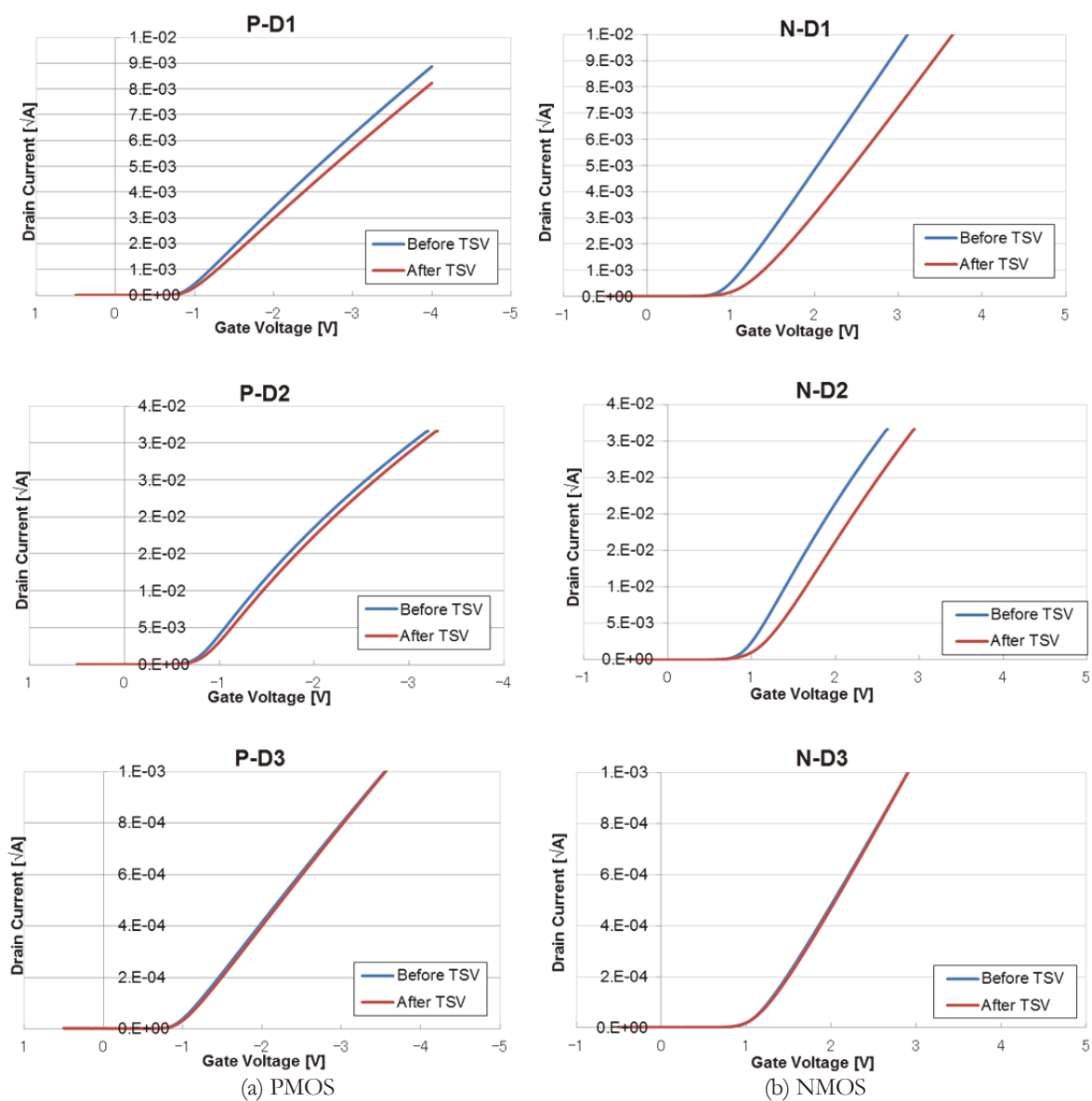


図4-32 WL-CSPプロセス前後の $I_d$ - $V_g$ 特性 (Y軸は $I_d$ の平方根であり単位は $\sqrt{A}$ )

表4-5 WL-CSPプロセス前後の閾値電圧 ( $V_{th}$ ) シフト量

(a) PMOS

TEG	$V_{th}$ before CSP [V]	$V_{th}$ after CSP [V]	$\Delta V_{th}$ [V]
P-D1	-0.77	-0.78	-0.01
P-D2	-0.85	-0.86	-0.01
P-D3	-0.92	-0.92	0.00

(b) NMOS

TEG	$V_{th}$ before CSP [V]	$V_{th}$ after CSP [V]	$\Delta V_{th}$ [V]
N-D1	0.93	1.21	0.28
N-D2	0.86	1.00	0.14
N-D3	1.14	1.15	0.01

表4-6 WL-CSPプロセス前後のSファクター変化

(a) PMOS

TEG	S factor before CSP [V/decade]	S factor after CSP [V/decade]	$\Delta S$ [V/decade]
P-D1	0.08	0.09	0.01
P-D2	0.10	0.10	0.00
P-D3	0.09	0.10	0.01

(b) NMOS

TEG	S factor before CSP [V/decade]	S factor after CSP [V/decade]	$\Delta S$ [V/decade]
N-D1	0.10	0.16	0.06
N-D2	0.12	0.18	0.06
N-D3	0.13	0.15	0.02

サブスレッショルド領域における S 係数の値は、同じく NMOS で顕著に変化しており、この検討結果において、WL-CSP プロセスを施したことによる MOS 特性の変化は、工程中のプラズマ処理に起因するものと考えられる[4-27].

#### 4.7.2 アニール処理の効果

プラズマによるダメージは、熱(アニール)処理過程により回復されることが知られている[4-28]が、4.5 にて述べた通り、撮像素子の場合には過度な熱処理により有機樹脂からなるオンチップカラーフィルタやマイクロレンズが変質し、撮像特性が劣化するため、それらの耐性が確認された 150°Cでのアニール処理による回復の効果を検証した。ここでは 150°Cの恒温槽に各サンプルを入れ、24, 48, 96, および 192 時間放置した後に変動した閾値電圧の回復の程度を検証した。検証には、WL-CSP プロセスにて最も  $V_{th}$  がシフトした NMOS TEG の N-D1 を用いた。図 4-33 に閾値電圧  $V_{th}$  のアニール時間による変化の様子を示す。150°Cのアニール処理によって  $V_{th}$  が元の値に近づき、24 時間後がその効果が最も顕著であるが、以降、アニール処理を加えても完全に元の値には戻らない。なお、WL-CSP プロセスを施していないものは、そもそもこのアニール処理によって特性が変化することはない。すなわち、有機樹脂層が設けられた撮像素子の場合、有機樹脂層への影響を回避することができる範囲のアニール処理ではプラズマによるダメージを完全に回復することはできないことが明らかとなった。

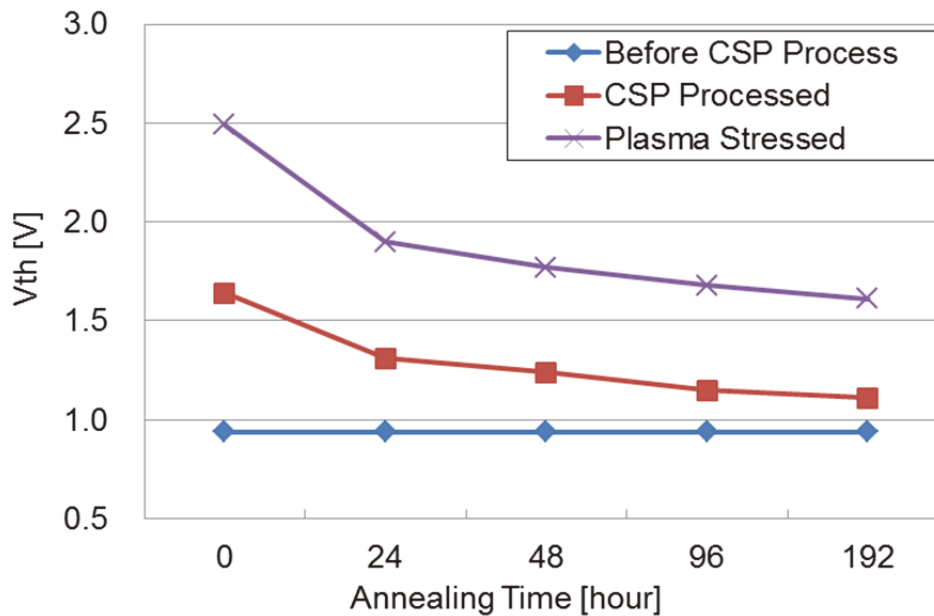


図4-33 アニール処理による閾値電圧 ( $V_{th}$ ) の改善効果 (NMOS TEG (N-D1))

したがって、WL-CSP プロセスでのプラズマのチャージングによるダメージを防ぐには、例えば撮像素子の各外部接続端子に保護ダイオードを挿入しプラズマダメージを抑制することを設計要件とする必要がある。保護ダイオードは外部接続端子に隣接して設けられることが一般的であり ESD (Electro-Static Discharge; 静電気放電) 対策を同時に行うことができる。

#### 4.7.3 WL-CSP プロセスにおけるプラズマプロセスダメージの考察

文献[4-29]によれば、アンテナ効果により生ずるプラズマダメージは、プラズマ処理中のプラズマの不均一さによって正電荷がゲート電極に蓄積されることで、PMOS においてはチャンネル領域に蓄積層が形成され、NMOS では逆に反転層が形成されることになり、ゲート電極-基板間の電界によって酸化膜中に電流が注入されてダメージ

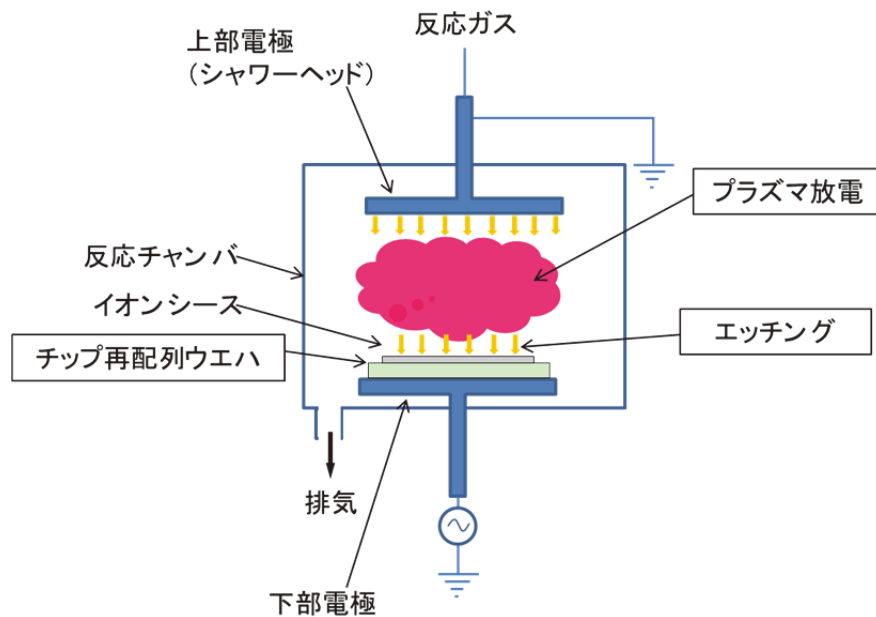


図4-34 典型的なRIE装置の構成

が生じるが、プラズマ処理中は各電極が浮いているため、特に NMOS においては少数キャリアである電子が供給されないため反転層が形成されるにくく、プラズマ処理によるダメージは NMOS より PMOS において顕著に現れると述べられている。これは本研究の結果に反するものであり、その理由を考察する。

WL-CSP プロセスでは、通常のエッチングプロセスと異なり、CVD 装置や RIE 装置のエッチングステージへとウエハを表裏反転させて載置し、ウエハ裏面側から処理することになる。図 4-34 に RIE 装置の概略を示す。装置内部には一対の平行電極が設けられ、一方の電極(ステージ)上にウエハが載せられて RF 電圧が印加される。他方の電極は接地電位であり、その表面に設けられたシャワーヘッドから反応ガスが供給される。電極間では放電によりプラズマが発生し、ガス分子が励起されてエッチング作用をなす活性ラジカルやイオンとなる。平行電極間の電界と、活性ラジカルとウエハ表面における化学反応によりエッチングが進む。図 4-35 に WL-CSP プロセスにおけるプラズマダメージモデルを示す。通常のエッチングプロセスと同じく正電荷がゲート電極に蓄積されて、NMOS では反転層が形成される。この時、ゲート電極に誘起された電子は、

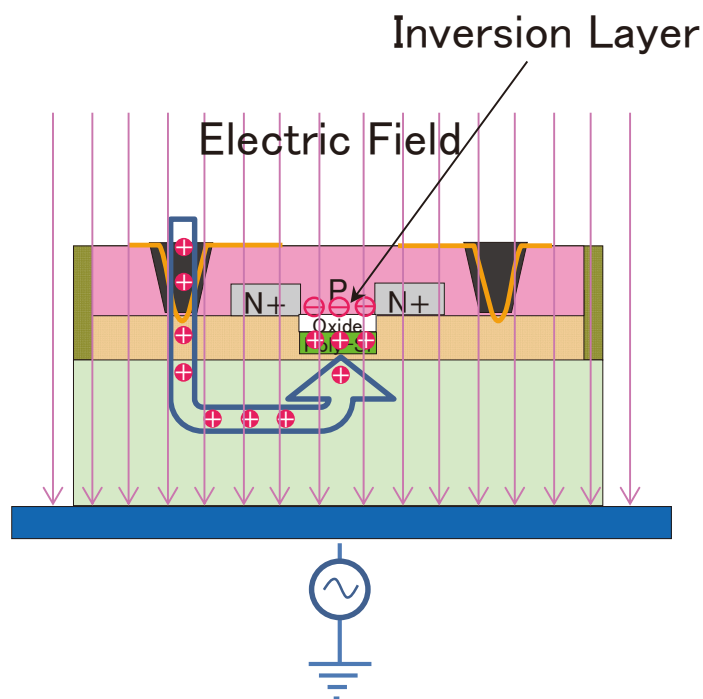


図4-35 WL-CSPプロセスにおけるプラズマダメージモデル

ゲート電極－基板間に作用する電界によりゲート酸化膜方向に引き込まれてダメージを生じていると考えられる。したがってプラズマダメージはゲート面積に比例することになり、本検証の結果と一致している。ウエハ内の電荷が電界により引き寄せられる方向が通常のウエハプロセスとは異なり、その結果ダメージの入りやすい MOS の極性が異なっているものと推察され、撮像素子の WL-CSP プロセス特有の現象であると考えられる。

#### 4.7.4 プラズマダメージ低減構造

ところで、保護ダイオードは設計制約などにより、やむを得ず外部接続端子の下層に形成しなければならない場合もある。しかしながら、WL-CSP の構造は、外部接続端子に対応した裏面側から TSV を形成する必要があるため、各外部接続端子の下層には保護ダイオードを形成することができない。このような場合に備えた対策とその効果について述べる。プラズマダメージは、プラズマプロセス中にゲート電極に蓄積した電荷によってゲート酸化膜中に電流が注入され、ゲート酸化膜にダメージが入ったことが原因と考えられるため、WL-CSP 加工前に MOSFET TEG の各電極端子間を配線で接続し等電位としてから WL-CSP プロセスを施すことによるプラズマダメージ低減の可能性を検証した。

図 4-36 にプラズマダメージ低減構造の概略図を、図 4-37 に検証結果を示す。プラズマダメージ低減構造を適用したデバイスは WL-CSP プロセス前との変化が小さく、プラズマダメージ低減構造の効果が現れていることが確認された。各電極同士を AL

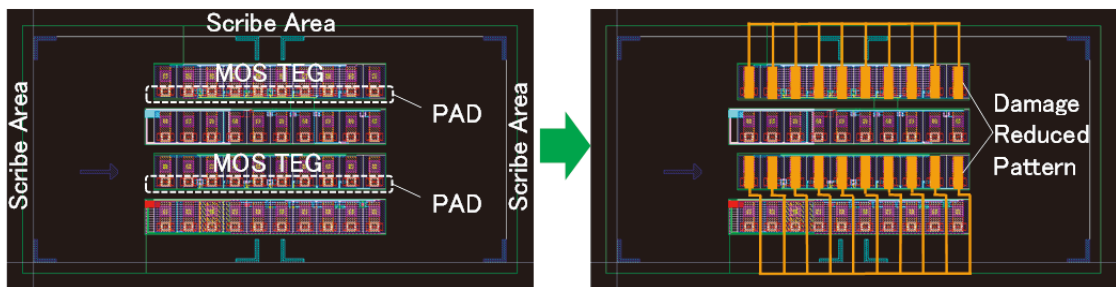


図4-36 プラズマダメージ低減構造概略

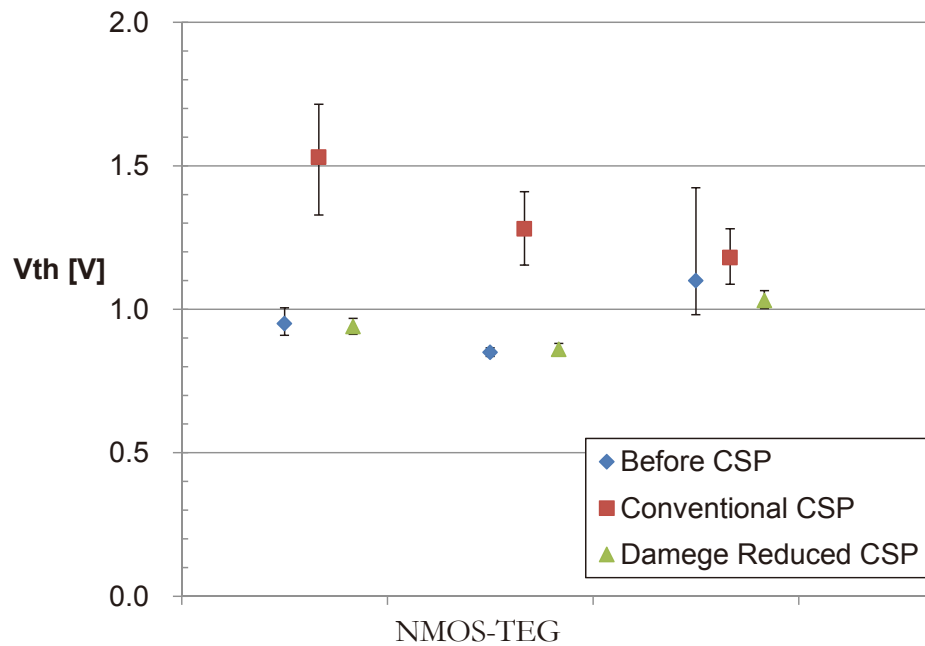


図4.37 プラズマダメージ低減構造の効果

配線で接続した状態でプロセスを行うことで、プラズマプロセス中に電極に蓄積する電荷を電極間の配線を介して消散させることが可能であると考えられ、WL-CSP プロセス前にパッド間を配線で接続する、プラズマダメージ低減構造を適用することにより、プラズマダメージによる MOSFET の特性変化が抑制されることが確認された。なお、この配線はチップ間に形成されるスクライブ領域上で接続することで、ダイシング時に接続を切断することができるものである[4-27]。



## 4.8 第4章 参考文献

- [4-1] Y.Takahashi, Rajiv Dunne, Masazumi Amagai, Yohei Koto, Shoichi Iriguchi, Tom Bonifield, Philipp Steinmann, and David C.Stepniak : “Over Molding Process Development for a Stacked Wafer-level Chip Scale Package with Through Silicon Vias(TSVs) ,” Transactions of The Japan Institute of Electronics Packaging Vol.5,No.1 , pp.124-131 ,2012.
- [4-2] 山田 浩:“擬似 SoC 技術とその将来展望,” エレクトロニクス実装学会誌 Vol.17 No.3, pp.180-184, 2014.
- [4-3] 式田光宏, 佐藤一雄, 田中浩, 「マイクロ・ナノデバイスのエッチング技術」, シーエムシー出版, 2009.
- [4-4] 田口玄一, 「品質設計のための実験計画法」, 日本規格協会, 1988.
- [4-5] CYBERNET 社 Web サイト <http://www.cybernet.co.jp/>, ソリッドシエルモデル(2016.11.04) ,2016.
- [4-6] ディスコ社 Web サイト <https://www.disco.co.jp>, 二流体洗浄メカニズム(2016.11.04), 2016.
- [4-7] 高橋忠:” ベンゾシクロブテン(BCB)薄膜多層配線基板”, HYBRIDS, Vol. 7 No. 1, pp.23-28, 1991.
- [4-8] G-R.Yang, Y-P.Zhao, M.Neiryunk, S.P.Murarka, R.J. Gutmann: “Chemical-Mechanical Polishing of Parylene N and Benzocyclobutene Films”, J.Electrochem.Soc., 133(9), pp.3249-3255, 1997.
- [4-9] 垂井康夫, 小林稔, 中島蕃, 「VLSI プロセス技術ー第 2 版ー」, 日刊工業新聞社, 2002.
- [4-10] 和佐清孝, 早川茂, 「スパッタ技術」, 共立出版, 1988.
- [4-11] 大岩徳久, ”次世代微細加工技術”, 東芝レビュー, Vol.59, No.8, pp22-25, 2004.
- [4-12] 浅野種正: “ドライエッチング技術”, 電子情報通信学会『知識ベース』, pp.9-11, 2010.
- [4-13] Dow Chemical 社 Web サイト <http://www.dow.com/>, Cure and Oxidation Measurements for Cyclotene Advanced Electronics Resins(2016. 11.04), 2016.
- [4-14] F.Forsberg, N.Roxhed, G.Stemme and F.Niklaus : “Heterogeneous Integration Technology For Combination Of Different Wafersizes Using An Expandable Handle Substrate, School of Electrical Engineering,” MEMS 2011, Cancun, MEXICO, January 23-27, pp.268-271 ,2011.
- [4-15] 高橋秀和, “CMOS イメージセンサにおける画素縮小化技術”, 映像メディア学会誌, Vol.60, No.3, pp.295-298, 2006.
- [4-16] 佐野義和: “カラーフィルタ, マイクロレンズ”, 電子情報通信学会『知識ベース』, pp.77-85, 2011.
- [4-17] 溝渕 孝一, 足立 理, 須川 成利他, “高温下の耐性・撮像性能を改善した高ダイナミックレンジ CMOS イメージセンサ,” 映像情報メディア学会誌 Vol.62, No.3, pp.368-375, 2008.

- [4-18] Hiromitsu Aoki, Kenji Yokozawa, Nobuyuki Waga, Tomoko Ohtagaki, Yoshiaki Nishi, Hirotsu Kodama, Yoshikazu Sano, Sumio Terakawa : “Advanced Complementary Color Filter Technology without Dyeing Process for CCD Image Sensors,” *Proceedings of SPIE 3333, Advances in Resist Technology and Processing XV*, pp.1232-1240, 1998.
- [4-19] Noriyuki Fujimori, Takatoshi Igarashi, Takahiro Shimohata, Takuro Suyama, Kazuhiro Yoshida, Yusuke Nakagawa, Tsutomu Nakamura, Toshiro Sato : ” Wafer level package by using post dicing process,” *Proceedings of ICEP 2014*, pp.34-38, Toyama, 2014.
- [4-20] 田久 真也, 黒澤 哲也, 清水 紀子, 原田 亨: “薄型チップを高強度化するダイシング技術,” *電子情報通信学会論文誌 Vol.J91-C No.11*, pp.603-609, 2008.
- [4-21] ディスコ営業技術部: “シリコンウェーハの薄化, 個片化プロセスと抗折強度”, *DISCO Technical Review*, 2016.
- [4-22] Georgios C. Dogiamis, Bedrich J. Hosticka, Anton Grabmaier : “Investigations on an Ultra-Thin Bendable Monolithic Si CMOS Image Sensor,” *IEEE SENSORS JOURNAL*, VOL. 13, NO. 10, pp.2892-3900, 2013.
- [4-23] Cheng-Ta Ko, Zhi-Cheng Hsiao, Hsiang-Hung Chang, Dian-Rong Lyu, Chao-Kai Hsu, Huan-Chun Fu, Chun-Hsien Chien, Wei-Chung Lo, and Kuan-Neng Chen : “A Novel 3D Integration Scheme for Backside Illuminated CMOS Image Sensor Devices,” *IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY*, VOL. 14, NO. 2, pp.715-720, 2014.
- [4-24] SEMI ジャパン, 「半導体プロセス教本」, SEMI ジャパン, 1998.
- [4-25] 福本吉人, 住江伸吾, ”プラズマチャージャップダメージ評価ウェーハの開発”, *神戸製鋼技報*, Vol.52, No.2, pp.83-86, 2002.
- [4-26] 加藤得三 , ”デジタル一眼レフカメラ用 CMOS イメージセンサ,” *映像情報メディア学会誌 Vol.61, No.3*, pp.271-274, 2007.
- [4-27] Takatoshi Igarashi, Kazuaki Kojima, Kazuya Matsumoto, Noriyuki Fujimori, Tsutomu Nakamura : ” Evaluation of Plasma Process Damage during TSV Formation and Damage Reduction Method,” *Proceedings of ICEP-IAAC 2015*, pp.74-77, Kyoto, 2015.
- [4-28] 江刺口浩二, 深沢正永, 鷹尾祥典, 辰巳哲也, 斧高一, ”プラズマ誘起 Si 基板ダメージの熱処理回復過程の検討(1)”, 第 61 回応用物理学会春季学術講演会 講演予稿集, pp08-088, 2014.
- [4-29] D. Goguenheim, A. Bravaix, S. Gomri, J. M. Moragues, C. Monserie, N. Legrand and P. Boivin, “Impact of wafer charging on hot carrier reliability and optimization of latent damage detection methodology in advanced CMOS technologies,” *Microelectronics Reliability*, vol. 45, pp. 487-492, 2005.

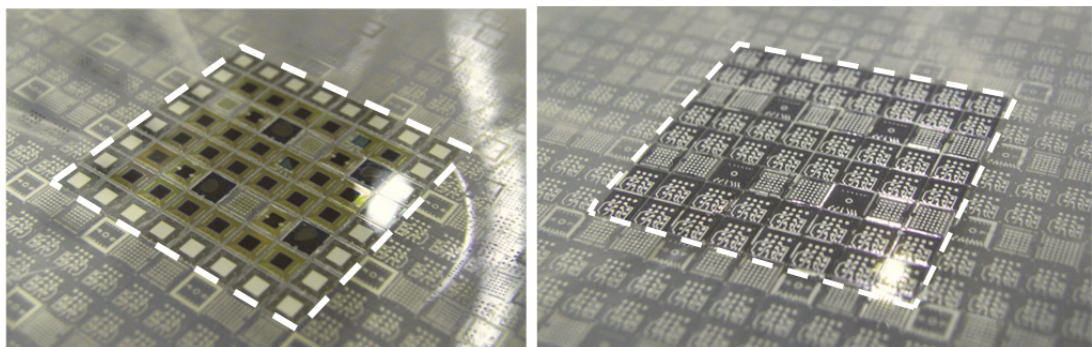
## 第 5 章

# WL-CSP を応用した 医療用 CIS 撮像モジュールとその特性評価

### 5.1 WL-CSP 型 CIS 撮像モジュールの概要

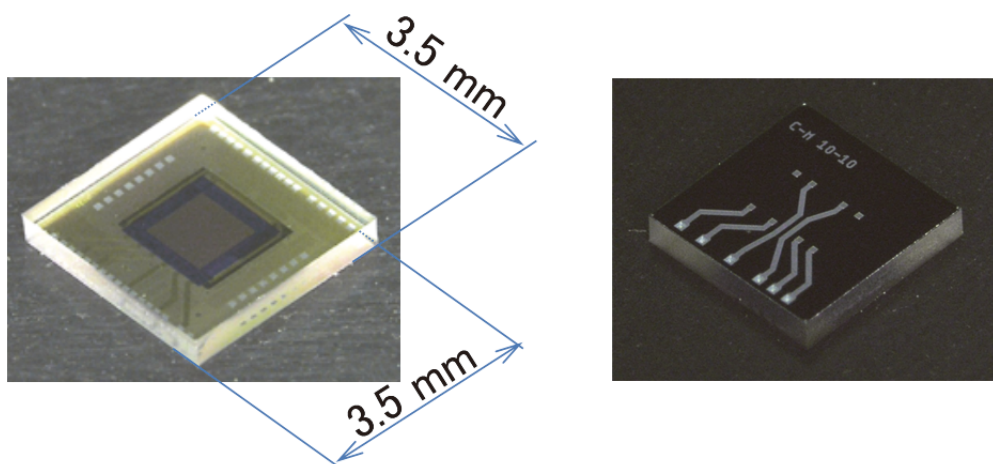
#### 5.1.1 試作した WL-CSP 型 CIS

図 5-1 はチップ再配列技術を用いて試作した WL-CSP の外観写真である。図 5-1 (a)はガラスウエハ越しに見える再配列 CIS チップ、図 5-1 (b)は再配列チップの裏面側からの外観である。白枠で囲んだ領域に  $8 \times 8$  の CIS チップを再配列し、パッケー



(a) Top view (Imaging surface / Before dicing)

(b) Bottom view (Mounting surface / Before dicing)



(c) Top view (After dicing)

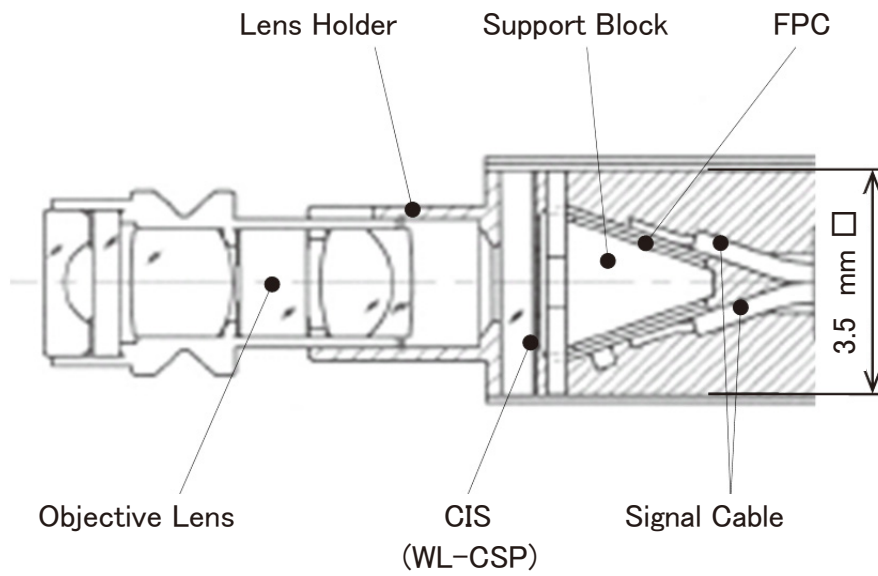
(d) Bottom view (After dicing)

図5-1 チップ再配列技術を用いて試作したWL-CSPの外観写真

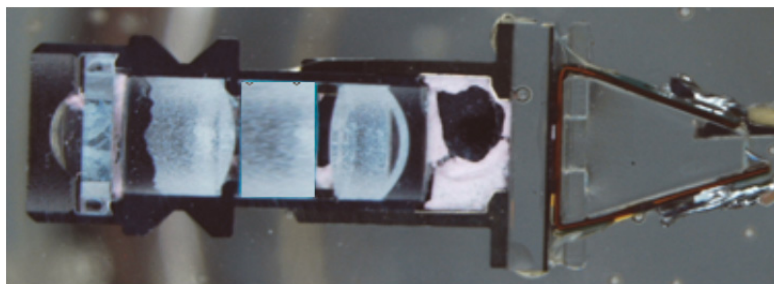
ジングを行ったものであり、各チップをダイシングにより個片化する前の状態である。ガラスウエハの反りは見られず、また、すべての CIS チップの動作が確認された。図 5-1 (c)、および図 5-1 (d)はダイシングにより個片化した後の外観であり、3.5 mm□に切断され、カバーガラス越し、中央に見えるのが画素マトリクス、その周辺に見えるのが周辺回路である。裏面には TSV を介して再配線層が形成されている。

#### 5.1.2 WL-CSP 型 CIS 撮像モジュール

図 5-2 は、本研究で試作した WL-CSP 型 CIS 撮像モジュールである。3.5 mm(H) × 3.5 mm(V)の WL-CSP 型 CIS を中心に、撮像光学系、および周辺部品を実装した回路基板からなる。撮像光学系は 5 枚のレンズ群からなり、それぞれ金属製の枠部材に保持されている。回路基板は、フレキシブル配線板であり、WL-CSP 型 CIS 裏面の Au スタッドバンプに接続された後、後方に折り曲げられている。後方に折り曲げられたフレキシブル配線板には、信号ケーブル接続用のランドが設けられている。この構成により、WL-CSP 型 CIS の外形からはみ出ることなくフレキシブル配線板を折り曲げて信号ケーブルが接続され、WL-CSP 型 CIS の特徴を最大限に活かした、新たな医療用小型撮像モジュールを実現した。



(a) 各部断面図



(b) 試作品断面写真

図5-2 WL-CSP型CMOS撮像素子を応用した医療用撮像モジュール試作品

## 5.2 WL-CSP 型 CIS 撮像モジュールのアセンブリ工程

### 5.2.1 フリップチップボンディング

まず, WL-CSP 型 CIS を図 5-3(a)に示したフレキシブル配線板へと FCB (Flip Chip Bonding) 実装する. WL-CSP 型 CIS 裏面には図 5-3(b)に示すように予め Au バンプが形成されている. FCB には一般の半導体用 FCB 装置を用い, ACF (Anisotropic Conductive Film) を介して1バンプあたり 60 gf の荷重を加えながら, 吸着コレットを 225°C, 90 sec.加熱することで, Au バンプとフレキシブル配線板上の接続電極とを

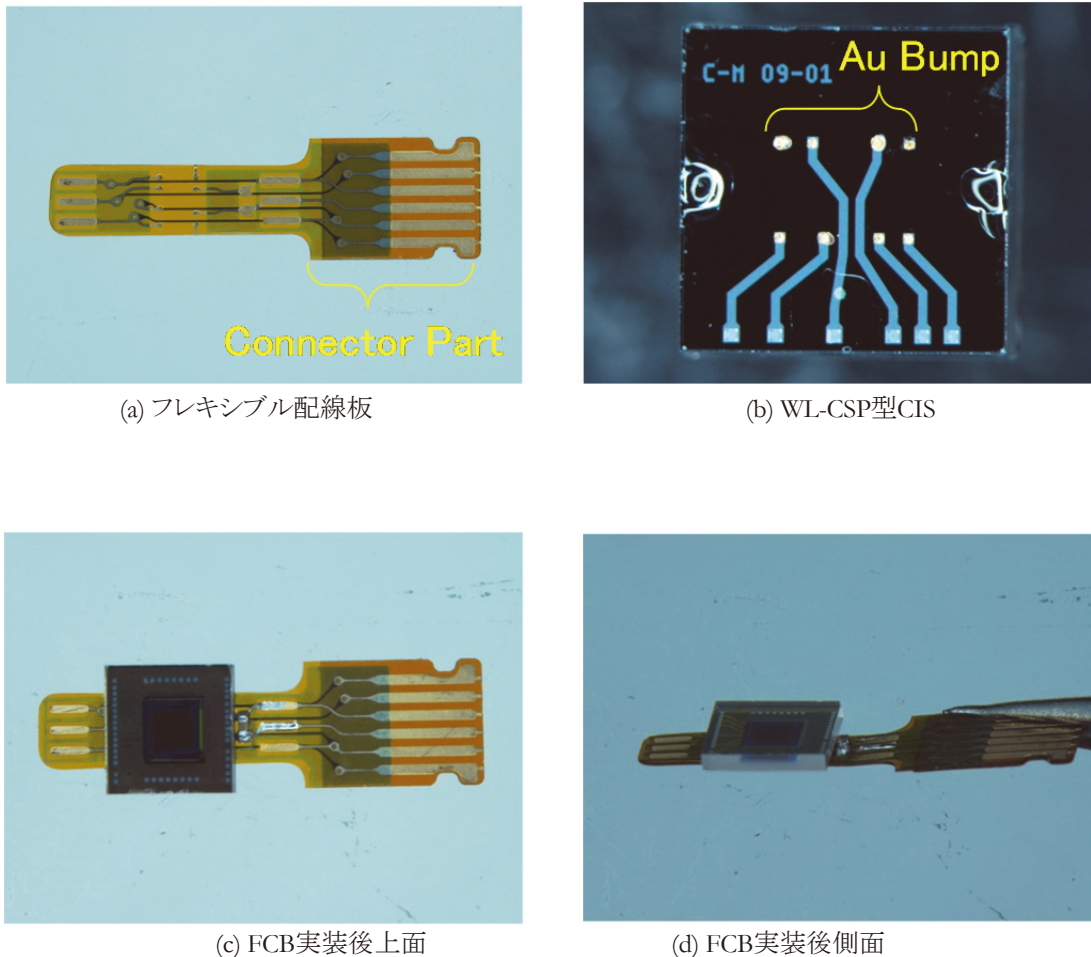


図5-3 フレキシブル配線板へのフリップチップボンディング

ACF 中の導電粒子により接続している。FCB 実装後の WL-CSP 型 CIS を図 5-3(c), および図 5-3(d)に示す。

なお, 本研究の WL-CSP 型 CIS ではシリコン基板厚みが  $50\ \mu\text{m}$  と非常に薄く加工されているため, 実装時の荷重, もしくは実装後の残留応力が CIS の回路動作へと影響を与えるおそれがあり[5-1], 実装条件の設定や, 実装電極の配置には配慮が必要である。そこで, CIS へと加わる局所的な応力の画像への影響を評価したところ, CIS 上の特定の回路ブロックに応力を加えると, 異常な画像が出力されたり, CIS が破壊されることが分かった。図 5-4 は, WL-CSP 型 CIS 裏面に形成される Au バンプと同一径に加工した  $\phi 100\ \mu\text{m}$  の先端部を有するキャピラリーを取り付けた荷重計と, 画像評価系であり, CIS の特定の回路ブロックへとキャピラリーを介して任意の応力を加えながら出力画像を確認することができる。図 5-5 は, CIS の列回路, およびアンプ部に荷重を加えた際の出力画像であるが, キャピラリーに加える荷重が  $75\ \text{gf}$  を超えると, 飽和画像にタテ筋が現れ始め, 荷重を増やしていくとタテ筋が画像に濃く現れているのが分かる。また, 荷重の印加を止めると, タテ筋が消えてなくなり, この場合は可逆的な現象であることも分かる。

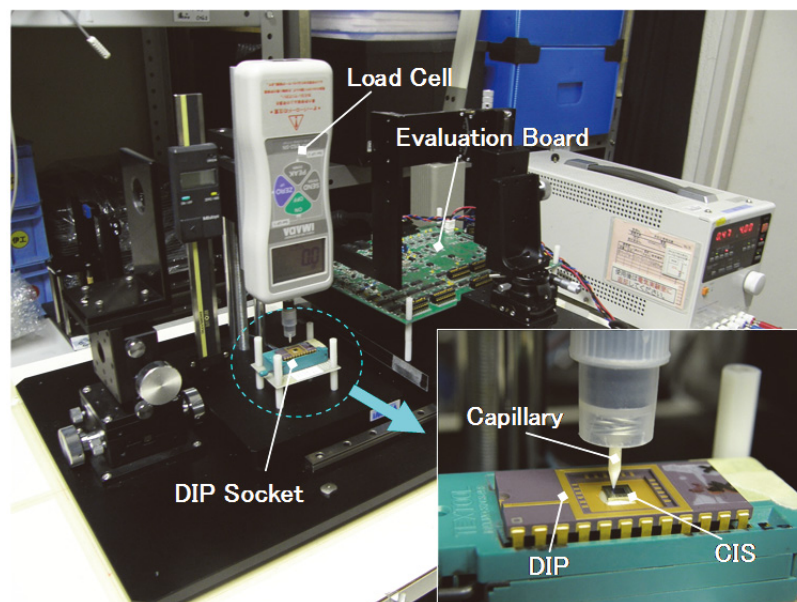


図5-4 荷重計を用いた画像評価装置

一方、図 5-6 は、本研究にて試作した WL-CSP 型 CIS の裏面配線および接続電極を形成する位置と CIS の回路ブロックとの位置関係を示す図面の一例である。この例では、CIS の列回路、およびアンプ部の裏面に接続電極が形成されることを示しているが、この WL-CSP 型 CIS を1バンプあたり 80 gf の荷重で実装した後の出力画像を図 5-7 に示す。前述したタテ筋と同様の異常な画像である。全く同じ位置関係の接続電極を半田を用いて荷重を加えずに接続すると画像の異常は現れず、また、接続電極を回路ブロックの裏面を避けて配置することによっても画像の異常は現れなかった。このことから、接続電極であるバンプの配置やバンプに印加される荷重の設定が重要であることが示された。

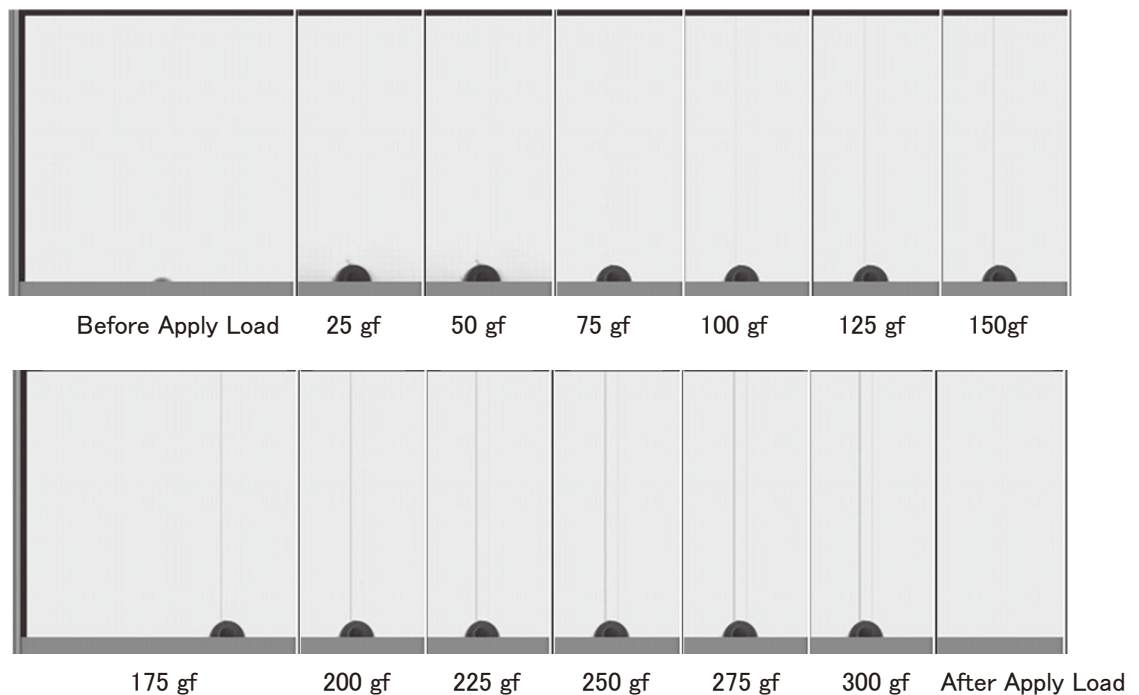


図5-5 WL-CSP型CISの列回路・アンプ部への印加荷重と出力画像



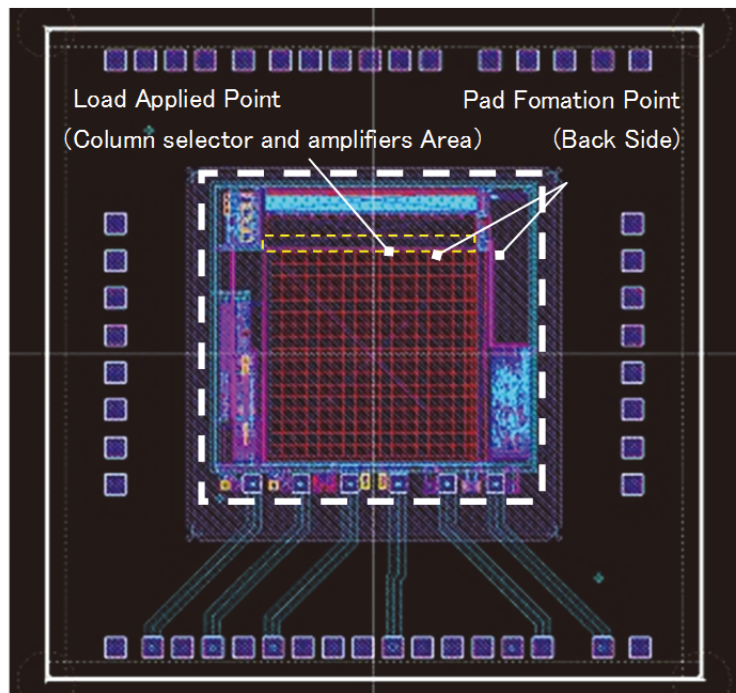


図5-6 WL-CSP型CIS裏面配線接続電極とCIS回路ブロックとの位置関係

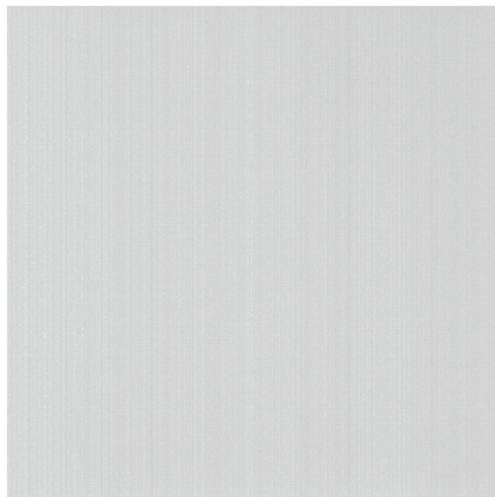


図5-7 WL-CSP型CISを80 gf/1バンプにて実装した際の出力画像

### 5.2.2 レンズホルダ接着

CSP のカバーガラス表面へと、レンズホルダの接着を行う。図 5-8 に示すように、CSP チップ外形とレンズホルダの外形とを合わせて接着し、CIS の画素エリア中心と、撮像光学系の光軸とを一致させる。

図 5-9 に示すように、CSP のダイシング工程において、カバーガラス部にステップを形成するステップカット法を用いて段差部を形成し、この段差部とレンズホルダを嵌合させることにより、撮像モジュールの外形を大きくすることなく、レンズホルダと CSP の位置をあわせ、画素エリアの中心と、撮像光学系の光軸を一致させることもできる[5-2]。

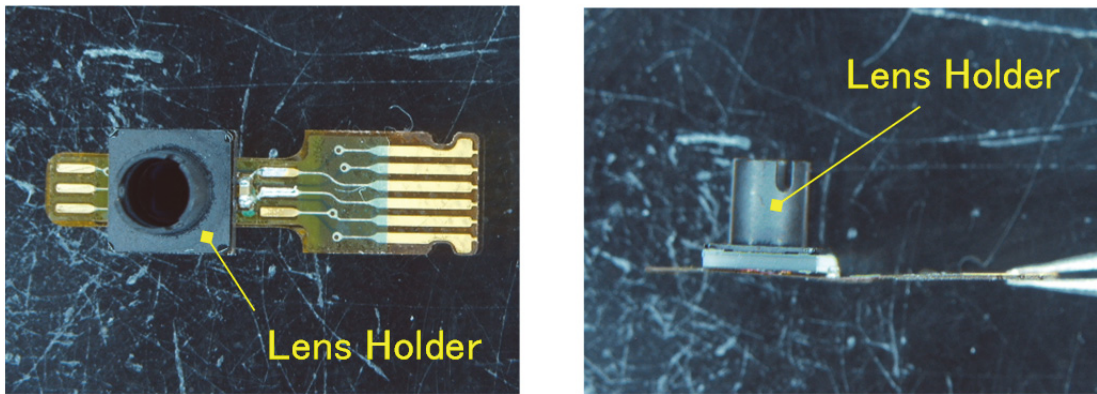


図5-8 レンズホルダアセンブリ

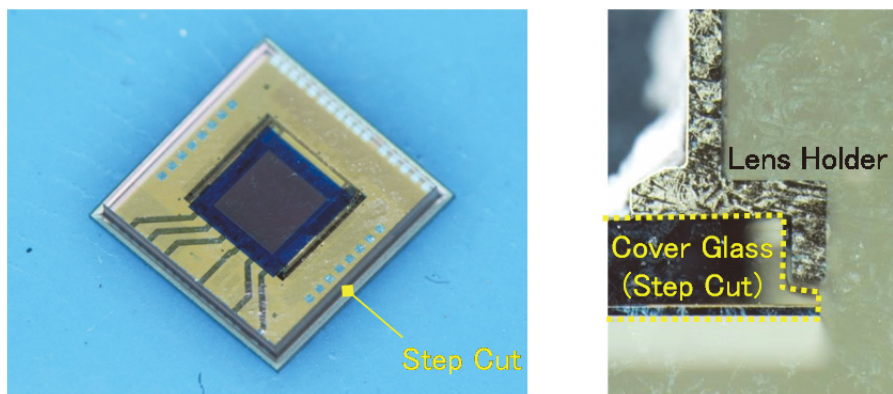
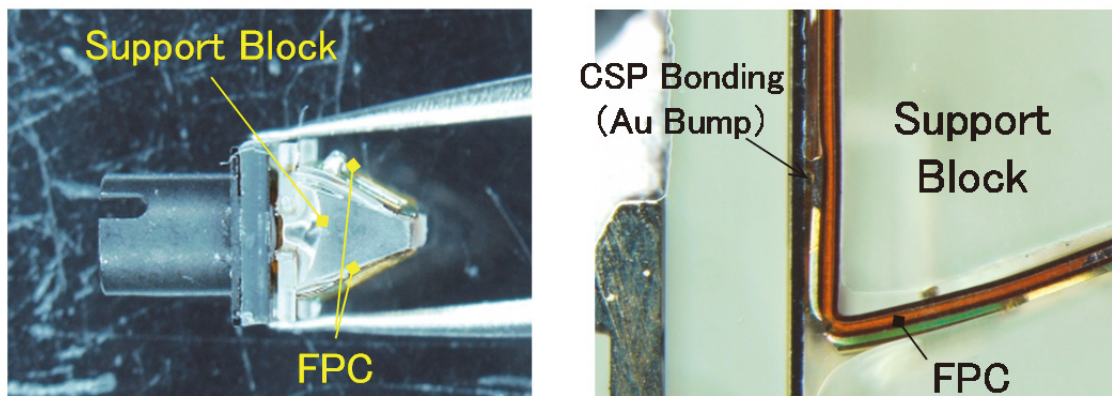


図5-9 ステップカット法によるレンズホルダアセンブリ

### 5.2.3 基板折り曲げ

CSP チップが接続されたフレキシブル配線板の折り曲げを行う。まず、CSP 接続部が折り曲げ時に剥離することを回避するために、フレキシブル配線板の CSP 接続部が対向する面へと補強部材をエポキシ樹脂により補強固定する。また、フレキシブル配線板を折り曲げた状態を維持するために補強部材側面へと同じくフレキシブル配線板をエポキシ樹脂により固定している。図 5-10(a)に折り曲げ後の様子を示す。フレキシブル配線板の折り曲げは、コネクタ端子部を切り離した後に行われる。

図 5-10(b)は、フレキシブル配線板折り曲げ後の電極接続部の断面を拡大した観察像であるが、補強部材によりフレキシブル配線板の折り曲げ起点が電極接続部を避けており、フレキシブル配線板と CSP とが Au バンプにより良好に接合されている状態が確認できる。



(a) CSPチップ裏面へのフレキシブル配線板折り曲げ (b) 折り曲げ後の電極接続部断面拡大像

図5-10 フレキシブル配線板の折り曲げ

### 5.2.4 ケーブル接続

ケーブルを配線板に接続するために、6本のケーブル端部をストリップし、鉛フリー半田を用いてフレキシブル配線板のランドへと接続する(図 5-11)。

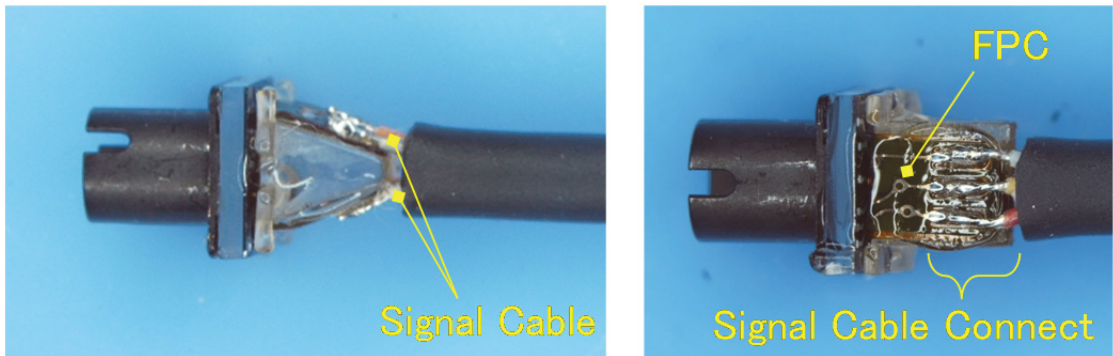


図5-11 信号伝送ケーブルの接続

#### 5.2.5 対物レンズ装着

レンズホルダへと対物レンズを挿入し、解像度チャートを用いて対物レンズのピント位置を調節する。対物レンズ位置調整後の様子を図 5-12 に示す。

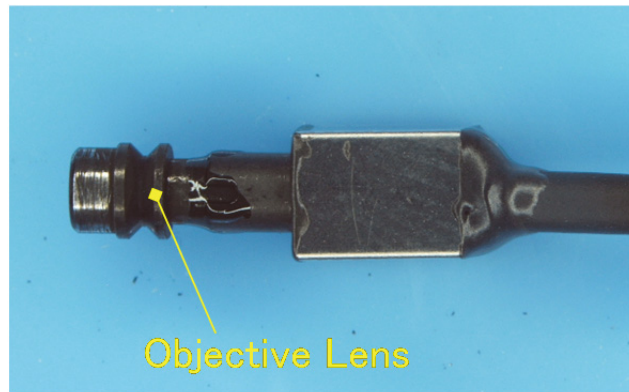


図5-12 対物レンズの装着

### 5.3 WL-CSP 型 CIS 撮像モジュールの撮像特性

#### 5.3.1 WL-CSP 型 CIS の初期撮像特性評価

図 5-13 に、試作した2つの WL-CSP 型 CIS の初期撮像特性評価結果を示す。図 4-21(a)に示した評価システムによって、CIS を動作させ評価した。評価した撮像特性は、感度、飽和、暗電流、固定パターンノイズ(FPN)、感度比(R/G, B/G)、画素欠陥(白, 黒)であり、予め初期特性が確保されている標準パッケージへと実装された CIS の撮像特性を基準に比較したものである。いずれの撮像特性も 7%以内で標準パッケージ品と近い値が得られていることが分かる。このことから、本研究にて提案した新たなパッケージングプロセスにより、本来の CIS チップの特性を損なうことのないパッケージングが行われていることが確認できた。

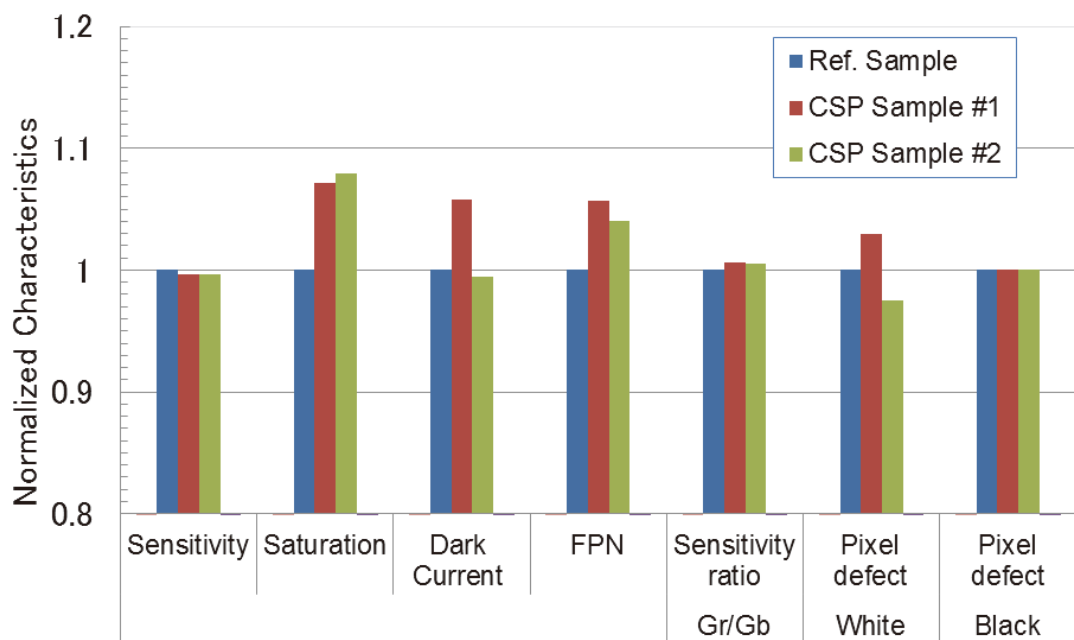


図5-13 WL-CSP型CIS撮像モジュールと標準パッケージCISの初期撮像特性比較

### 5.3.2 WL-CSP 型 CIS の暗時画像出力特性評価

4.7 にて、WL-CSP プロセス前後の MOS-FET の特性を比較して、プロセスダメージを評価した。CIS の場合、特に画素部のシリコンと SiO<sub>2</sub> の界面においてもプラズマダメージによる影響が懸念され[5-3]、撮像特性のうち、暗時画像出力(暗電流)に着目して評価した。まず、環境温度 24°C、60 fps の駆動条件で CIS の暗時画像出力測定を行った。図 4-21(a)に示した評価システムによって、CIS を動作させた。CIS 全画素のうち、中心 200×200 画素を切り出して各画素の暗時画像出力、および暗時画像出力の標準偏差を算出したものである。図 5-14 に比較結果を示す。これらの結果から、WL-CSP プロセスを経た CIS チップと、プロセスを経る前の CIS チップの暗時画像出力の差は小さく、また画素ごとの暗時画像出力の標準偏差にも変化は見られない。

次に、暗電流が顕著となる環境温度を上昇させた状態での暗時画像出力の値を比較した。環境温度は、実使用を想定した 37°Cに加え、暗時画像出力保証温度、および動作温度範囲にそれぞれ余裕を加え、62°C、および 87°Cとした。図 5-15 は、本研究で用いる CIS の環境温度による暗時画像出力の違いを示しており、CIS 全画素のうち、中心 200×200 画素を切り出してモニタしたものである。画像の黒レベルは概ね 750 cnt に設定しており、37°Cの環境下ではほぼ黒レベル付近の出力が得られて

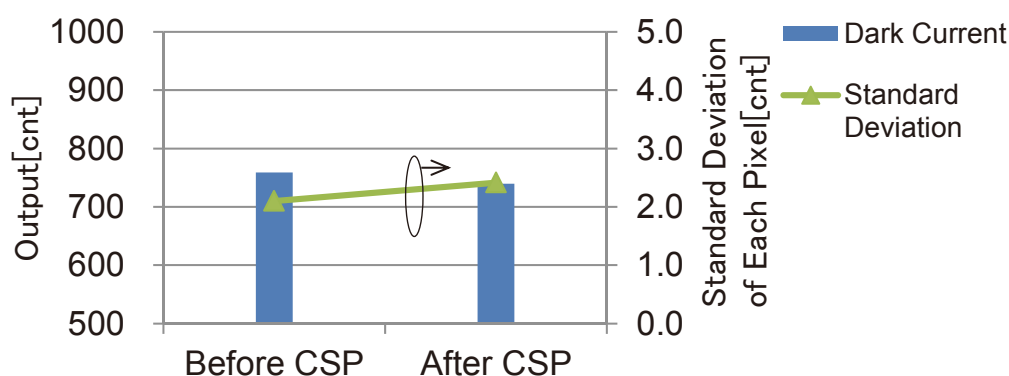
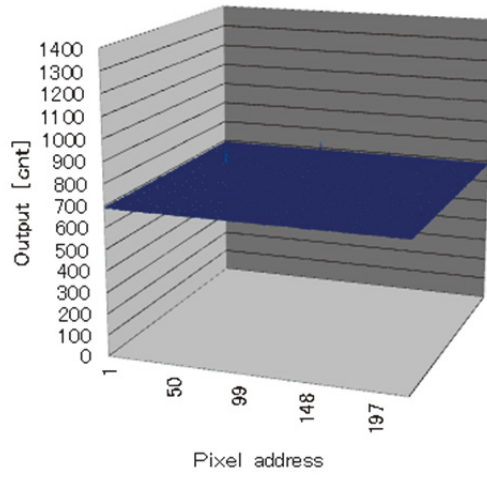
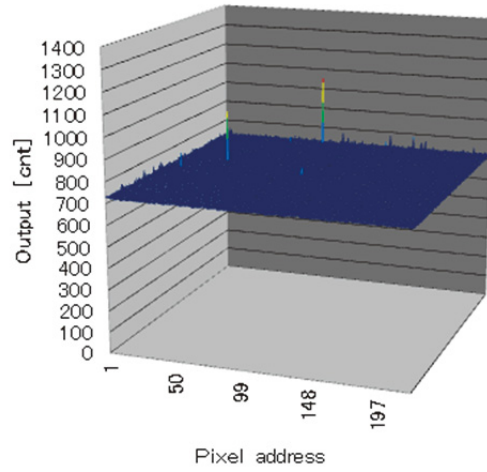


図5-14 WL-CSPプロセス前後の撮像特性比較(常温24°Cの暗時画像出力)

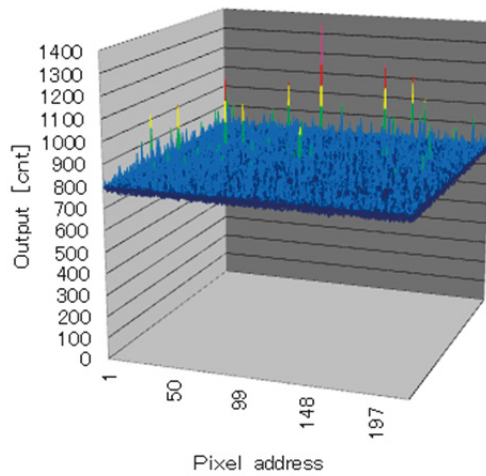
いるが、62°C、および 87°Cでは環境温度の上昇に伴い各画素の暗電流が増加し、また、各画素間で暗電流の差が広がっているのが分かる。そこで、WL-CSP プロセス前後の暗時画像出力の比較は、全画素の出力をヒストグラム表記し、分布形状と出力の平均、および標準偏差を比較することとした。図 5-16 は 37°C、図 5-17 は 62°C、図 5-18 は 87°Cの環境下における WL-CSP プロセス前後の CIS 暗時画像出力のヒストグラムであり、横軸に画像の黒レベル付近の 650 cnt から 1650 cnt の出力をとり、縦軸にそれぞれの出力ごとの画素数分布を対数表記した。また最頻値を矢印で示し、その出力と画素数を併記した。なお、WL-CSP プロセス A は標準プロセス条件、B は標準プロセス条件から一部プラズマプロセスをウェットプロセスに変更しプラズマダメージ工程を削減したものである。いずれの環境下においても、CSP プロセスを経たものと未処理のものとでヒストグラム、および最頻値に差は見られず、また、WL-CSP プロセス A、および B との間にも差は見られない。図 5-19 は、WL-CSP プロセス前後の暗時画像出力平均と暗時画像出力標準偏差の比較であるが、CSP プロセスを経たものと未処理のものとで暗時画像出力平均に差は見られず、また、暗時画像出力標準偏差にも差は見られない。したがって、開発した WL-CSP プロセスにおけるプラズマ処理は CIS 性能には影響していないものと考えられる。本研究では CIS チップ表面全面をガラスで覆っていることに加え、CIS チップの GND 端子を除く電源端子、出力端子には保護ダイオードが挿入されるよう設計した。この保護ダイオードにより、TSV 形成時に CIS チップのパッド裏面がプラズマに晒されても、内部回路へのチャージアップが阻止されているものと考えている。ただし、半導体デバイスの設計仕様や、チップサイズの制約から必ずしも保護ダイオードを挿入できない端子もあることから、プラズマ耐性は一品一様の対応が必要な場合もあり、その際は、4.7.4 で述べたプラズマダメージ低減構造の採用により、対策が可能である。



(a)37°Cでの暗時画像出力



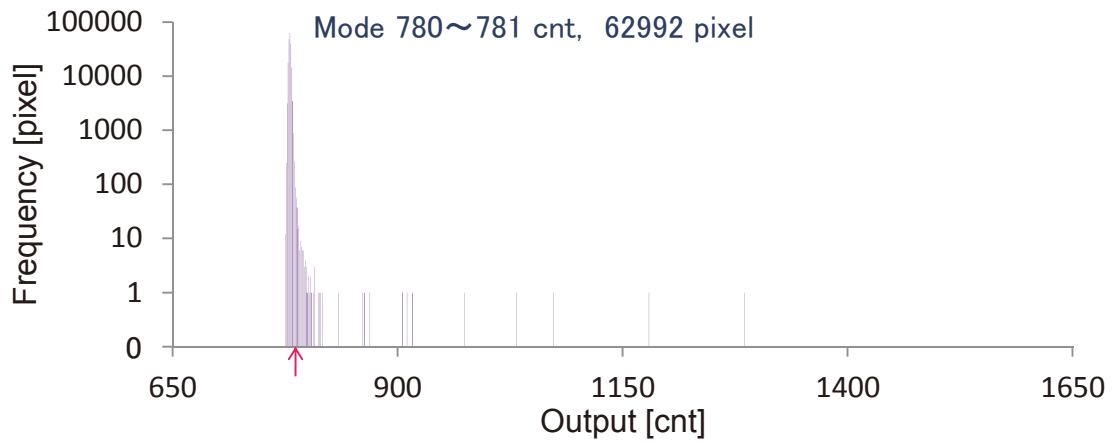
(b)62°Cでの暗時画像出力



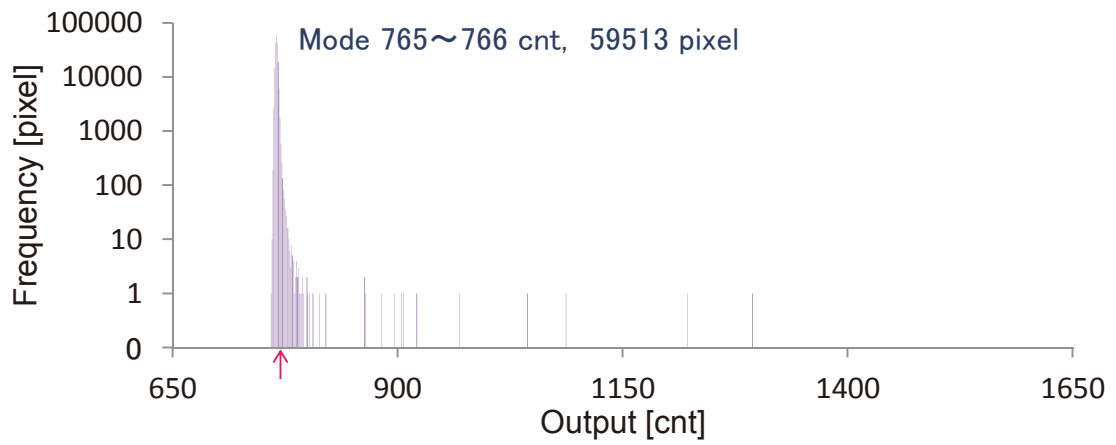
(c)87°Cでの暗時画像出力

図5-15 環境温度の違いによるCIS暗時画像出力(CIS中心200×200画素)

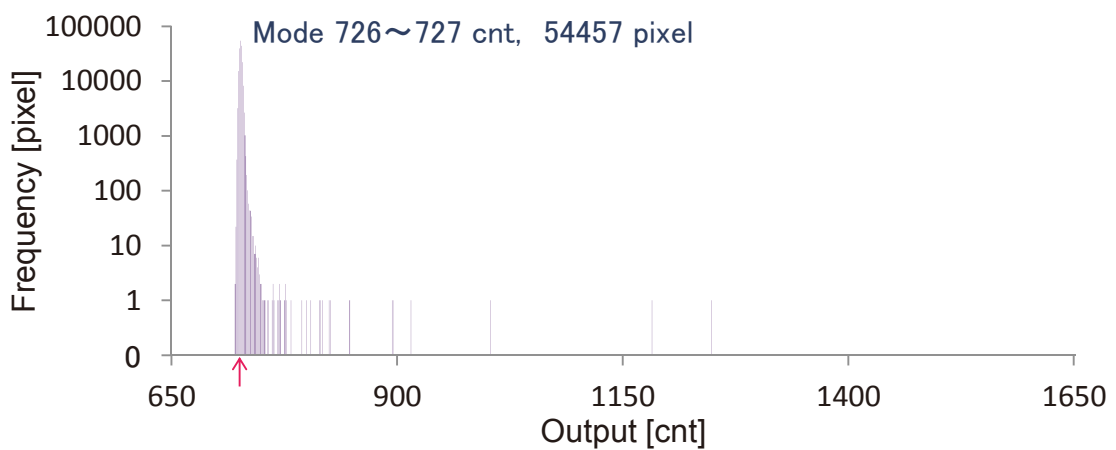




(a) 未処理サンプル

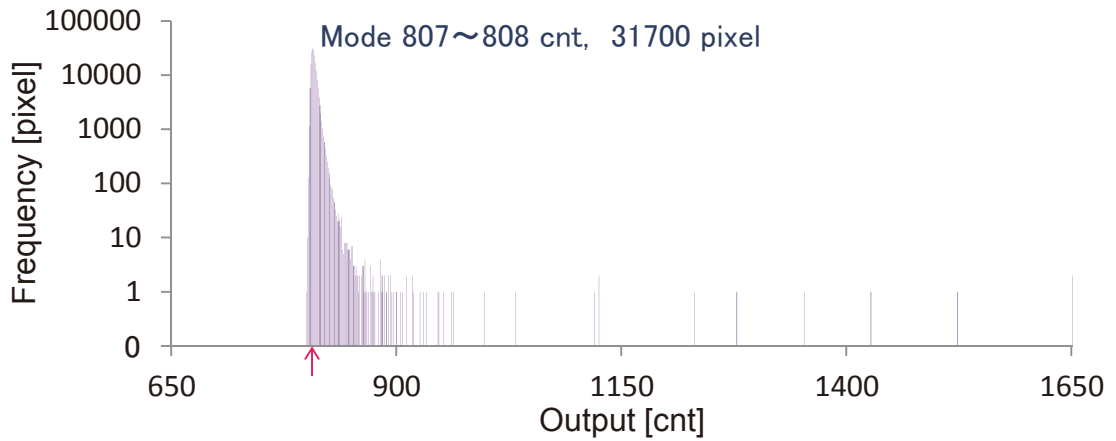


(b) WL-CSPプロセスA後

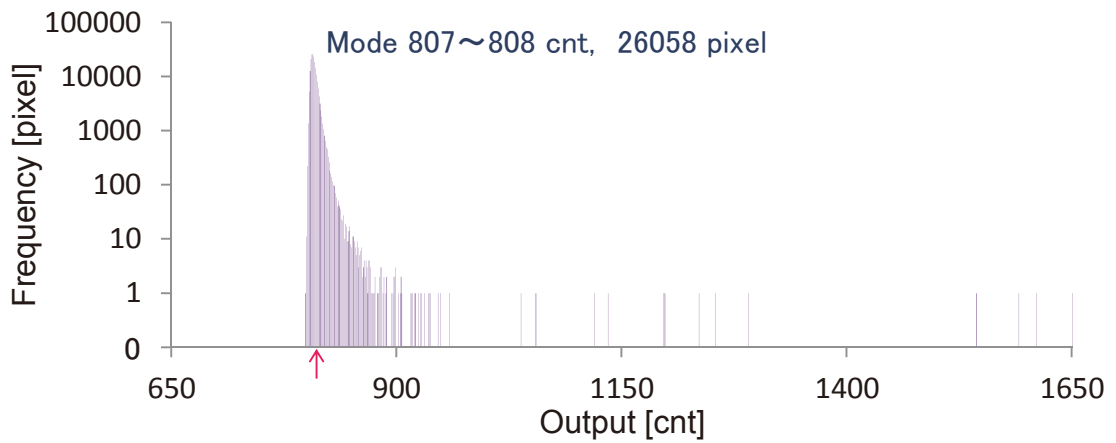


(c) WL-CSPプロセスB後

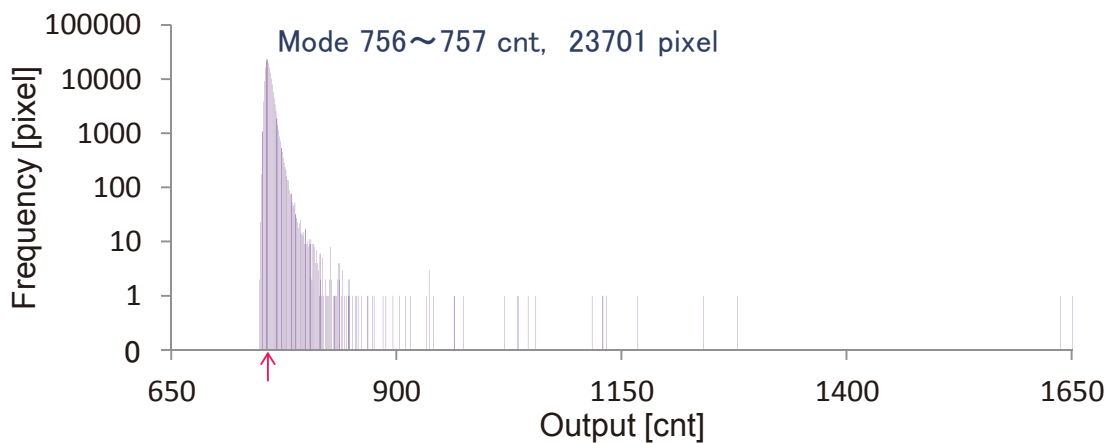
図5-16 WL-CSPプロセス前後の暗時画像出力ヒストグラム比較(37°C)



(a) 未処理サンプル



(b) WL-CSPプロセスA後



(c) WL-CSPプロセスB後

図5-17 WL-CSPプロセス前後の暗時画像出力ヒストグラム比較(62°C)

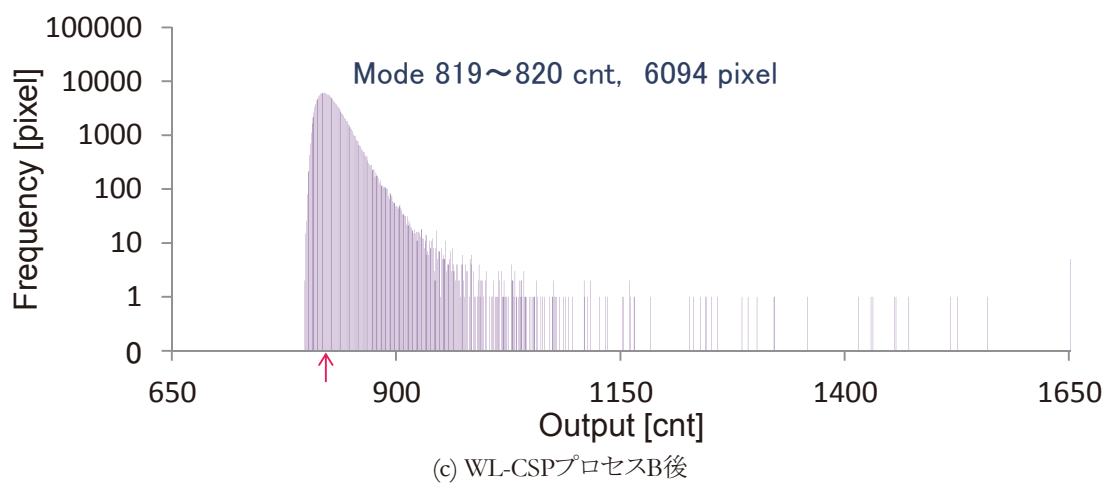
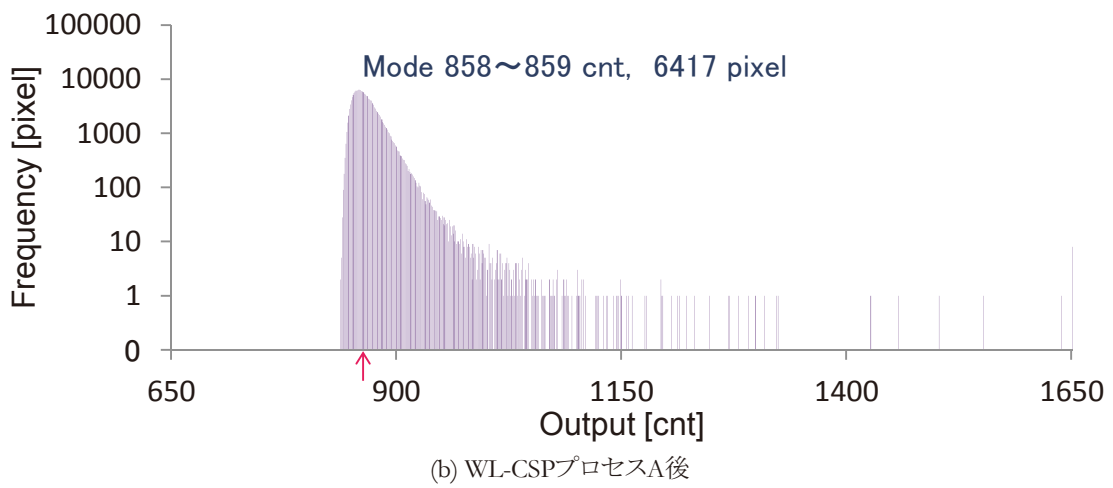
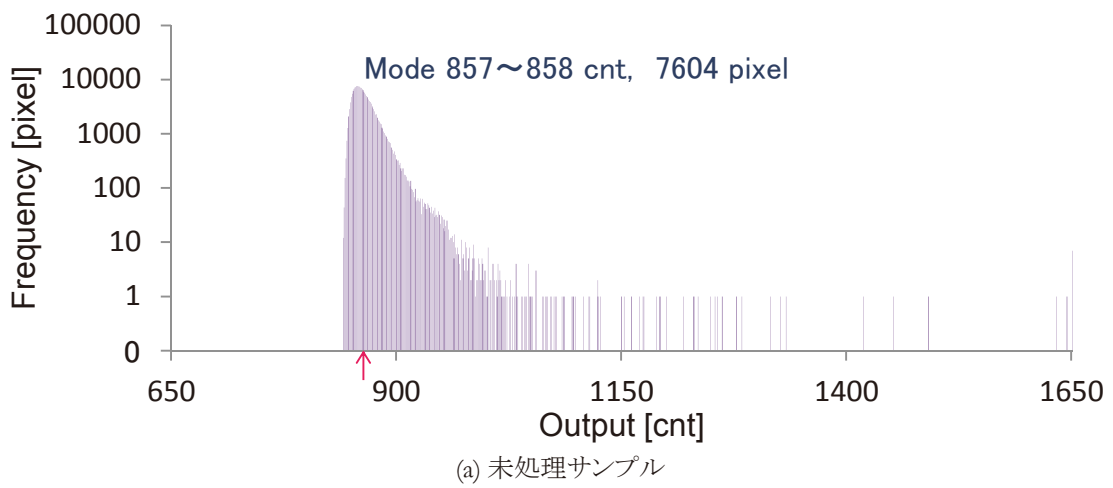


図5-18 WL-CSPプロセス前後の暗時画像出力ヒストグラム比較 (87°C)

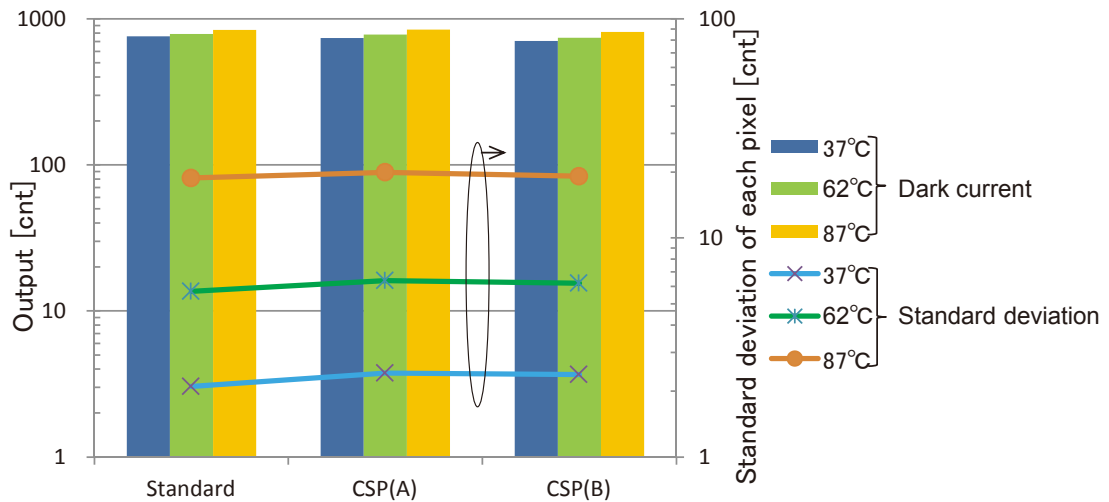


図5-19 WL-CSPプロセス前後の暗時画像出力と暗時画像出力標準偏差の比較(CSP(A)は標準プロセス条件, CSP(B)は標準プロセス条件から一部プラズマプロセスをウェットプロセスに変更しプラズマダメージ工程を削減したサンプル)

### 5.3.3 WL-CSP型CISに用いたガラス接合剤の特性評価

CISチップの画素側の面へとガラスに接合する構造では、撮像時にガラスを経て入射してくる光束は接合層を経てから各画素に集光する。したがって接合層の撮像特性への影響を排除する上で、接合剤の光学的な透過率が重要である。一般的に有機樹脂材料は高温で酸化熱分解反応により変色し、光学性能が劣化することが知られているため[5-4]、図5-20に示す、実際のパッケージングプロセスを模擬した熱履歴を加えた場合の透過率変化を評価した。透過率は、顕微紫外可視近赤外分光光度計にて測定した。図5-21に示すように、BCBの透過率は熱履歴により長波長側で数%程度の低下が見られるが、可視光波長帯では熱履歴による透過特性の劣化はほとんどないと言える。なお、本研究にて提案したパッケージングプロセスは、CISの各画素に形成され色情報を得るためのオンチップカラーフィルタや、4.4にて評価したマイクロレンズの変形、カラーフィルタの変色といった接合剤以外の有機樹脂材料の特性劣化も考慮し、図5-20に示すように、各工程の加工温度制約として210°C以下に設定した。

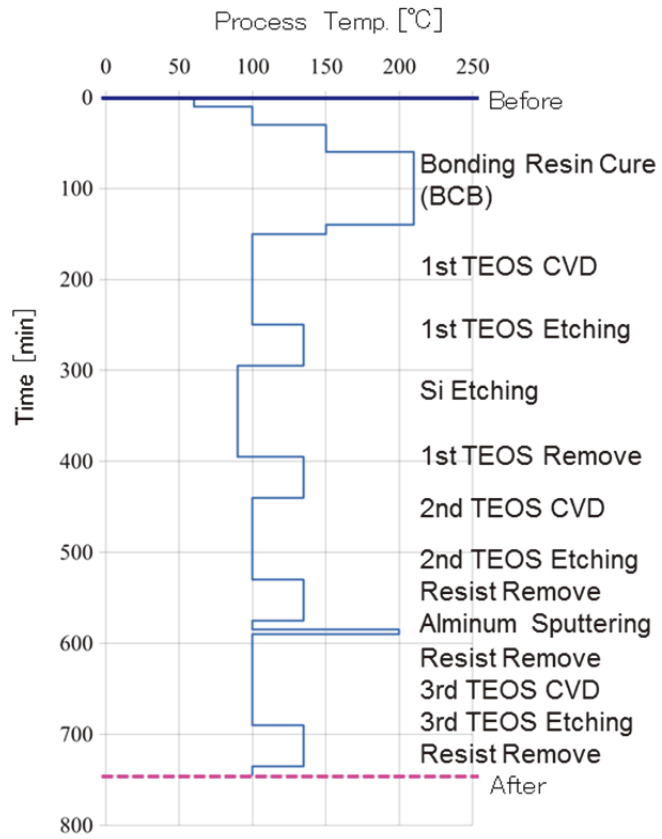


図5-20 各プロセスの熱履歴

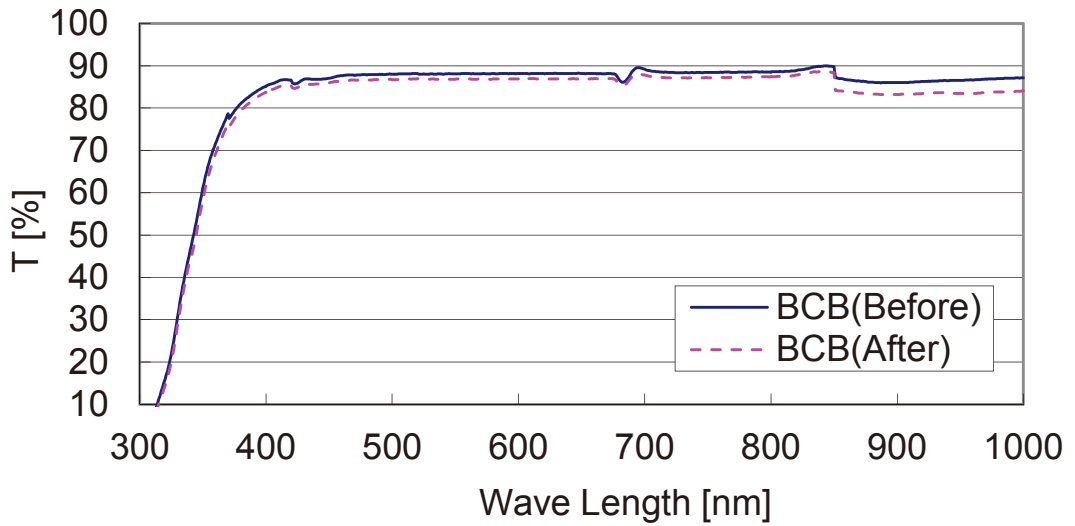


図 5-21 WL-CSP プロセス前後の BCB 分光透過率の違い

#### 5.4 WL-CSP 型 CIS 撮像モジュールの動作試験

図 5-12 に示した撮像モジュールへと、医療内視鏡の体内挿入部を想定した長さ 2 m の信号ケーブルの一端を半田接合し、他端を図 4-21(a) に示した A/D 基板へと接続することによって、CIS の駆動、電源の供給、および CIS の出力信号を取り出した。図 5-22 は、CIS を 60 fps で駆動し、撮像モジュールにて取得した美人画チャートである。生体の色彩、解像感が良好に再現されている。なお、美人画チャート撮像例が歪曲しているのは、広角な対物レンズの樽型収差によるもので、設計仕様通りの歪みである。

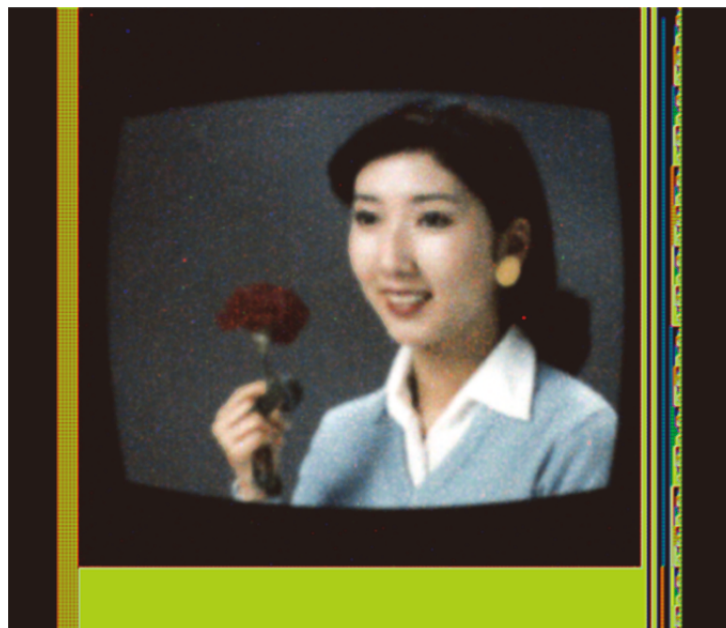


図5-22 WL-CSP型CIS撮像モジュールによる撮像例

## 5.5 WL-CSP 型 CIS 撮像モジュールの環境耐性試験

試作した WL-CSP 型 CIS 撮像モジュールを対象に、デバイスの実使用環境を想定した信頼性試験を行った。高温高湿バイアス試験、高温高湿保存試験は、生体内の高湿度環境に対する耐性評価であり、いずれも 85°C、85%に加速して実施した。また、低温保存試験、高温保存試験、温度サイクル試験は、デバイスの輸送・保管環境に対する耐性評価であり、85°C、および-45°C、もしくはそれらの温度を往復して実施した。さらに、プレッシャーコッカー試験、およびエチレンオキシドガス(ETO)試験は、医療デバイスの滅菌工程に対する耐性評価であるが、前者は 100°Cを超える高温の元で高湿度下に曝され、後者は低温ではあるもののアタック性の強いガス環境下に曝される医療デバイスならではの過酷な環境試験である。いずれの試験項目も、CIS の撮像特性を、図 4-21(a)に示した画像評価システムにて CIS を動作させて評価し、試験投入前後で撮像特性の劣化有無を比較した。各試験はいずれも専用の槽内で実施するため、撮像モジュールごと槽内に投入するが、高温高湿バイアス試験においては、高温高湿槽に投入した撮像モジュールから信号ケーブルを引き出し、図 4-21(a)に示した画像評価システムを用いてバイアスを加えた。

表 5-1 に示すように、評価個数が 3 個と少ないものの、いずれの信頼性試験に対し

表5-1 信頼性試験結果

Test	Test Conditions		Quantity	Result
High Temp./Humidity/Bias	85°C / 85%, 3.3V Bias	1000 H	3	Passed
High Temp./Humidity	85°C / 85%	1000 H	3	Passed
High Temp. Exposure	85°C	1000 H	3	Passed
Low Temp. Exposure	-45°C	1000 H	3	Passed
Pressure Cooker Test	121°C / 85%	32 H	3	Passed
Thermal Shock	-47°C / 30 min., 85°C / 30 min., Change 5 min.	160 cyc.	3	Passed
Sterilization	60°C / 55%, ETO Sterilization 180 min.	50 cyc.	3	Passed

ても撮像特性の劣化は見られなかった. このことから, 本研究で開発した WL-CSP の構造は, 外部環境による CIS 性能の劣化を防止できているものと考えられる.

特に WL-CSP は小型化を実現できる反面, 半導体を十分に封止することが難しいため, 信頼性上の不具合発生が懸念された. CIS をカバーガラスへと接合する際に用いた BCB は, 硬化した後に吸湿率が非常に低く(相対湿度 84%では 0.14 重量%[5-5]), また, ガラス転移温度( $T_g$ )が 350°C以上と非常に高い特性を有する樹脂材料である[5-6, 5-7]. 本研究で開発した WL-CSP は, CIS 表面のカラーフィルタやマイクロレンズが BCB を介してカバーガラスにより封止される構造であり, 例えば, 生体内の高湿度環境を想定して実施した耐性評価である, 高温高湿バイアス試験, 高温高湿保存試験においても, 良好な試験結果が得られているものと考えられる.



## 5.6 第5章 参考文献

- [5-1] Yongke Sun, Scott E. Thompson, Toshikazu Nishida, "Strain Effect in Semiconductors", Springer, 2010.
- [5-2] 五十嵐 考俊, 撮像ユニットおよび撮像ユニットを具備する内視鏡, 特許第 5721981 号(2015.4.3), 2015.
- [5-3] 加藤得三, "デジタル一眼レフカメラ用 CMOS イメージセンサ," 映像情報メディア学会誌 Vol.61, No.3, pp.271-274, 2007.
- [5-4] 溝渕 孝一, 足立 理, 須川 成利他, "高温下の耐性・撮像性能を改善した高ダイナミックレンジ CMOS イメージセンサ," 映像情報メディア学会誌 Vol.62, No.3, pp.368-375, 2008.
- [5-5] Denice D. Denton, Hartono Pranjoto, "Moisture Uptake of BisBenzocyclobutene (BCB) Films for Electronic Packaging Applications"Proceedings MRS, Anaheim, Vol. 203, pp.295, 1991.
- [5-6] Dow Chemical 社 Web サイト <http://www.dow.com/>, CYCLOTENE Advanced Electronics Resins - Moisture Absorption(2016.11.04), 2016.
- [5-7] 高橋忠: "ベンゾシクロブテン(BCB)薄膜多層配線基板", HYBRIDS, Vol. 7 No. 1, pp.23-28, 1991.

## 第 6 章

### 結論

本論文では、多品種少量生産の生体内医療デバイスを対象として、撮像素子チップサイズパッケージの開発に取組み、医療用デバイスに向けた撮像素子パッケージと、パッケージングプロセスを提案した。

医療用撮像素子パッケージには小型化と信頼性の両立が求められ、TSV を採用するとともにカバーガラスにより撮像素子全面を接合封止する構造とした。この構造の実現には、半導体ウエハプロセスによるパッケージングが必要であるため、カバーガラスと撮像素子とを予め接合することにより、一連のプロセスにおいても撮像素子の画素を保護するとともに最終的にはパッケージ部材としても機能する、カバーガラスウエハをハンドリングウエハとして兼用するパッケージングプロセスを提案した。

一般的に半導体ウエハプロセスにおいては、ウエハの反りを抑制することが肝要であるが、従来、異種材料ウエハ同士の接合では、ウエハ間の線膨張係数差の影響により生ずるウエハの反りが課題であった。そこで本研究では、ガラスとシリコンからなる異種材料を接合する際の反りを安定して制御する、チップ再配列による新たな接合技術を開発した。この接合技術は、個片化した撮像素子チップをフェースダウンで逐次再配列しながらガラスウエハ上に接合し、さらにチップ再配列により生まれる間隙へと樹脂材料を充填してウエハ面内の応力を制御するものであり、チップ間隙と充填材料を適正化し、接合材料同士の線膨張係数差によらずウエハ反りの抑制を可能とする。有限要素法による応力解析、およびパッケージに使用する材料の特性を明らかにすることにより、チップ再配列ウエハの反り方向、量を制御可能であることを示した。

また、チップ再配列により適正化されたウエハの、TSV 形成を含む撮像素子パッケージングプロセスへの応用方法を示し、本研究で提案した方法は、パッケージングプロセスを含む半導体ウエハプロセスに幅広く活用できることを実証した。

さらに、チップ再配列 WL-CSP 技術によりパッケージされた撮像素子の、医療用内視鏡への適用構造案を示し、医療デバイスへの適用性・有用性も示した。

本論文での実験および考察において得られた知見を以下に示す。

- カバーガラスによる撮像素子全面接合封止構造には、ガラス転移温度が 350°C と高く、吸湿率が 0.14 wt% と低い、BCB を用いることが、光学特性、信頼性の両立で効果的であった。
- TSV を用いることにより、撮像素子全面をカバーガラスにより接合封止した構造でありながら、フットプリントを拡大せずに電極を撮像素子裏面に取り出すことが可能であると共に、TSV をテーパ形状として、TSV 内部への成膜、フォトリソグラフィを確実にできる構造とし、TSV の形成には、TMAH を用いたシリコン結晶異方性エッチング法を採用し、シリコン結晶<111>面によるテーパ形状 TSV を得た。
- チップ再配列によってウエハ反りを制御するにあたり、まず、ウエハ反りへの寄与率が高い因子を、実験計画法を併用した構造解析シミュレーションにより抽出した。その結果、ウエハ厚み、再配列チップ間隔、チップ接合層厚、およびチップサイズを抽出し、このうちプロセス上、水準の設定が比較的容易な因子

であるウエハ厚み, およびチップサイズに着目して再度, 応力解析を行った. 実験によるウエハ反りの値と比較したところ, 計算値と実験値はよく一致し, 解析の妥当性が示された.  $\phi 4$  インチガラスウエハ場合, ウエハ厚み  $500\ \mu\text{m}$  以上, 再配列チップサイズ  $10\ \text{mm}$ , もしくは  $20\ \text{mm}$  とすることにより, ウエハの反りは  $10\ \mu\text{m}$  以下に抑制され, ウエハ厚み  $700\ \mu\text{m}$  の場合には, 再配列するチップサイズによりウエハの反りを凸, 凹の両方向に制御可能であることが整理された. ウエハ厚み  $300\ \mu\text{m}$  では, いずれのチップサイズにおいてもウエハの反りは  $100\ \mu\text{m}$  以上であり, ウエハプロセスへの応用には適していなかった. チップ再配列を適正化することで, 線膨張係数差による応力と, 充填樹脂の応力とが釣り合い, ウエハ反りの低減が可能であることを示した.

- チップサイズパッケージプロセスにおける熱プロセスに対しては, CIS 画素に形成されるマイクロレンズ, およびカラーフィルタの特性劣化に着目し, 耐性評価を行った結果,  $200^\circ\text{C}$ を超える温度ではマイクロレンズの変形と, カラーフィルタの退色が発生し, プロセスの熱履歴温度の上限を  $200^\circ\text{C}$ 程度に設定する必要があることを見極めた.
- チップサイズパッケージプロセスにおける 薄化プロセスに対しては,  $735\ \mu\text{m}$  の CIS チップを標準厚みとし,  $300\ \mu\text{m}$ ,  $100\ \mu\text{m}$ , および  $50\ \mu\text{m}$  にまで薄化した際の撮像特性を比較し, ガラスウエハで支持した構造であれば,  $50\ \mu\text{m}$  の薄化でも撮像特性が損なわれず, 薄化による素子の損傷がないことを見極めた.

- チップサイズパッケージプロセスにおけるプラズマプロセスに対しては、CIS 内の回路を模した NMOS, PMOS それぞれの TEG ウェハを製作して評価し、パッケージングプロセスにおけるプラズマによって閾値電圧が変動することを明らかにした。また、閾値電圧の変動は通常のプラズマプロセスにおけるアンテナ効果によるものとは異なる挙動を示し、ウェハを反転して処理する TSV プロセス固有のものであることを推察した。設定したプロセス温度制約内で 150°Cアニール処理による閾値電圧変動の回復を試みたが完全には回復せず、CIS 設計にて各 I/O 端子へと保護ダイオードを挿入する構成を提案し、また保護ダイオードを挿入できない場合に備え、MOSトランジスタの各端子を等電位に仮接続して処理するプラズマダメージ低減構造も提案した。
- 3.5mm□WL-CSP 型 CIS のフットプリント内に、撮像光学系、周辺部品を実装した回路基板、および信号ケーブルを構成する小型撮像モジュールと、そのアセンブリプロセスを提案した。この撮像モジュールは、 $\phi 5 \text{ mm}$  の円形断面内に収容可能であり、従来に比べ内視鏡先端の小型化を達成できる。
- 本研究にて提案したパッケージングプロセスは、熱工程、薄化工程、プラズマ工程、いずれも予め CIS 性能への影響を評価した上で適正化されたものであり、試作した WL-CSP 型 CIS 撮像モジュールの撮像特性として、感度、飽和、暗電流、固定パターンノイズ、感度比(カラー特性)、画素欠陥の値をリファレンスサンプルと比較したところ、両者の差は 7%以内と非常に小さく、本来の CIS チップの特性を損なうことのないパッケージングが行われていることが示された。

- WL-CSP 型 CIS 撮像モジュールに対し、デバイスの実使用環境を想定した、高温高湿バイアス試験、高温高湿保存試験、低温保存試験、高温保存試験、温度サイクル試験、プレッシャークッカー試験、およびエチレンオキサイドガス (ETO) 滅菌試験を実施したところ、3.5 mm $\square$ と小型の WL-CSP 型 CIS であるものの、いずれの試験においても耐性を有することが実証され、医療デバイスへの適用性が示された。

今後の課題を以下に示す。

- さらに多くのチップ再配列や、大口径ウエハへと適用するには、撮像素子チップを逐次再配列する方法ではスループットの限界があり、ウエハプロセスに対応した一時的な仮接合樹脂、もしくは仮接合シート材を用いることによる高精度な一括再配列の検証を行う必要がある。
- WL-CSP のシリコン基板厚みが 50  $\mu\text{m}$  と非常に薄く加工されているため、撮像モジュールのアセンブリ工程では、基板実装時の荷重、もしくは実装後の残留応力が CIS の回路動作へと影響を与えるおそれがあり、実装条件の設定、実装電極の配置に制約を設ける必要がある。

以上のように、本研究では小型 CIS に対するチップ再配列 WL-CSP 技術の課題解決に取り組み、その解決手段について述べた。本研究にて開発した新たな WL-CSP プロセスを適用することで、医療用 CMOS 撮像モジュールを実現した。とりわけ、材料間の線膨張係数の差の影響を受けずにウエハの反りを低減する方法として、チップ

再配列技術による新たな接合技術を開発した。チップ再配列により生まれる間隙へと樹脂材料を充填してウエハ面内の応力を制御するものであり、チップ間隙と充填材料を適正化し、接合する材料同士の線膨張係数差によらずウエハの反りを抑制することを可能とした。本研究では、CIS を対象としたパッケージングプロセスの開発を行ったが、この研究成果の適用先は CIS に留まらず、シリコンより線膨張係数が大きい化合物半導体によるデバイスや、他の光学式半導体センサ、センサ機能を持たない半導体デバイス、もしくは MEMS デバイスなど、広範に及ぶ。また、仮に量産規模の大きくない医療機器向けのデバイスであったとしても、半導体技術の特徴を活かした小型・低侵襲化を実現しつつ、生体内におけるデバイスの性能や耐久性・信頼性を確保しうる有力な技術であると考えられる。本研究の成果が、今後の医療機器の普及、発展の一助となり、人々の暮らしや健康を見守るために貢献することが期待される。

## 研究業績

### (1) 審査付発表論文(学位論文に関係のあるもの)

1. 藤森 紀幸, 五十嵐 考俊, 下畑 隆博, 巢山 拓郎, 吉田 和洋, 中川 悠輔, 中村 力, 佐藤 敏郎:“医療用 CMOS 撮像モジュールへの応用を目指した撮像素子 WL-CSP プロセスの開発に関する研究”, 電気学会センサ・マイクロマシン部門誌 第 137 巻 2 号 48 頁-58 頁 (2017 年 2 月掲載)
2. Noriyuki Fujimori, Takatoshi Igarashi, Takahiro Shimohata, Takuro Suyama, Kazuhiro Yoshida, Yusuke Nakagawa, Tsutomu Nakamura, Toshiro Sato:“A Study on Wafer level package by using post dicing process”, Proceedings of ICEP 2014, pp.34-38 (2014 年 4 月発表)
3. Takatoshi Igarashi, Kazuaki Kojima, Kazuya Matsumoto, Noriyuki Fujimori, Tsutomu Nakamura: “A Study on Evaluation of Plasma Process Damage during TSV Formation and Damage Reduction Method”, Proceedings of ICEP-IAAC 2015, pp.74-77 (2015 年 4 月発表)

### (2) 審査なし発表論文

1. 藤森紀幸:“医療機器とその実装技術”, エレクトロニクス実装学会 2013 ワークショップ, 講演 No. 9(2013 年 10 月発表)
2. 藤森紀幸:“医療デバイス向けパッケージと実装技術”, インターネブコン 2015 技術セミナー, 講演 No.INJ-8 メディカルエレクトロニクスに求められる実装技術 (2015 年 1 月発表)
3. 藤森紀幸, 五十嵐 考俊, 吉田 和洋, 小島 一哲, 中村 力, 佐藤 敏郎:“イメージセンサのチップサイズパッケージに関する研究と医療デバイスへの応用”, 第 29 回 エレクトロニクス実装学会春季講演大会, 講演 No.16A3-3 (2015 年 3 月発表)
4. Noriyuki Fujimori:“Wafer Level Chip Size Package by using Post Dicing Process and its Application to the CMOS Image Sensor Module for Medical Device (INVITED SPEAKERS)”, IEEE EPTC 2015 (The 17th Electronics Packaging Technology Conference, Singapore) Speaker Code IS.9 (2015 年 12 月発表)



### (3) 関連特許

#### 公開前(7件)

特願 2015-196254	撮像素子, 内視鏡, 及び内視鏡システム	2015.10.01
特願 2015-124066	撮像ユニットおよび内視鏡	2015.06.19
特願 2015-069348	内視鏡	2015.03.30
特願 2015-048711	撮像装置の小型化	2015.03.11
特願 2015-024440	撮像素子	2015.02.10
特願 2014-249356	内視鏡	2014.12.09
特願 2014-248176	撮像ユニット, 内視鏡, および撮像ユニットの製造方法	2014.12.08

#### 公開済(9件)

特開 2015-165847	撮像装置, および内視鏡装置	2015.9.24
特開 2015-66297	撮像モジュールおよび内視鏡装置	2015.4.13
特開 2014-230083	撮像装置, 撮像装置の製造方法, 及び内視鏡システム	2014.12.8
特開 2014-216930	撮像装置	2014.11.17
特開 2014-216554	撮像装置	2014.11.17
WO13/179767	撮像装置の製造方法および半導体装置の製造方法	2013.12.5
WO13/179766	撮像装置, 半導体装置および撮像ユニット	2013.12.5
WO13/179765	撮像装置の製造方法および半導体装置の製造方法	2013.12.5
WO13/179764	撮像装置の製造方法および半導体装置の製造方法	2013.12.5

#### 登録済(12件)

特許 5965984	撮像装置	2016.7.8
特許 5926890	配線板, 配線板の製造方法, および撮像装置	2016.4.28
特許 5913870	カプセル型医療装置	2016.4.8
特許 5907685	カプセル型医療装置	2016.4.1
特許 5881577	撮像装置, 該撮像装置を具備する内視鏡	2016.2.12
特許 5806557	カプセル型内視鏡	2015.9.11
特許 5775984	内視鏡装置	2015.7.10
特許 5701532	撮像装置の製造方法	2015.2.27
特許 5596293	撮像ユニット	2014.8.15
特許 5554957	撮像ユニット	2014.6.6
特許 5329903	固体撮像装置, 固体撮像装置の製造方法	2013.8.2
特許 5248971	撮像ユニットの製造方法, および撮像ユニット	2013.4.19

## 謝辞

筆者は、当研究の完遂にあたり熱心にご指導頂いた信州大学工学部教授 佐藤敏郎氏に心より謝意を表明いたします。休日、夜間を問わず、度重なるご指導を頂いた賜物であります。

本論文の審査を担当して頂いた信州大学工学部教授 橋本佳男氏，同准教授 曾根原誠氏，同准教授 宮地幸祐准氏，ならびに長野県工業技術総合センター所長・博士 宮下純一氏に深く感謝いたします。

さらに、オリンパス株式会社副本部長，今井英伸氏，同部長，吉沢深氏，同部長・博士，宮島博志氏，近藤雄氏，松本一哉氏，ならびに同前副本部長・東北大学特任教授の中村力氏にも謝意を表明いたします。博士課程社会人コース履修に対する深い理解，励ましは，この研究を推進するための礎となりました。また，オリンパス株式会社マイクロ実装技術部のメンバー各位に対しても，各実験，計算，その貴重な参考意見を頂いたことに厚く感謝いたします。

最後に，妻，および息子達，三人の家族の協力にも感謝します。